

# 연속-시간 펄스-폭-변조 ADC를 위한 LUT 기반 데시메이션 필터 설계 Design of LUT-Based Decimation Filter for Continuous-Time PWM ADC

심재훈\*

Jae Hoon Shim\*

## Abstract

A continuous-time Delta-Sigma ADC has various benefits; it does not require an explicit anti-aliasing filter, and it is able to handle wider-band signals with less power consumption in comparison with a discrete-time Delta-Sigma ADC. However, it inherently needs to sample the signal with a high-speed clock, necessitating a complex decimation filter that operates at high speed in order to convert the modulator output to a low-rate high-resolution digital signals without causing aliasing. This paper proposes a continuous-time Delta-Sigma ADC architecture that employs pulse-width modulation and shows that the proposed architecture lends itself to a simpler implementation of the decimation filter using a lookup table.

## 요약

연속-시간 델타-시그마 ADC는 별도의 안티-엘리아싱 필터가 필요하지 않고, 이산-시간 델타-시그마 ADC에 비해 적은 전력 소모로 넓은 대역폭의 신호를 처리할 수 있는 등 여러 가지 장점을 가지고 있다. 그러나 델타-시그마 ADC의 특성상 높은 주파수의 클럭으로 신호를 샘플링 하여야 하기 때문에, 이를 낮은 데이터 레이트의 고해상도 디지털 신호로 에일리어싱 없이 낮춰 주기 위한 데시메이션 필터가 복잡하고 고속으로 동작해야 한다. 이 논문에서는 연속-시간 델타-시그마 ADC에 펄스-폭-변조를 적용한 구조를 제안하고 이 구조를 이용함으로써 데시메이션 필터를 룩업 테이블을 이용하여 간단하게 구현할 수 있음을 보인다.

*Key words* : PWM, Continuous-time Loop Filter, Decimation, LUT, Multi-rate Signal Processing

## 1. 서론

\* School of Electronics Engineering, Kyungpook National University

★ Corresponding author

E-mail : jhshim@knu.ac.kr, Tel : +82-53-950-7234

※ Acknowledgment

This research was supported by Kyungpook National University Research Fund, 2016

Manuscript received Jun. 6, 2019; revised Jun. 17, 2019; accepted Jun. 18, 2019.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

델타-시그마 ADC는 단순한 비교기 또는 양자화기를 이용하여 높은 해상도를 얻을 수 있어 센서, 오디오, 통신 시스템 등에 다양하게 활용되고 있다 [1]-[3]. 그림 1에 보인 바와 같이 델타-시그마 ADC는 이산-시간 또는 연속-시간 루프 필터를 이용하여 구현할 수 있다. 루프 필터 앞에서 입력 아날로그 신호를 샘플링하는 이산-시간 구조와 달리 연속-시간 구조에서는 샘플링 과정이 루프 필터 안에서 이루어지기 때문에 샘플링 과정에서 일어나는 에러의 효과를 줄일 수 있고 별도의 안티-에

일리어싱 필터(AAF)가 필요하지 않다는 장점을 갖고 있다. 일반적으로 연속-시간 루프 필터는 이산-시간 루프 필터에 비해 반도체 공정, 전압, 온도 등의 변화에 더 영향을 받지만, 더 넓은 대역폭의 신호를 저전력으로 처리하는 데 유리한 장점을 갖고 있다[4][5].

이산-시간 루프 필터를 사용하든, 연속-시간 루프 필터를 사용하든, 델타-시그마 ADC는 기본적으로 입력 신호 대역폭의 두 배보다 더 높은 주파수의 클럭으로 샘플링하고, 양자화기에서 발생하는 에러를 고대역-통과 필터링 함으로써 원하는 입력 신호가 있는 낮은 주파수 대역(인밴드)에서의 양자화 잡음을 줄여, 신호-대-양자화 잡음 비(Signal-to-Quantization Noise Ratio, SQNR)를 높이는 방식으로 동작한다. 따라서 델타-시그마 ADC의 뒷단에는 반드시 오버샘플링 된 신호를 원래의 낮은 데이터 레이트를 갖는 신호로 변환하는 데시메이션 필터가 필요하다. 이 데시메이션 필터는 단순히 데이터 레이트를 낮추는 역할만 하는 것이 아니라 고대역-통과 필터링 된 양자화 잡음을 제거하는 역할도 수행한다. 만약에 데시메이션 필터가 양자화 잡음을 효과적으로 제거하지 못하면 에일리어싱에 의해 높은 대역에 있던 양자화 잡음이 다시 인밴드로 타고 들어와 SQNR 값이 떨어지고 고해상도의 ADC를 구현할 수 없다. 델타-시그마 ADC에서는 아날로그 회로를 단순화 하는 대신 복잡한 디지털 데시메이션 필터를 사용하게 된다고 볼 수 있다. 일반적으로 디지털 회로가 아날로그 회로보다 안정적으로 동작하므로 이것은 바람직하지만, 높은 데이터 레이트를 갖는 입력 디지털 신호를 효율적으로 처리할 수 있는 데시메이션 필터 구조의 사용이 매우 중요하다고 할 수 있다.

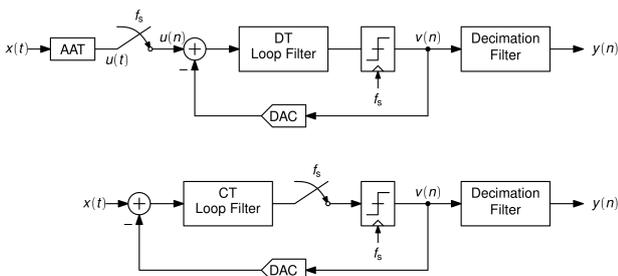


Fig. 1. Discrete-time vs. continuous-time Delta-Sigma ADC.  
그림 1. 이산-시간 및 연속-시간 델타-시그마 ADC

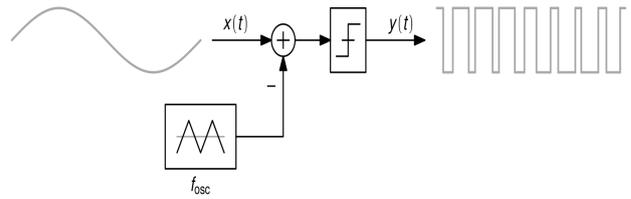


Fig. 2. Pulse-width Modulation.

그림 2. 펄스-폭-변조

본 논문은 펄스-폭-변조를 델타-시그마 ADC에 적용하여 데시메이션 필터를 간단하게 구현할 수 있음을 보인다. II장 1절에서 펄스-폭-변조 기반 델타-시그마 ADC의 구조를 설명하고 II장 2절에서는 델타-시그마 ADC의 출력을 효율적으로 처리할 수 있는 데시메이션 필터의 구조를 제시한다.

## II. 본론

### 1. 펄스-폭-변조 기반 델타-시그마 ADC

델타-시그마 ADC는 일종의 펄스-밀도-변조(Pulse-Density Modulation, PDM) 방식이라고 볼 수 있다. 이와 유사한 형태로 Class-D 증폭기 등에 많이 사용되는 펄스-폭-변조(Pulse-Width Modulation, PWM)가 있다[6]. PWM은 그림 2에서처럼 입력 신호를 삼각파와 비교하여 펄스 형태로 변환함으로써 입력 신호 크기의 변화를 출력 펄스 폭의 변화로 변환한다. 출력 펄스의 주기는 기본적으로 삼각파의 주기와 같으나 펄스 폭이 입력 신호의 크기에 따라 변한다. 이 과정에서 입력 신호가 삼각파에 의해 자연스럽게 샘플링 되었다고도 볼 수 있다. PWM 신호는 두 가지 신호 레벨만 가지므로 Class-D와 같은 스위칭 모드 증폭기를 구동하는데 유리하다. 그림 3은 PWM 신호에 의해 구동되는 스위칭 모드 증폭기에 피드백을 적용한 아날로그 피드백 PWM 구조이다.

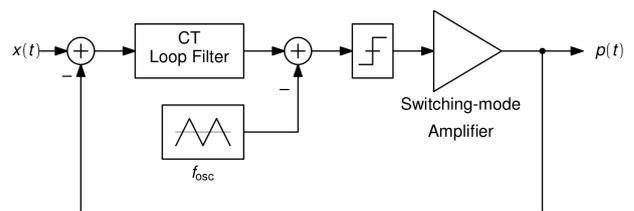


Fig. 3. Analog feedback PWM.

그림 3. 아날로그 피드백 펄스-폭-변조

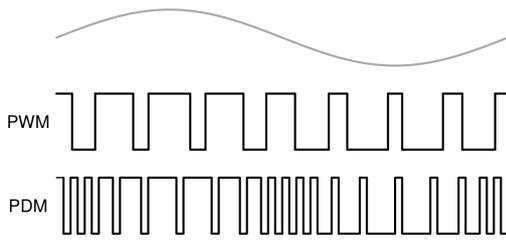


Fig. 4. PWM vs. PDM.  
그림 4. 펄스-폭-변조와 펄스-밀도-변조 비교

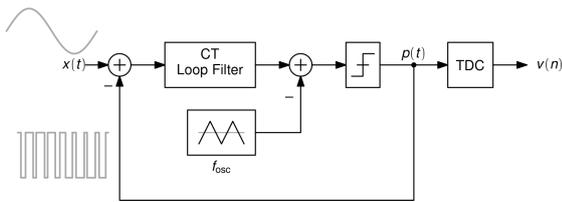


Fig. 5. PWM-based ADC using TDC.  
그림 5. 펄스-폭-변조와 TDC를 이용한 ADC

스위칭 모드 증폭기에서 발생하는 에러를 피드백을 이용하여 억제할 수 있다는 장점이 있다. 또한, 그림 4에서 볼 수 있는 것처럼, 일반적으로 PWM 신호가 PDM 출력 신호에 비해 0과 1 사이에서 변화하는 횟수가 적기 때문에 스위칭-모드 전력 증폭기를 보다 효율적으로 구동할 수 있다[7]. 그림 3의 구조는 그림 5와 같이 ADC로 활용할 수도 있다. 일반적인 연속-시간 델타-시그마 ADC에서 사용되는 샘플러와 1-비트 양자화기 대신에 삼각파 신호를 이용한 PWM 변조기를 사용했다고 볼 수 있다. 펄스-폭-변조된 출력 신호는 최종적으로 시간-디지털 변환기(Time-to-Digital Converter, TDC)에 의해 디지털 신호로 변환할 수 있다. 반도체 공정이 발전하고 전원 전압의 크기가 줄어들어 따라 전압의 해상도는 줄어드는 반면 시간 해상도는 좋아지고 있어 최근 들어 TDC를 활용하는 방안이 관심을 받고 있다[8][9]. 그러나 그림 5의 구조에서는 TDC의 해상도가 비현실적으로 좋아져야 한다는 문제점이 있다. 델타-시그마 ADC에서는 낮은 해상도의 양자화기에서 발생하는 잡음이 루프 필터에 의해 고역-통과 필터링이 되는데, 그림 5의 TDC는 루프 필터 밖에 존재하기 때문에 TDC에서 발생하는 에러 또는 잡음은 여과 없이 출력에 나타나게 되고 따라서 TDC의 해상도가 매우 높아야 한다는 결론이 나온다[10]. 현실적으로 매우 높은 해상도의 TDC를 구현하는 것은 쉽지 않기 때문에 TDC의 에러를 루프 필터에 의해 억제하기 위해서

는 그림 6과 같은 구조를 사용하는 것이 바람직하다. 그림 5에서는 루프 필터 출력과 삼각파를 연속적으로 비교하여 PWM 신호를 만들어내는 반면, 그림 6에서는 루프 필터 출력과 삼각파의 차이를 일정한 주기의 클럭 신호로 샘플링하여 펄스 출력을 만들어낸다. 여기에서 클럭 신호의 주파수가 삼각파의 주파수보다 얼마나 빠르냐에 따라 출력 펄스의 폭이 갖는 시간 해상도가 결정된다고 볼 수 있다. 그리고 유한한 시간 해상도에 의해 발생하는 에러는 피드백과 루프 필터에 의해 억제된다.

그림 6의 출력 펄스는 비록 삼각파보다 높은 주파수로 샘플링 되기는 하지만 클럭의 주기마다 0과 1의 값이 수시로 바뀌지는 않는다. 기본적으로 펄스-폭-변조와 비슷한 형태의 출력 펄스이지만 펄스 폭의 시간 해상도가 낮을 뿐이다. 즉  $f_s$ 의 데이터 레이트를 갖는 최종 출력의 값은 대부분의 경우 0과 1이 연속적으로 나타나게 되고 이를 활용하면 다음 절에서 보인 바와 같이 데시메이션 필터의 구조를 단순하게 만들 수 있다.

제한한 방식의 동작을 검증하기 위하여 이를 오디오 용 ADC에 적용하여 보았다. 그림 7은 연속-시간 펄스-폭-변조 ADC에 사용된 루프 필터의 구조이다. 루프 필터가 구현하는 잡음 전달 함수(Noise Transfer Function, NTF)는 [7]에 사용된 것과 같다. 다만, [7]에서는 Class-D 증폭기를 구동하기 위한 디지털 펄스-폭-변조기를 구현한 반면, 이 논문에서는 ADC를 구현해야 하기 때문에 아날로그 회로 루프 필터를 사용한다. 입력 신호의 대역폭은 20 kHz, 샘플링 클럭은 24 MHz이다. 삼각파의 주파수는 24 MHz의 1/32인 750 kHz이다. 잡음 전달 함수는 4차이고 오디오 밴드 내에서의 양자화 잡음을 최적화 하기 위해 모든 제로를 DC에

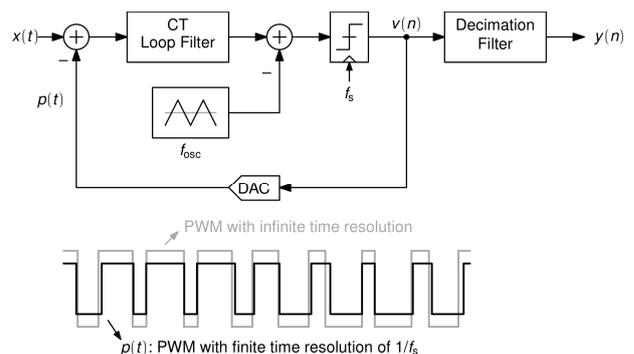


Fig. 6. PWM-based CT Delta-Sigma ADC.  
그림 6. 펄스-폭-변조 기반 연속-시간 델타-시그마 ADC

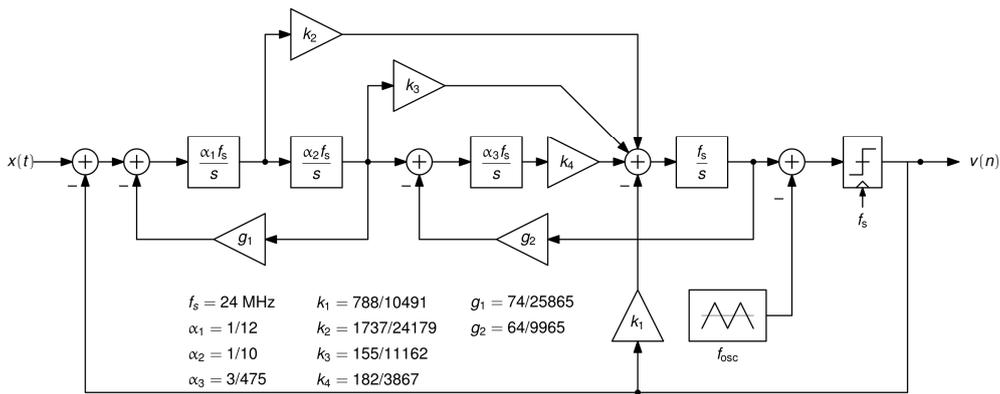


Fig. 7. Analog 4th-order loop filter.  
그림 7. 아날로그 4차 루프 필터

두지 않고 두 개의 제로는 각각 5 kHz, 18 kHz에 위치시킨다(그림 8). 연속-시간 루프 필터는 CIFF (Cascaded Integrator with FeedForward), CIFB (Cascaded Integrator with FeedBack) 등 여러 가지 구조를 이용하여 구현할 수 있다. 본 논문에서는 두 구조의 장점을 결합한 CIFF-B 구조를 사용하였다[3]. 그림 8은 입력에 -6 dBFS의 크기를 갖는 2.2 kHz 정현파를 가했을 때 ADC 출력을 시물레이션한 스펙트럼이다. 양자화 잡음이 4차 고역통과 필터링 된 것을 확인할 수 있다. 또한 비교기에 들어가는 삼각파로 인해 750 kHz와 그 정수배의 주파수에 톤이 있음을 볼 수 있다. 오디오 밴드 내에서의 SQNR은 약 121 dB로 16 비트 오디오에서 필요한 96 dB에 약 25 dB 정도 여유가 있음을 알 수 있다. 실제 회로 구현 시 아날로그 회로의 열잡음 등에 의해 전체적인 잡음의 크기가 좌우되도록 설계가 가능하다.

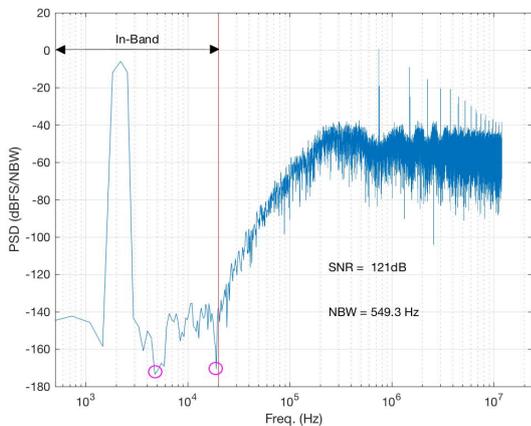


Fig. 8. Simulated output spectrum of the 4th-order loop filter.  
그림 8. 4차 루프필터의 시물레이션 출력 스펙트럼

## 2. 록업 테이블 기반 데시메이션 필터

연속-시간 펄스-폭-변조 ADC의 디지털 출력은 연속적인 0 또는 1의 값으로 구성되는 것을 앞에서 보았다. 연속된 0 또는 1의 개수를 일종의 TDC인 카운터를 이용하여 세면 펄스 폭을 디지털 코드로 표현할 수 있다. 그러나 이렇게 단순히 펄스 폭을 디지털 코드로 변환하는 것은 데이터 레이트를 낮추기만 할 뿐 높은 주파수 대역의 양자화 잡음을 제거하지 않아 에일리어싱에 의해 SQNR을 떨어뜨리게 된다. 구체적으로 그림 6의 ADC에서 클럭 주파수가 삼각파 주파수의 32배에 해당하므로 PWM 출력의 펄스 폭을 카운터를 이용해 디지털 코드로 변환하는 것은 데이터 레이트를 1/32로 낮추는 것과 같고 이 과정에서 750 kHz(24 MHz/32)의 정수배에 해당하는 주파수 대역의 잡음들이 모두 인밴드로 에일리어싱 된다. 특히나 200 kHz 이상의 주파수에는 델타-시그마 변조기의 루프 필터에 의해 커진 양자화 잡음이 존재하기 때문에 이를 미리 제거하지 않고는 높은 SQNR을 얻을 수가 없다. 그림 8을 보면 121 dB 정도의 SQNR을 얻기 위해서는 양자화 잡음을 적어도 100 dB 가량 낮춰야 함을 알 수 있다.

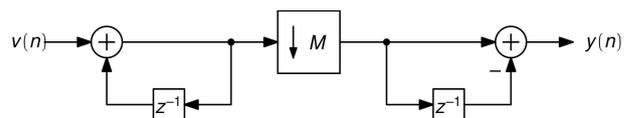


Fig. 9. CIC decimation filter.

그림 9. CIC 데시메이션 필터

그림 6의 ADC 출력은 일반적인 델타-시그마 ADC의 데시메이션 필터를 이용하여 처리할 수도 있다. 데시메이션 필터에는 효과적이면서도 쉽게

구현할 수 있는  $\text{sinc}(z)$  함수가 널리 사용된다.  $1/M$ 로 데이터 레이트를 낮추는 경우 다음과 같은  $\text{sinc}_M(z)$  함수를 사용하면 샘플링 주파수의  $1/M$  주파수마다 Null이 존재하여 에일리어싱 문제를 완화할 수 있다.

$$\begin{aligned} \text{sinc}_M(z) &= 1+z^{-1} + \dots + z^{-(M-1)} \\ &= \frac{1-z^{-M}}{1-z^{-1}} \end{aligned} \quad (1)$$

$\text{sinc}_M(z)$  함수는 그림 9와 같이 적분기와  $1/M$  다운샘플링, 그리고 미분기가 연결된 CIC(Cascaded Integrator Comb) 구조를 사용하거나, 폴리페이즈 필터를 이용하여 효율적으로 구현할 수 있다 [11]. 일반적으로 데시메이션을 수행할 때  $M=2$ 인 경우 필터를 보다 효율적으로 구현할 수 있기 때문에 한번에  $1/M$ 로 데이터 레이트를 낮추기 보다는  $M=2$ 의 데시메이션 필터를 여러개 연결하여 사용한다. 많은 경우 1차  $\text{sinc}_2(z)$  함수만으로는 에일리어싱 문제를 충분히 해결할 수 없기 때문에 고차의  $\text{sinc}_2(z)$  함수를 사용한다. 그림 6의 ADC에서는 100 dB 이상 양자화 잡음을 제거해야 하므로 이를 고려하여 데시메이션 필터 각 단의  $\text{sinc}_2(z)$  함수의 차수를 결정해야 한다.  $\text{sinc}_2(z)$  함수의 입력 신호의 오버샘플링비(Over-Sampling Ratio, OSR)를  $OSR_i$ 라고 하면, 입력 신호의 인밴드 디지털 주파수  $f_{p,i}$ 는  $1/(2OSR_i)$ 이고 양자화 잡음이 가장 큰 곳의 주파수  $f_{m,i}$ 는  $0.5 - 1/(2OSR_i)$ 가 된다.  $f_{p,i}$ ,  $f_{m,i}$  주파수에서  $\text{sinc}_2(z)$  함수의 크기 비를 고려하면 필요한  $\text{sinc}_2(z)$  함수의 차수를 알 수 있고, 이를 정리한 것을 그림 10에 표시했다.

$1/32$ 로 데이터 레이트를 낮추기 위해서는  $1/2$  데시메이션이 다섯 단 필요하고 각 단의 차수는, 2, 3, 3, 3, 4차가 된다. 데시메이션 필터의 입력 신호는 1 비트 신호이므로 각 단의 데시메이션 필터 출력 신호의 비트 수는 3, 6, 9, 11, 15이다.  $\text{sinc}_2(z)$  함수는 CIC 또는 폴리페이즈 필터 형태로 구현할 수 있는데, 일반적으로 폴리페이즈 필터로 구현하는 것이 필요한 가산기의 개수가 약간 적다. 폴리페이즈 필터로  $\text{sinc}_2(z)$  함수를 구현한다고 했을 때 2차  $\text{sinc}_2(z)$  함수에는 두 개의 가산기가 필요하고, 3

차 또는 4차  $\text{sinc}_2(z)$  함수에는 다섯 개의 가산기가 필요하다[3]. 각 단의  $\text{sinc}$  필터에 사용되는 가산기는 동작 속도도 다르고 비트 수도 다르다. 2배 속도로 동작하는 가산기에 2배의 웨이트를 주어서 전체 데시메이션 필터에 필요한 가산기의 개수를 계산하면 492개가 된다.

그러나 그림 6의 출력은 펄스-폭-변조된 것이기 때문에 매 시간마다 0과 1 사이에서 값이 변하는 것이 아니라 대부분 연속적인 0과 1의 값을 갖는다. 이러한 성질을 활용하면 데시메이션 필터를 간단하게 만들 수 있다. 먼저,  $1/32$ 로 데시메이션 할 때 앞에서 설명한 것처럼 여러 단계를 거쳐서 데시메이션 하는 것이 아니라 한번에  $1/32$ 로 데이터 레이트를 낮춘다고 하면, 양자화 잡음을 100 dB 이상 낮추기 위해서는 다운샘플링 전에 3차  $\text{sinc}$  함수 즉,  $\text{sinc}_{32}^3(z)$ 를 원래의 신호에 적용해야 한다. 그림 11은  $\text{sinc}_{32}^3(z)$  필터를 적용하는 과정을 보이고 있다. 그림에서  $v(n)$ 은 그림 6의 PWM 출력 시퀀스이고,  $h(n)$ 은  $\text{sinc}_{32}^3(z)$  필터의 임펄스 응답이다.  $h(n)$ 의 길이는 94가 된다.  $h(n)$  필터의 출력  $y(n)$ 은 다음과 같이  $v(n)$ 과  $h(n)$ 의 합성곱으로 표현할 수 있다.

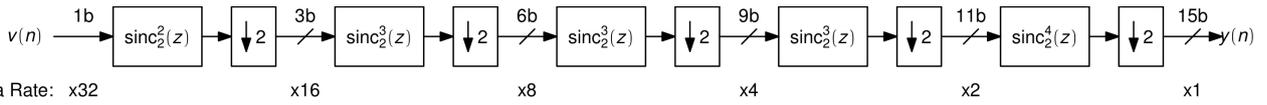
$$y(n) = \sum_{k=0}^{93} h(k)v(n-k) \quad (2)$$

데시메이션 필터의 출력은  $n$ 이 32의 정수배일 때의  $y(n)$ 의 값이 된다.

그런데  $v(n)$ 은 대부분 연속적인 1이거나 연속적인 0이므로  $y(n)$ 은  $v(n)$ 이 1인 구간들에서  $h(n)$ 의 값을 더한 것으로 표시할 수 있다. 이를 수식으로 표현하기 위해서, 그림 11에서는  $w(n)$ 을  $v(n)$ 의 연속적인 0 또는 1의 개수로 정의한다.  $w(n)$ 의 값은  $v(n)$ 이 연속적으로 0 또는 1인 구간 동안 카운터를 동작시킴으로써 쉽게 구할 수 있고  $v(n)$ 과 비교하면 데이터 레이트가  $1/16$ 이 된다. 또한  $sd(n)$ 을 다음과 같이 정의한다.

$$sd(n) = 32(n+1) - \sum_{k=0}^{2n+1} w(k) \quad (3)$$

$sd(n)$ 은 짝수개의  $w(k)$ 를 누적하여 더했을 때 이 값이 32의 배수와 얼마나 차이가 나는지를 나타



Data Rate: x32

x16

x8

x4

x2

x1

Fig. 10. 5-stage decimation filter using sinc filter.

그림 10. 다섯 단의 sinc 필터로 구성된 데시메이션 필터 구조

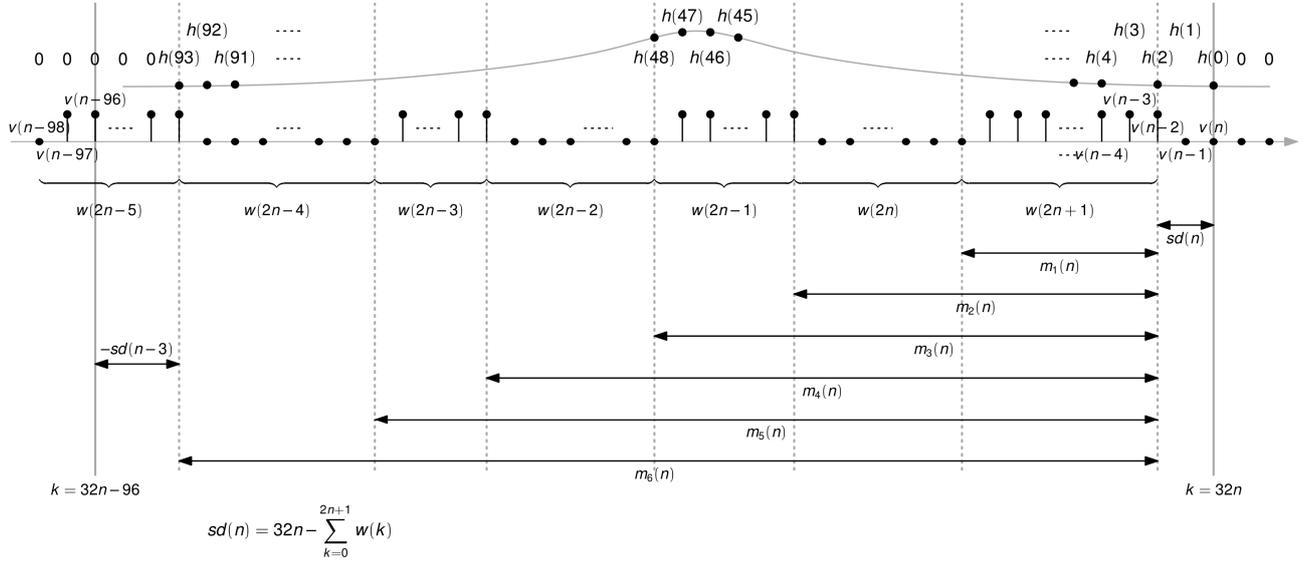

 Fig. 11. Convolution with  $\text{sinc}_{32}^3(z)$  filter.

 그림 11.  $\text{sinc}_{32}^3(z)$  필터를 이용한 합성곱 계산 과정

내고  $v(n)$ 에 비해서 데이터 레이트가  $1/32$ 이 된다. 또한 그림 11에서  $m_i(n)$  ( $i = 0, 1, 2, \dots, 6$ )은 다음 식으로 정의된다.

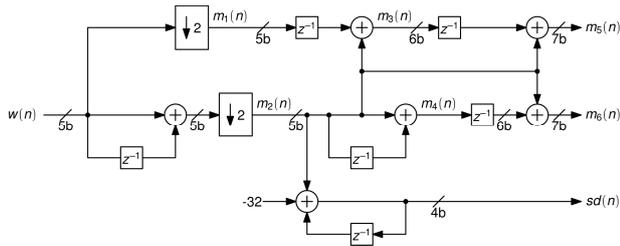

 Fig. 12. Computation of  $sd(n)$  and  $m_i(n)$ .

 그림 12.  $sd(n)$  및  $m_i(n)$ 의 계산기 구조

$$m_0(n) = 0, m_1(n) = w(2n+1)$$

$$m_2(n) = w(2n) + w(2n+1)$$

$$m_3(n) = w(2n-1) + w(2n) + w(2n+1)$$

$$m_4(n) = w(2n-2) + w(2n-1) + w(2n) + w(2n+1) \quad (4)$$

$$m_5(n) = w(2n-3) + w(2n-2) + w(2n-1) + w(2n) + w(2n+1)$$

$$m_6(n) = \sum_{k=2n-4}^{2n+1} w(k)$$

여기에서  $m_i(n)$ 의 데이터 레이트 또한  $v(n)$ 의  $1/32$ 이 된다.  $sd(n)$ 과  $m_i(n)$ 을 이용하면 식 (2)의  $y(n)$ 은 다음과 같이 표시할 수 있다.

$$y(n) = \sum_{k=sd(n)}^{sd(n)+m_1(n)-1} h(k) + \sum_{k=sd(n)+m_2(n)}^{sd(n)+m_3(n)-1} h(k) + \sum_{k=sd(n)+m_4(n)}^{sd(n)+m_5(n)-1} h(k) + \sum_{k=sd(n)+m_6(n)}^{93} h(k)$$

$$= S(sd(n) + m_1(n) - 1) - S(sd(n) - 1) + S(sd(n) + m_3(n) - 1) - S(sd(n) + m_2(n) - 1) + S(sd(n) + m_5(n) - 1) - S(sd(n) + m_4(n) - 1) + S(93) - S(sd(n) + m_6(n) - 1)$$

$$= S(93) - \sum_{k=0}^6 (-1)^{k+1} S(sd(n) + m_k(n) - 1) \quad (5)$$

식 (5)에서  $S(n)$ 은 다음과 같이 정의된다.

$$S(n) = \begin{cases} 0 & n < 0 \\ \sum_{k=0}^n h(k) & 0 \leq n \leq 93 \\ \sum_{k=0}^{93} h(k) & n > 93 \end{cases} \quad (6)$$

$S(n)$  값은 미리 계산을 해서 룩업 테이블(Look-Up Table, LUT)에 저장해 놓을 수 있다.  $S(n)$ 의 값은 15 비트로 표현할 수 있고 94개의 값이 나오므로 총 1410 비트의 메모리 소자가 필요하다. LUT의 값을 참조함으로써  $y(n)$ 을 계산할 수 있고 이를 위해서는  $sd(n) + m_i(n)$ 의 값들을 그림 12와 같이 계산하기만 하면 된다.  $sd(n) + m_i(n)$ 의 값들을 계산하는 데는 총 68개의 가산기가 필요하다. 또한 LUT에서 읽어들이는 7개의  $S(n)$  값을 더하는데 90개의 가산기가 필요하다. 식(5)에서  $S(93)$ 은 항상 일정한 값이므로  $y(n)$ 을 구할 때 더하지 않더라도 DC 오프셋에만 영향을 줄 뿐 큰 문제가 되지 않는다. 따라서  $y(n)$ 을 구하기 위해서는 총 158개의 가산기가 필요하게 된다.

앞서 다섯 단의  $\text{sinc}(z)$  데시메이션 필터를 사용했을 때 492개의 가산기가 필요했던 것과 비교하면 매우 적은 숫자의 가산기가 필요함을 알 수 있다. LUT를 이용한 데시메이션 필터의 경우 대부분의 연산이 원래 데이터 레이트의 1/32 속도에서 동작한다. 그에 비해 다섯 단의  $\text{sinc}(z)$  데시메이션 필터에서는 각 단마다 가산기의 동작 속도가 다르다. 필요한 가산기의 개수를 계산할 때 두 배 높은 속도로 동작하는 가산기에는 2를 곱해서 계산하였다. 그러나 가산기의 동작 속도를 고려하지 않고 단순히 전체 가산기의 개수를 더하더라도 기존 방식은 164개의 가산기가 필요하므로 LUT 방식보다 더 복잡하다. 다만, 제안한 방식은 LUT를 위해 메모리 소자가 필요하고 LUT의 데이터를 가져 오는데 추가적인 시간과 전력이 필요하다는 단점이 있다. 그러나 LUT의 크기가 그렇게 크지 않고 LUT는 낮은 속도에서 동작하므로 이로 인한 오버헤드는 그리 크지 않다. 데시메이션 필터의 입력 데이터 레이트가 높을 수록 LUT를 이용한 데시메이션 필터가 오히려 전력 소모 면에서 유리하게 된다.

그림 13은 LUT 기반 데시메이션 필터를 적용하였을 때 출력 신호의 스펙트럼이다. 인밴드 내에서 잡음 전달 함수의 체로가 명확하게 보일 정도로 양자화 잡음의 에일리어싱 없이 잘 동작함을 볼 수

있고 20 kHz까지의 오디오 인밴드에서의 SQNR 값도 121 dB로 그림 8의 값과 거의 같다. 오디오의 40 kSample/sec의 데이터 레이트로 낮추기 위해 추가적인 데시메이션이 필요한데 이를 위해서는 델타-시그마 ADC에 일반적으로 사용되는 데시메이션 필터를 사용할 수 있다.

### III. 결론

본 논문에서는 펄스-폭-변조 기반 연속-시간 델타-시그마 ADC에 적합한 데시메이션 필터를 제안하였다. 일반적인 델타-시그마 ADC와 달리 펄스-폭-변조를 적용함으로써 변조기의 출력이 0과 1 사이에서 바뀌는 빈도를 크게 줄일 수 있고 이를 활용하면 LUT를 이용하여 데시메이션 필터를 간단하게 구현할 수 있음을 보였다. 본 논문에서는 설계 예로 오디오용 ADC를 들었으나 넓은 대역폭의 신호를 처리해야 하는 이동통신 용 ADC에도 효과적으로 사용될 수 있을 것으로 기대된다. 높은 데이터 레이트의 신호를 데시메이션 할 때 LUT 방식이 전력 소모 면에서 더 유리하기 때문이다.

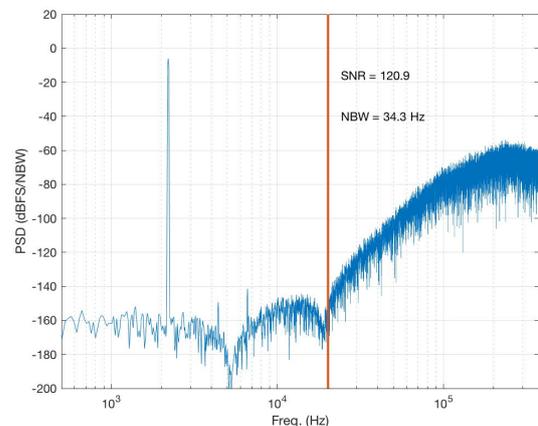


Fig. 13. Output spectrum of the proposed decimation filter.  
그림 13. 제안한 데시메이션 필터의 출력 스펙트럼

### References

- [1] L. Yao, M. S. J. Steyaert, and W. Sansen, "A 1-V 140-uW 88-dB audio Sigma-Delta modulator in 90-nm CMOS," *IEEE J. Solid-State Circuits*, vol.39, no.11, pp.1809-1818, 2004.  
DOI: 10.1109/JSSC.2004.835825
- [2] J. Grilo, I. Galton, K. Wang, and R. G.

Montemayor, "A 12-mW ADC Delta-Sigma modulator with 80 dB of dynamic range integrated in a single-chip Bluetooth transceiver," *IEEE J. Solid-State Circuits*, vol.37, no.3, pp.271-278, 2002. DOI: 10.1109/4.987077

[3] S. Pavan, R. Schreier, and G. C. Temes, *Understanding Delta-Sigma Data Converters, second edition*, IEEE Press, Wiley, 2017.

[4] R. Schoofs, M. S. J. Steyaert, and W. M. C. Sansen, "A design-optimized continuous-time Delta-Sigma ADC for WLAN applications," *IEEE J. Solid-State Circuits*, vol.54, no.1, pp.209-217, 2007. DOI: 10.1109/TCSI.2006.887455

[5] R. Schreier and B. Zhang, "Delta-sigma modulators employing continuous-time circuitry," *IEEE Trans. Circuits Syst. I: Fundamental Theory and Applications*, vol.43, no.4, pp.324-332, 1996. DOI: 10.1109/81.488811

[6] M. Berkout, "Integrated 200-W class-D audio amplifier," *IEEE J. Solid-State Circuits*, vol.38, no.7, pp.1198-1206, 2003. DOI: 10.1109/JSSC.2003.813238

[7] M. Wang, X. Jiang, J. Song, T. L. Brooks, "A 120 dB dynamic range 400 mW class-D speaker driver with fourth-order PWM modulator," *IEEE J. Solid-State Circuits*, vol.45, no.8, pp.1427-1435, 2010. DOI: 10.1109/JSSC.2010.2047426

[8] M. Z. Straayer and M. H. Perrott, "A multi-path gated ring oscillator TDC with first-order noise shaping," *IEEE J. Solid-State Circuits*, vol.44, no.4, pp.1089-1098, 2009. DOI: 10.1109/JSSC.2009.2014709

[9] J. Yu, F. F. Dai, and R. C. Jaeger, "A 12-Bit vernier ring time-to-digital converter in 0.13 um CMOS Technology," *IEEE J. Solid-State Circuits*, vol.45, no.4, pp.830-842, 2010. DOI: 10.1109/JSSC.2010.2040306

[10] J. Daniels, W. Dehaene, M. S. J. Steyaert, and A. Wiesbauer, "A/D conversion using asynchronous Delta-Sigma modulation and time-to-digital conversion," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol.57, no.9, pp.2404-2412, 2010. DOI: 1109/TCSI.2010.2043169

[11] J. G. Proakis and D. G. Manolakis, *Digital signal processing: principles, algorithms, and applications, third edition*, Prentice-Hall Inc., 1996.

## BIOGRAPHY

**Jae Hoon Shim** (Member)



1998 : BS degree in Electrical Engineering, KAIST.

2000 : MS degree in EECS, KAIST.

2005 : PhD degree in EECS, KAIST.

2005~2009 : Senior Engineer, ETRI.

2009~2019 : Assistant Professor, Kyungpook National University.