

## 무인기 탐지를 위한 멀티모드 레이더 신호처리 프로세서 설계

# Design of Multi-Mode Radar Signal Processor for UAV Detection

이승혁 · 정용철 · 정운호

한국항공대학교 항공전자정보공학부

Seunghyeok Lee · Yongchul Jung · Yunho Jung

School of Electronics and Information Eng. Korea Aerospace University

### [요 약]

레이더 시스템은 송신 파형에 따라 크게 PD (pulse Doppler) 레이더와 FMCW (frequency modulated continuous wave) 레이더로 구분되며, 송수신 특성에 따라 PD 레이더는 장거리 표적 검출에 유리한 반면, FMCW 레이더는 단거리 표적 검출에 적합한 특성을 갖는다. 이에 본 논문에서는 중/장거리 뿐 아니라 단거리 무인기 탐지를 위해 PD 레이더 시스템과 FMCW 레이더 시스템을 모두 지원 가능한 멀티모드 레이더 신호처리 프로세서 (RSP; radar signal processor)를 제안한다. 제안된 레이더 신호처리 프로세서는 Verilog-HDL을 이용하여 RTL 설계 후, Altera Cyclone-IV FPGA를 이용하여 구현 및 검증 되었다. 구현 결과, 총 19,623개의 logic elements, 9,759개의 register, 그리고 25,190,400의 memory bit로 구현 가능함을 확인하였으며, 기존의 PD 레이더와 FMCW 레이더 신호처리 프로세서를 개별 구현한 경우에 비해 logic elements와 register 요구량이 약 43%와 39% 감소됨을 확인하였다.

### [Abstract]

Radar systems are divided into the pulse Doppler (PD) radar and the frequency modulated continuous wave (FMCW) radar depending on the transmission waveform. In particular, the PD radar is advantageous for long-range target detection, and the FMCW radar is suitable for short-range target detection. In this paper, we present design and implementation results for a multi-mode radar signal processor (RSP) that can support both PD and FMCW radar systems to detect unmanned aerial vehicles (UAVs) at short distances as well as long distances. The proposed radar signal processor can be implemented based on Altera Cyclone-IV FPGA with 19,623 logic elements, 9,759 registers, and 25,190,400 memory bits. The logic elements and registers of the proposed radar signal processor are reduced by approximately 43% and 30%, respectively, compared to the sum of logic elements and registers of the conventional PD radar and FMCW radar signal processor.

**Key word** : Frequency modulated continuous wave radar, Pulse doppler radar, Radar signal processor, Unmanned aerial vehicle.

<https://doi.org/10.12673/jant.2019.23.2.134>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 7 March 2019; Revised 5 April 2019  
Accepted (Publication) 23 April 2019 (30 April 2019)

\*Corresponding Author; Yunho Jung

Tel: +82-2-300-0133

E-mail: yjung@kau.ac.kr

## I. 서론

레이더 시스템은 전자기파 신호를 송신한 후 표적에 반사된 신호를 검출함으로써 표적의 거리, 속도를 측정하는 방식으로 주야 및 날씨 등의 환경에 거의 영향을 받지 않기 때문에 라이더, 카메라, 초음파, 적외선 센서 등의 센서에 비해 큰 장점을 지니고 있다. 이에 최근 레이더 기술은 항공기, 선박 등의 방산분야 뿐만 아니라 드론, 자동차 및 의료 등에 응용되어 다양한 연구가 이루어지고 있다 [1],[2].

레이더의 전송 파형은 크게 PD (pulse Doppler) 레이더와 FMCW (frequency modulated continuous Wave) 레이더로 구분되며 전송 파형에 따라 시스템 동작 방식이 다르다. PD 레이더는 일정한 펄스를 송신하는 방식으로 수신된 펄스 신호로부터 표적의 정보를 산출한다. FMCW 레이더는 주파수 변조된 신호를 연속적으로 송수신하여 송신 신호와 수신 신호의 차이인 비트 신호를 이용하여 표적의 정보를 얻는 방식이다 [3],[4]. PD 레이더 방식은 높은 첨두 (peak) 송신 전력으로 장거리 표적 검출이 가능한 장점을 갖지만, 펄스를 송신하는 동안에는 수신이 불가능하여 근거리 표적 검출에는 어려움을 겪는다. 반면, FMCW 레이더 방식은 연속적으로 송수신이 이루어지므로 blind range가 존재하지 않으며, PD 레이더에 비해 높은 해상도를 가져 단거리 표적 검출에 유리하지만, 제한된 송신 전력으로 인해 장거리 물체 검출에는 한계를 갖는다 [5]-[8]. FMCW 레이더는 전송 파형에 따라 상향 칩 (up chirp)과 하향 칩 (down chirp)을 모두 사용하는 삼각파형 방식과 상향 칩 혹은 하향 칩 중 하나만 사용하여 전송하는 톱니파형 방식이 있다. 삼각파형 방식의 FMCW 레이더는 상향 칩과 하향 칩의 비트 주파수 조합을 통해 저복잡도 연산으로 표적의 거리와 속도를 구할 수 있지만, 다수의 표적이 존재하는 경우 무수히 많은 비트 주파수 조합이 발생하게 되어 실제 표적과 거짓 표적을 구별하기 어려운 문제점을 갖는다. 반면, 톱니파형 방식의 FMCW 레이더는 톱니파의 기술기를 크게 하여 여러 칩 신호를 연속적으로 전송하는 고속 칩열 (fast-chirp train) 방식을 사용하며, 이는 검출된 비트 주파수가 곧 표적의 거리에 대응되어 다중 표적 검출이 용이한 특징이 있어 삼각파형 FMCW 레이더에 비해 많은 응용에 사용되고 있다 [9].

특히, 교통, 물류, 건설 및 항공촬영 등 다양한 분야에서 운용되고 있는 무인기는 여러 환경 속에 노출되어 있기 때문에, 무인기의 안전한 운용을 위해서는 사전에 이를 탐지해 위치정보를 제공할 필요가 있다 [10]. 따라서, 다양한 환경에 노출되어 있는 무인기를 탐지하기 위해 PD 레이더와 고속 칩열 변조 방식의 FMCW 레이더를 모두 사용한다면, FMCW 레이더를 통해 단거리에 있는 무인기를 높은 거리 해상도로 다중 표적 검출이 가능하며, PD 레이더를 통해 FMCW 레이더에 의해 탐지가 불가능한 장거리 표적들까지 검출이 가능하다.

본 논문에서는 24GHz 대역에서 탐지 거리에 따라 PD 레이더와 FMCW 레이더를 유동적으로 선택 가능한 무인기 탐지용

멀티모드 레이더 신호처리 프로세서 (RSP: radar signal processor)의 설계 및 구현 결과를 제시한다. 특히, PD 레이더와 FMCW 레이더의 신호처리 프로세서 각각을 개별적으로 구현하면 하드웨어 면적 측면에서 비효율적이므로 단일 프로세서로 PD 레이더와 FMCW 레이더의 신호처리를 모두 가능하게 하기 위해, PD 레이더와 FMCW 레이더의 신호처리에 공통으로 요구되는 FFT 프로세서와 메모리를 공유해 저복잡도로 설계 하였으며, FPGA (field programmable gate array)를 이용하여 구현 및 검증을 하였다. 본 논문의 구성은 다음과 같다. II장에서는 PD 레이더와 FMCW 레이더의 표적 탐지를 위한 신호처리 알고리즘에 대해 설명하고, III장에서는 본 논문에서 사용하는 시스템 모델 파라미터와 멀티모드 레이더 시스템 동작 알고리즘에 대하여 서술한다. IV장에서는 레이더 신호처리 프로세서의 하드웨어 구조 설계에 관한 내용을 설명한다. V장에서는 FPGA 기반 구현 결과를 제시하고, VI장에서는 결론을 맺는다.

## II. 파형별 레이더 신호처리 프로세서

### 2-1 PD 레이더 신호처리 프로세서

그림 1은 PD 레이더의 송수신 신호모델을 보여준다. 위상정합처리구간 (CPI: coherent processing interval) 동안 송신 신호는 일정한 주기 (PRI: pulse repetition frequency)로 짧은 펄스 ( $\tau$ )가 전송되고 표적으로부터 반사된 신호는 최대 탐지 거리 기준에 따라 다음 펄스 송신 전까지 수신된다. 표적으로부터 거리 ( $R$ )는 식 (1)과 같이 송신신호와 수신신호의 지연 시간 ( $\Delta t$ )으로부터 구할 수 있으며, 여기서  $c$ 는 신호의 전파 속도이다.

$$R = \frac{c \times \Delta t}{2}. \quad (1)$$

그림 2는 PD 레이더의 신호처리 프로세서의 하드웨어 구조로, pre processing, 펄스 압축 기법 (pulse compression), 2D 메모리, 그리고 post processing으로 구성이 된다. PD 레이더는 표적으로부터 반사된 지연 시간을 구하기 위하여 거리 빈 (range bin)을 이용한다. 거리 빈은 PRI 간격동안 일정한 시간 간격으로 표본화하여 얻은 후, 수신 신호가 존재하는 거리 빈으로부터 지연 시간을 결정한다. PD 레이더의 거리 해상도 ( $\Delta R$ )는 식 (2)와 같으며, 대역폭( $B$ )이 클수록 거리 해상도가 향상이 된다.

$$\Delta R = \frac{c}{2B}. \quad (2)$$

하지만, 거리 해상도를 향상시키기 위해 펄스폭을 줄여 대역폭을 높일수록, 송신전력이 낮아지는 문제가 있기 때문에 이를 해결하기 위하여 펄스 압축 기법을 사용한다. 펄스 압축 기법은 펄스폭에 선형 주파수 변조된 (LFM: linear frequency

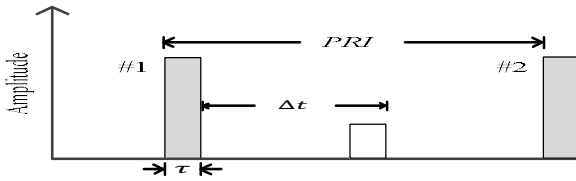


그림 1. PD 레이더의 송수신 신호  
 Fig. 1. Transmitted and received signal of PD radar.

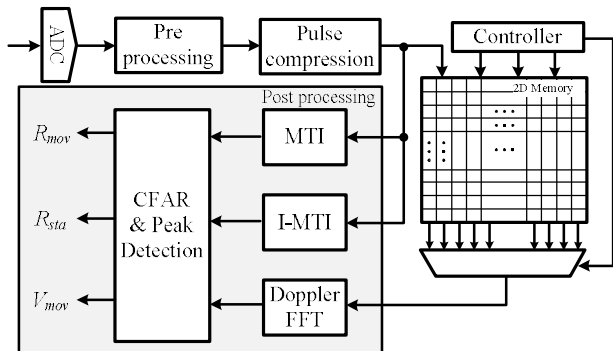


그림 2. PD 레이더 신호처리 프로세서 하드웨어 구조  
 Fig. 2. Hardware architecture of PD radar signal processor.

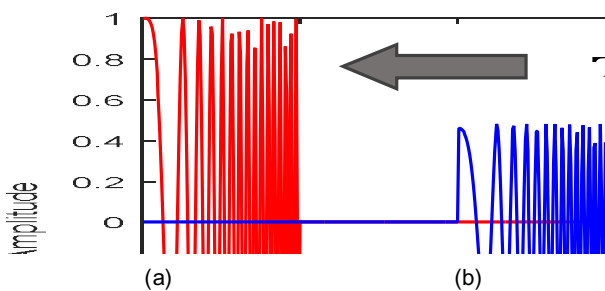


그림 3. 펄스 압축 기법의 연산 시뮬레이션 결과  
 Fig. 3. Simulation results of pulse compression.

modulation) 신호를 담아 송수신 후, 정합필터 (matched filter)는 송신 신호와 수신 신호 사이의 상관 연산 (correlation)이며, 이를 통해 펄스폭을 압축시켜 동일한 송신전력으로 거리 해상도를 높일 수 있다 [11]-[13]. 식 (3)은 펄스 압축 기법의 상관 연산을 나타내며 수신 신호  $x[n]$ 과 선형 주파수 변조된 송신 펄스 신호  $h[n]$ 의 컨볼루션 연산을 통해 이루어진다.

$$y[n] = x[n] * h[n] = \sum_{m=0}^n x[n]h[n-m]. \quad (3)$$

그림 3-(a)는 송신신호와 표적으로부터 수신된 신호를 나타내며, 정합필터 연산을 통해 그림 3-(b)와 같이 펄스폭을 줄임으로써 거리 해상도가 향상되는 것을 확인 할 수 있다. Post-processing은 MTI (moving target indicator) filter, I-MTI (inverse-moving target indicator) filter, Doppler FFT, 그리고

CFAR 처리기로 구성이 된다. MTI filter와 I-MTI filter는 각각 움직이는 표적과 고정된 표적의 성분을 얻는 필터로, 복잡도를 줄이기 위해 recursive 방식의 알고리즘이 보편적으로 사용된다. 도플러 주파수 성분은 CPI 동안 표적으로부터 반사되어 수신된 신호가 존재하는 동일한 거리 bin들의 데이터의 위상성분으로 표현되므로, FFT (fast Fourier transform) 연산을 통해 도플러 주파수를 구할 수 있다. 따라서, 도플러 주파수는 한 PRI의 거리 bin 개수를 펄스 수 만큼 누적을 한 후, FFT 프로세서를 통해 구할 수 있으므로 거리bin 개수×펄스 개수의 2D 메모리가 요구 된다. 도플러 성분을 구하고 나면, 아래의 식 (4)와 같이, 중심주파수 ( $f_0$ )와 도플러 주파수 ( $f_d$ )로부터 표적의 속도 ( $V$ )를 얻을 수 있다.

$$V = \frac{c \times f_d}{2 \times f_0}. \quad (4)$$

CFAR (constant false alarm rate) 알고리즘은 클러터나 노이즈 신호로부터 실제 표적의 신호를 추출하기 위한 적응형 프로세스이다. 따라서, CFAR 알고리즘을 적용하여 입력 신호에 적응형 문턱값 (threshold)을 구한 뒤, 문턱값 보다 큰 경우에만 주파수 성분으로 판단함으로써 표적의 거리 성분과 최종 표적의 도플러 주파수 성분을 결정한다.

### 2-2 FMCW 레이더 신호처리 프로세서

그림 4는 고속 첩열 변조 방식의 FMCW 레이더의 송수신 신호 모델로써, 송신 신호는 각 첩 동안 선형 주파수 변조된 파형을 사용해 연속된 신호를 전송한다. 표적으로부터 반사된 수신 신호는 거리에 비례하는 시간만큼의 지연된 주파수를 가지게 된다. 이 수신 신호와 송신 신호의 주파수 차이를 비트 주파수 (beat frequency)라 하며, 이 주파수는 표적의 정보를 얻기 위해 사용된다. 그림 5는 고속 첩열 방식의 FMCW 레이더 신호처리 프로세서의 하드웨어 구조로, pre-processing, FFT 프로세서, 2D 메모리, 그리고 post-processing으로 구성이 된다. ADC (analog-to-digital converter)로부터 표본화된 비트 주파수 신호 ( $f_b$ )는 식 (5)와 같이 표적의 거리에 비례하는 값을 가지며,  $B$ 는 대역폭,  $T$ 는 한 첩의 시간,  $c$ 는 신호의 전파 속도를 나타낸다.

$$R = \frac{cT}{2B} \times f_b. \quad (5)$$

따라서, 송수신 신호로부터 형성된 비트주파수 값은 range FFT 프로세서를 통해 얻을 수 있으며, 이로부터 표적의 거리 정보를 얻을 수 있다. FMCW 레이더의 post-processing은 PD 레이더의 post-processing과 동일하게 MTI filter, I-MTI filter, Doppler FFT 프로세서, 그리고 CFAR 처리기로 구성된다. 움직이는 표적의 속도 값은 식 (4)의 도플러 주파수 값으로부터 얻으며, 이

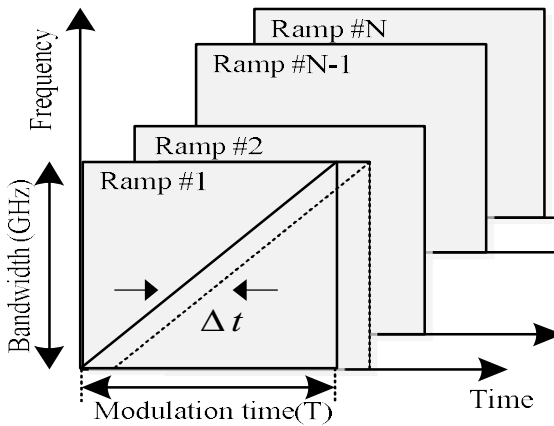


그림 4. FMCW 레이더 송수신 신호  
Fig. 4. FMCW Radar transmitted and received signal.

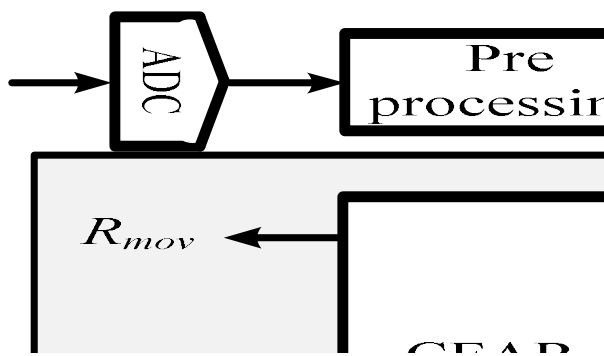


그림 5. FMCW 레이더 신호처리 프로세서 하드웨어 구조  
Fig. 5. Hardware architecture of FMCW radar signal processor.

도플러 주파수 성분은 PD 레이더와 동일하게, 각 칩의 FFT 프로세서 결과의 동일 인덱스에 대한 FFT 프로세서를 수행함으로써 구할 수 있다. 또한, FMCW 레이더도 한 칩의 FFT 포인트수에 해당하는 메모리가 송신한 칩 개수만큼 필요하기 때문에 2D 메모리를 사용해야 표적의 도플러 성분 획득이 가능하다. 마찬가지로, 최종 표적 여부를 판단하기 위해, CFAR를 사용하여 입력 신호에 따라 적응형 문턱 값을 결정하여 문턱값보다 큰 경우에만 실제 표적의 거리와 속도로 판정한다.

### III. 멀티모드 레이더 시스템 동작 모델

최근 무인기는 군수 분야를 넘어 민간 분야에 적용되어 다양한 환경 속에서 운용되고 있다. PD 레이더는 장거리에 위치한 표적 검출에 용이한 장점이 있으며, FMCW 레이더는 단거리에 위치한 표적 검출에 적합한 특성을 지니고 있으므로, 여러 환경에서 운용되고 있는 무인기의 탐지 성능을 높이기 위해 본 논문에서는 PD 레이더 파형과 FMCW 레이더 파형을, 그리고 각 레이더의 신호처리 방식을 모두 지원할 수 있도록 MATLAB 기반의 멀티모드 레이더 신호처리 시스템을 구성하였다.

표 1. 멀티모드 레이더 시스템 파라미터

Table 1. parameters of multi-mode radar system.

Parameter	FMCW	PD
Center frequency(GHz)	24	
Bandwidth (MHz)	250	64
Sampling frequency (MHz)	16	256
$\Delta R$ (m)	0.6	2.34
$R_{max}$ (m)	154	600

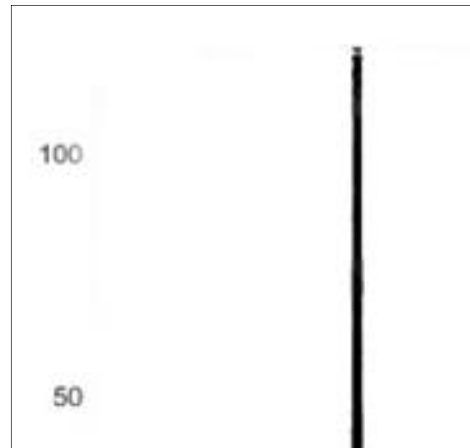


그림 6. 멀티모드 레이더 시스템의 거리-속도 맵 시뮬레이션 결과  
Fig. 6. Range-velocity map simulation results of multi-mode radar system.

표1은 본 논문에서 사용하는 무인기 탐지를 위한 멀티모드 레이더 시스템의 파라미터를 나타낸다. 24 GHz 대역에서 PD 레이더는 64 MHz의 bandwidth, 256 MHz의 sampling frequency를 사용하였으며, 이에 따라 거리 해상도는 2.34 m, 최대 탐지거리는 600 m로 지정하였다. 반면, FMCW 레이더는 24 GHz 대역에서 250 MHz의 bandwidth, 16 MHz의 sampling frequency를 사용하였으며, 이에 거리 해상도는 0.6 m, 최대 탐지 거리는 154 m로 사용되었다. 제안된 멀티모드 레이더 시스템은 PD 레이더와 FMCW 레이더의 최대 탐지 거리를 기준으로 동작모드가 결정이 된다. FMCW 레이더의 최대 탐지 거리인 154 m를 기준으로, 표적이 154 m 이상, 그리고 PD 레이더의 최대 탐지 거리인 600 m 이하에 위치했을 경우 PD 레이더가 동작을 하며, 표적의 위치가 154 m 이내에 있을 경우 FMCW 레이더가 동작하여 표적이 탐지된다.

그림 6은 등속도로 이동하는 표적들이 제안된 멀티모드 레이더 시스템에 의해 탐지된 거리-속도 맵을 나타낸다. target1은 레이더로부터 200 m의 위치에서 40 m/s의 속도로 이동하는 상황을 가정하였고, target2는 170 m의 위치에서 15 m/s 속도, 그리고 target3은 80m의 위치에서 -10 m/s의 속도로 이동하는 상황을 가정하였다. 거리-속도 맵으로부터 탐지된 target1과 target2는 레이더로부터 154 m 이상에 위치하므로 PD 레이더에 의해 측정된 반면, 154 m 이내에 있는 target3은 FMCW 레이더에 의해 측정됨을 확인 할 수 있다.



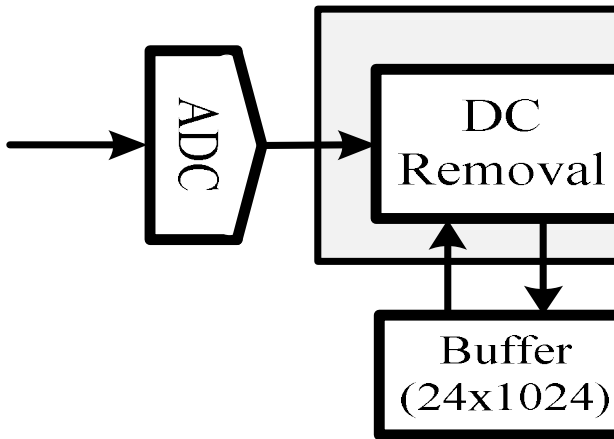


그림 7. 멀티모드 레이더 신호처리 프로세서 하드웨어 구조  
 Fig. 7. Hardware architecture of the multi-mode radar signal processor.

IV. 레이더 신호처리 프로세서 하드웨어 구조설계

본 논문에서는 PD 레이더와 FMCW 레이더를 모두 지원하여 장거리와 단거리 표적을 모두 탐지하는 멀티모드 레이더 신호처리 프로세서를 제안한다. Post-processing은 각 프로세서에서 동일한 구조로 설계가 가능하며 또한, 2D 메모리도 동일한 크기로 설계가 가능하다. 이에, 제안된 레이더 신호처리 프로세서는 post processing과 2D 메모리를 하나의 모듈로 공유해서 사용하는 효율적인 하드웨어 구조로 설계하였다.

그림 7은 제안된 멀티모드 레이더 신호처리 프로세서의 하드웨어 구조로, pre-processing, FFT 프로세서, IFFT (inverse fast Fourier transform) 프로세서, 2D 메모리와 이 메모리를 제어하기 위한 controller, Doppler FFT 프로세서, MTI filter, I-MTI filter, 그리고 CFAR 처리기로 구성되며, pre-processing은 표적에 의해 반사된 신호의 DC offset을 제거하기 위한 DC removal 모듈과 FFT 프로세서를 수행함에 따라 발생하는 부엽 신호 (side lobe)의 크기를 줄이기 위한 Hamming window 모듈로 이루어진다. DC removal 모듈의 구동 원리는 각 입력 데이터와 한 첩에 대한 평균값의 차이를 계산하여 출력하는 것으로, 입력 데이터는 한 첩 개수 크기의 buffer에 저장한 뒤, 뺄셈 연산을 한다. 이후, Hamming window 모듈이 구동되며, 이는 DC offset이 제거된 한 첩의 신호에 대해 Hamming window 파라미터와 곱셈연산을 한다. Hamming window 연산 이후, PD 레이더는 거리 해상도가 향상된 표적의 거리 정보를 얻기 위해 펄스 압축 기법을 수행해야 하며 FMCW 레이더는 FFT 프로세서로부터 거리 정보를 획득한다. 먼저, 펄스 압축 기법은 식 (3)에서의 컨볼루션 기반의 연산으로, 곱셈연산을 펄스 크기만큼 모든 거리에 대해 적용한 뒤 덧셈 연산을 수행하기 때문에 상당한 연산량을 가지게 된다. 이 연산량을 줄이기 위하여 시간 영역에서의 컨볼루션 연산이 주파수 영역에서 곱셈연산과 동일한 특성을

이용해 식 (4)와 같이, FFT 프로세서로부터 주파수 영역에서 곱셈연산을 한 후, IFFT 프로세서로부터 다시 시간 영역으로 되돌려 사용하는 방식을 이용한다[14].

$$y[n] = IFFT(FFT(x[n]) \times FFT(h[n])). \quad (4)$$

특히, 펄스 압축 기법을 위와 같은 연산으로 수행하게 되면, 그림 7과 같이 수신된 신호에 대한 FFT 프로세서를 FMCW 레이더의 range FFT 프로세서와 서로 공유해서 사용할 수 있어 복잡도를 줄일 수 있다. 이후 FFT 프로세서의 출력은 FMCW 거리 정보와 펄스 압축 기법을 위한 IFFT 프로세서의 입력으로 분리된다. IFFT 프로세서 연산이 완료되면, 멀티플렉서를 통해 표적과의 거리에 따라 FMCW 레이더의 출력 결과인 FFT 프로세서 출력 값 혹은 PD 레이더의 출력 결과인 IFFT 프로세서 출력 값이 선택된다. 이후, PD 레이더와 FMCW 레이더 신호처리 프로세서에서 사용하는 2D 메모리와 post-processing은 동일한 구조로 설계가 가능하기 때문에 하나의 모듈로 공유하여 사용하였다. MTI filter와 I-MTI filter는 저복잡도의 recursive 방식으로 설계하였으며, 이후 클러터와 잡음으로부터 실제 표적인지를 판별하기 위해 사용하는 CFAR 알고리즘은 다른 알고리즘에 비해 계산량이 매우 낮은 방식인 CA-CFAR (cell averaging - CFAR) 알고리즘을 사용하여 설계하였다.

4-1 FFT 프로세서 하드웨어 구조

FFT의 알고리즘에는 radix-2와 radix-4 알고리즘이 일반적으로 사용되고 있으며, radix-4는 radix-2 보다 수율 측면에서 우수하지만 상대적으로 버터플라이 연산의 구조가 복잡해지기 때문에 높은 radix 알고리즘의 복잡도를 줄이기 위하여 radix-2<sup>2</sup>와 radix-2<sup>3</sup> 알고리즘이 제안되었다. Radix-2<sup>2</sup> 알고리즘은 radix-2 알고리즘과 동일한 버터플라이 연산 구조를 가지고 radix-4와 같은 수의 복소수 승산을 가진다. Radix-2<sup>3</sup> 알고리즘은 3개의 radix-2 버터플라이 연산자를 이용하여 비단순 승산을 단순 승산으로 구현해 radix-2<sup>2</sup> 알고리즘보다 복소수 승산을 줄일 수 있다. 또한, FFT 프로세서의 하드웨어 구조로는 복잡도와 수율의 교환 관계를 적절히 만족시키는 파이프라인 방식이 주로 사용되며, FFT 프로세서의 파이프라인 구조는 크게 SDF (single

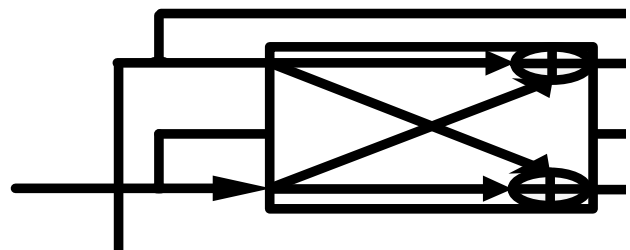


그림 8. FFT 프로세서 하드웨어 구조  
 Fig. 8. Hardware architecture of FFT processor.

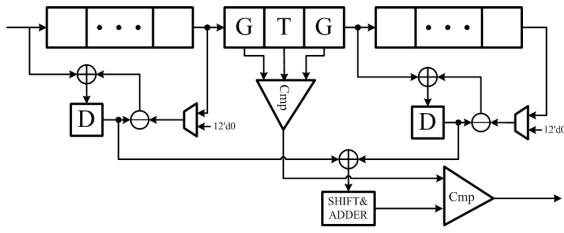


그림 9. CFAR 처리기 하드웨어 구조  
Fig. 9. Hardware architecture of CFAR processor.

path delay feedback)와 MDC (multi-path delay commutator) 구조로 구성된다. 특히, SDF 파이프라인 구조는 단일 경로에서 복잡도가 가장 큰 비단순 승산을 최소화하는 특징으로 인해 널리 사용되고 있다. 이에, 제안된 멀티모드 레이더 신호처리 프로세서에서 사용되는 FFT, IFFT 그리고 Doppler FFT 프로세서는 모두 동일한 SDF의 파이프라인 구조로 설계 되었으며, 그림 8은 본 논문에서 사용된 FFT 프로세서의 하드웨어 구조를 도시한다.

4-2 CFAR 처리기 하드웨어 구조

그림 9는 CFAR 처리기의 하드웨어 구조를 나타낸다. CFAR 처리기는 test cell을 중심으로 주변의 reference cell의 평균값을 이용하여 문턱값 레벨을 설정해 test cell과 비교하는 방식이다. 가운데 중심에 있는 레지스터(register)를 test cell이라 하며, 좌우 각각의 레지스터는 guard cell로써, FFT 프로세서 이후 표적의 침투 값에 대한 인덱스를 기준으로 좌우 값들은 침투 값과 유사한 크기로, 문턱 값을 구할 때 평균에서 제외한다. 나머지 좌우 각각의 레지스터들은 reference cell로써, 평균으로부터 문턱 값을 구하기 위해 사용된다. 평균연산 이후, 문턱 값의 크기 조정을 위해 shift&adder 연산이 이루어지고 문턱 값이 결정된다. 이후, test cell을 guard cell과 문턱 값을 비교하여 test cell이 큰 경우에만 표적이라 판단하여 해당 인덱스를 저장한다.

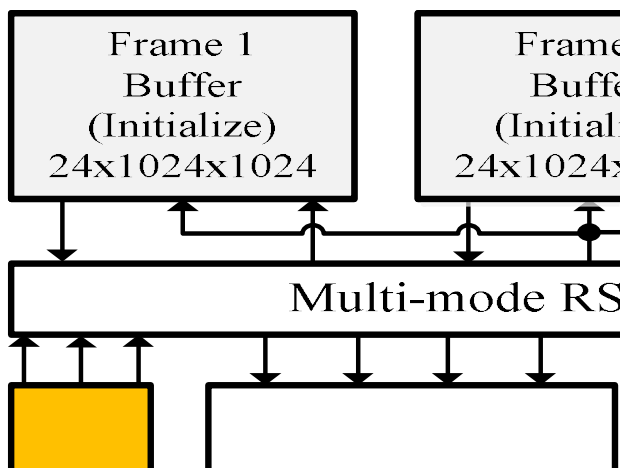


그림 10. FPGA 기반 플랫폼 검증 환경  
Fig. 10. Verification environment based on FPGA platform.

표 2. Cyclone IV FPGA 기반 구현 결과

Table 2. Cyclone IV FPGA implementation results.

Blocks	Logic elements	Register	Memory(bits)
DC Removal	103	72	24,576
Hamming Window	2,039	49	0
FFT	4,947	2,618	0
IFFT	4,947	2,618	0
Doppler FFT	4,947	2,618	0
CFAR	2,640	1,784	0
2D Memory	0	0	25,165,824
Top Block	19,623	9,759	25,190,400

표 3. 제안된 신호처리 프로세서와 기존 신호처리 프로세서와의 논리 합성 결과

Table 3. The logic synthesis results of the proposed signal processor and conventional signal processor.

	Logic elements	Register	Memory(bits)
FMCW+PD RSP Processor	34,299	19,623	50,380,800
Multi-mode RSP processor	19,623	9,759	25,190,400

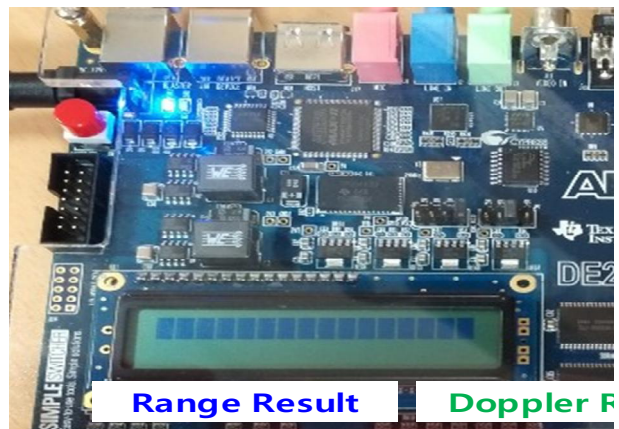


그림 11. FPGA 기반 검증 결과  
Fig. 11. FPGA test results.

V. FPGA 기반 구현 결과

제안된 레이더 신호처리 프로세서는 Verilog-HDL을 이용하여 RTL 설계 후, Altera Cyclone-IV FPGA 디바이스를 사용해 설계 및 구현 검증되었다. 표2는 제안된 레이더 신호처리 프로세서의 구현결과로, 합성 결과, 19.6K개 logic elements, 9.8K register 그리고 3 Mbyte memory로 구현되는 것을 확인하였다. 표4는 기존의 PD 레이더 신호처리 프로세서와 FMCW 레이더 신호처리 프로세서를 동일한 디바이스를 사용하여 설계하였을 때 구현된 결과를 나타내고 있으며, 제안된 멀티모드 신호처리 프로세서는 기존의 PD 레이더 신호처리 프로세서와 FMCW 레이더 신호처리 프로세서를 합한 logic elements와 register에 비해 각각 약 43%와 39% 감소함을 확인하였다. 제안된 레이더 신호처리 프로세서의 출력값을 검증하기 위해 그림 10과

같이 FPGA 플랫폼 기반 검증 환경을 구성하였으며, 그림 11은 Cyclone-IV FPGA 디바이스의 스위치 입력에 따라, 7-Segment로 출력되는 결과를 도시한다. 검증을 위하여 frame의 입력 test-vector를 메모리에 초기화 한 뒤, RSP stimulus controller에서 start 신호와 reset 신호로부터 각 frame이 저장된 메모리를 제어하고 멀티모드 레이더 신호처리 프로세서를 동작시킨다. 측정된 표적의 거리와 속도 정보에 대한 FFT index 값을 16진수 값으로 출력 되도록 하였다.

## VI. 결 론

본 논문에서는 단일 하드웨어에 장거리 표적 검출이 가능한 PD 레이더와 단거리 측정에 강인한 FMCW 레이더가 지원되는 무인기 탐지용 멀티모드 레이더 신호처리 프로세서의 설계 및 구현 결과를 제시하였다. 제안된 레이더 신호처리 프로세서는 PD 레이더와 FMCW 레이더 방식이 거리에 따라 유동적으로 선택되어 FMCW 레이더의 높은 거리해상도로부터 단거리 표적 탐지 및 FMCW 레이더로 탐지 불가능한 장거리 표적을 PD 레이더의 동작으로 탐지가 가능하도록 설계 되었다. 또한, 제안된 레이더 신호처리 프로세서는 기존의 PD 레이더 신호처리 프로세서와 FMCW 레이더 신호처리 프로세서를 합한 logic elements와 register에 비해 각각 약 43%와 39% 감소함을 확인 하였다. 더불어, 제안된 멀티모드 레이더 신호처리 프로세서는 무인기 탐지뿐만 아니라 다양한 환경에서 다량의 표적을 검출할 필요가 있는 자동차 분야 및 드론 충돌 회피 분야 등에도 응용 가능할 것으로 기대된다.

## Acknowledgments

본 논문은 산업통상자원부 및 한국산업기술평가관리원 산업핵심기술개발사업 (10080619)의 일환으로 수행되었으며, CAD tool은 IDEC에 의해 지원되었음.

## References

[1] Y. Fan, K. Xiang, J. An, and X. Bu, "A new method of multi-target detection for FMCW Automotive Radar," in *Institution of Engineering and Technology International Radar Conference 2013*, Xi'an: China, pp. 1-4, Apr. 2013.

[2] T. Kishigami, K. Kobayashi, M. Otani, et.al., "Advanced millimeter-wave radar system using coded pulse compression and adaptive array for pedestrian detection," in *2013 IEEE Radar Conference*, Ottawa: Canada, pp. 1-6, Apr. 2013.

[3] I. S. Kim and K. N. Kim, "Development of two types of radar vehicle detectors," *Journal of Advanced Navigation Technology*, Vol. 7, No. 2, pp. 108-117, Dec. 2003.

[4] A. Klilou, S. Belkouch, P. Elleaume, et.al., "Real-time parallel implementation of pulse-doppler radar signal processing chain on a massively parallel machine based on multi-core DSP and serial rapidIO interconnect," *European Association for Signal Processing Journal on Advances in Signal Processing*, Vol. 2014, No. 1, pp. 1-22, Nov. 2014.

[5] M. I. Skolnik, *Radar Handbook*, 3rd ed. New York, NY: McGraw-Hill, 2008.

[6] W. Butler, P. Poitevin, and J. Bjornholt, "Benefits of wide area intrusion detection systems using FMCW radar," in *2017 41st Annual IEEE International Carnahan Conference on Security Technology*, Ottawa: Canada, pp. 176-182, Oct. 2007.

[7] Y. T. Im, and S. Park. "An FMCW and chirp pulse-doppler radar system for surveillance in X-band," *Microwave and Optical Technology Letters*, Vol. 55, No. 3, pp 474-479, Jan. 2013.

[8] D. K. A. Pulutan, and J. S. Marciano, "Design trade-offs in a combined FMCW and pulse doppler radar front-end," in *IEEE 2013 Technical Conference*, Sydney: Australia, pp. 567-571, Apr. 2013.

[9] S. Kim, I. Paek, M. Ka, "Simulation and test results of triangular fast ramp FMCW waveform," in *2013 IEEE Radar Conference*, Ottawa: Canada, pp. 1-4, May. 2013.

[10] K. S. Jung, S. Y. Kim, K. J. Lee, "Study on UAV flight patterns and simulation modelling for UTM," *Journal of Advanced Navigation Technology*, Vol. 22, No. 1, pp. 13-19, Feb. 2018.

[11] Spoorthi C, and Ramesh S, "FPGA implementation of liner frequency modulation (LFM) waveforms for radar," *Journal of Digital Integrated Circuits in Electrical Devices*, Vol. 2, No. 3, pp 1-8, 2017.

[12] S. G. Qadir, J. K. Kayani, and S. Malik. "Digital implementation of pulse compression technique for X-band radar," in *2007 International Bhurban Conference on Applied Sciences & Technology*, Islamabad: Pakistan, pp. 35-39, Jan. 2007.

[13] Arya V. J, Subha .V "Implementation of pulse compression for space applications," *International Journal of Advance Research, Ideas and Innovations in Technology*, Vol. 3, No. 3, pp. 641-648, May 2017.

[14] A. Orduyilmaz, G. Kara, M. Serin, et.al., "Real-time pulse compression radar waveform generation and digital matched filtering," in *2015 IEEE Radar Conference*, Arlington: VA, pp. 426-431, May 2015.



**이 승 혁 (Seunghyeok Lee)**

2018년 2월 : 한국항공대학교 전자 및 항공전자공학과 (공학사)  
2018년 3월 ~ 현재 : 한국항공대학교 항공전자정보공학부 석사과정  
※관심분야 : 레이더 신호처리 시스템, 레이더 SoC



**정 용 철 (Yongchul Jung)**

2015년 8월 : 한국항공대학교 전자 및 항공전자공학과 (공학사)  
2017년 2월 : 한국항공대학교 항공전자정보공학부 (공학석사)  
2017년 3월 ~ 현재 : 한국항공대학교 항공전자정보공학부 박사과정  
※관심분야 : 레이더 시스템, 레이더 SoC 설계



**정 윤 호 (Yunho Jung)**

1998년 2월 : 연세대학교 전자공학과 (공학사),  
2005년 2월 : 연세대학교 전기전자공학과 (공학박사),  
2007년 ~ 2008년 : 연세대학교 연구교수  
2008년 ~ 현재 : 한국항공대학교 항공전자정보공학과 교수  
※관심분야 : 무선 통신 시스템, 항공통신 시스템, 레이더 시스템, SoC 설계

2000년 2월 : 연세대학교 전기전자공학과 (공학석사)  
2005년 ~ 2007년 : 삼성전자 책임연구원