JANT 한국항행학회논문지
Journal of Advanced Navigation Technology

항공 우주 해상

J. Adv. Navig. Technol. 23(2): 97-103, Apr. 2019

실시간 목표물 변경 유도무기에 적용 가능한 수신 모뎀 설계

A Design of Receiver Modem That Can Be Applied to Real-Time Target Change Guided Weapon

맹 성 재* · **이 종 혁** · **김 강 산**
단암시스템즈 기술연구소

Sung-jae Maeng · Jong-hyuk Lee · Kang-san Kim*
R&D Center of Danam Systems INC, Gyeonggi-do, 13930, Korea

[요 약]

본 논문에서는 페이딩(fading)에 의한 영향이 적은 실시간 목표물 변경이 가능한 유도무기에 적용할 수 있는 수신 모뎀을 설계 및 제작하는데 목적이 있다. 설계된 모뎀은 동기 검출기 (sync detector), 타이밍 추정부 (timing estimator), 타이밍 복원부 (timing recovery), 차동 복호기(differential decoder) 와 비터비 복호기 (viterbi decoder)로 구성되며, 이를 FPGA (field programmable gate array)로 구현하여 요구 사항에 맞춰 재설계 및 수정이 유연하도록 구현하였다. 제작된 모뎀 보드는 중간 주파수 (IF; intermediate frequency)에서 기저대역으로 직접 변환하였으며, ADC (analog to digital converter)를 통하여 디지털 데이터로 변환하였다. 모의실험 과 측정 및 시험을 수행하여, 실시간 목표물 변경이 가능한 유도무기에 적용 가능하다는 것을 확인하였다.

[Abstract]

In this paper, we designed and fabricated a receiving modem that can be applied to guided weapons can change real-time targets with little effect of fading. The designed modem consists of synchronous detector, timing error estimator, timing recovery, differential decoder and viterbi decoder, and it's implemented in FPGA so that it can be redesigned and modified according to requirements. The modem board was directly converted from IF frequency to baseband and converted into digital data through ADC. It is confirmed that it is applicable to the guided weapons that changing real-time targets through simulations , measurements and test.

Key word : Data-link, Receiving module, Guided weapons, Modem.

https://doi.org/10.12673/jant.2019.23.2.97

This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-CommercialLicense(http://creativecommons.org/licenses/by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 25 February 2019; **Revised** 5 April 2019
Accepted (Publication) 25 April 2019 (30 April 2019)

***Corresponding Author;Sung-jae Maeng**

Tel: +82-31-425-4308
E-mail: sjmaeng@danam.co.kr

Ⅰ. 서 론

플랫폼 단위로 운용되던 무기체계는 정보통신기술의 발전에 힘입어 모든 플랫폼 간 실시간 데이터통신이 가능하게 됨으로써 정보의 우위를 달성하고, 보다 먼저 판단하여 행동을 취함으로써 전장의 우세권을 선점하는 네트워크 중심전 (NCW; network centric warfare)으로 진화하고 있다[1]. 합동 전술 데이터 링크 시스템은 TDMA (time division multiple access)로 운용되어 모든 단말 간 전술데이터가 공유하도록 하고 있으며, 실시간 타격 위치가 변경 될 경우 표적 정보를 재 수신하여 유도무기의 새로운 비행 궤적을 도출하는 것을 목표로 연구 중이다[2]. 또한, 통신 분야의 기술 발전으로 인하여 유도무기에 대한 원격 통제 기술 또한 크게 발전하여 비행 중 유도탄과의 무선통신을 통해 이동 목표물 타격 또한 가능해졌다[3].

유도무기의 이동 목표물 타격이 가능하기 위해서는 초고속 이동 시 발생하는 페이딩에 의한 위상 또는 주파수 오프셋에 따른 수신 성능 열화를 최소화하여, 신뢰성 있는 표적정보를 제공하는 것이 중요하다.

본 논문에서는 유도무기 상향 링크에 적용 가능하도록, 페이딩에 의한 성능 열화가 적은 수신 모뎀 구조를 제안하고 모의실험을 통한 성능 검증 및 최저 수신 감도 –95 dBm의 성능을 만족하는 수신기 개발에 초점을 맞추고 있다.

Ⅱ. 송신 구조 설계

유도무기의 표적정보를 연속적으로 전송할 경우 감청 및 스푸핑(spoofing)에 의한 위험으로부터 안전하지 않을 수 있기 때문에 목표물 변경 시에만 표적 정보를 전송하는 방식을 적용하여 위험 노출을 최소화하였다. 프레임으로 구성된 디지털 데이터의 구조는 그림 1과 같으며, 프리앰블 64 비트와 데이터로 구성되어 프리앰블을 이용하여 동기를 획득 후 수신이 가능하도록 설계되었다. 프레임 전송 시간은 총 5msec로 프레임 지연시간을 고려하여 488usec의 여유시간을 두고 전송하게 된다. 프리앰블 64비트를 이용하여 수신기에서 동기 획득 및 주파수, 위상, 타이밍 오프셋을 추정할 수 있다.

송신 블록도는 그림 2에서 나타내고 있으며, 상위 레이어에서 전달받은 송신 데이터는 길쌈 부호(convolution code) 부호율(code rate) 1/2 로 부호화되며, 부호화된 데이터는 프리앰블과 결합하여 DBPSK (differential binary phase shift keying) 로 매핑된다.

그림 1. 송신 프레임 구조
Fig. 1. Transmit Frame Structure.

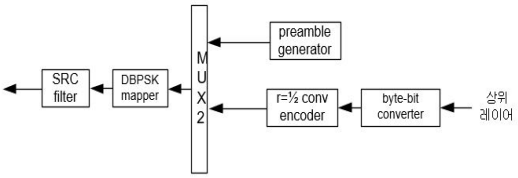

그림 2. 송신 블록도.
Fig. 2. Transmit block diagram.

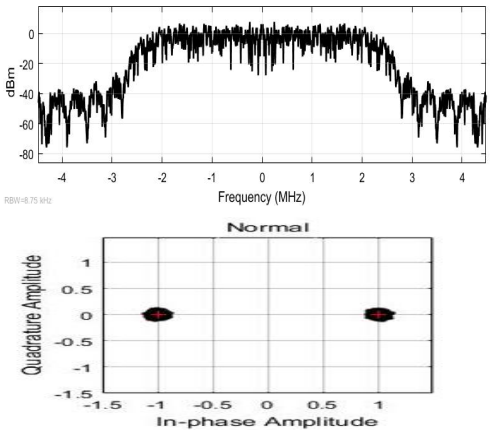

그림 3. 기저대역 송신 스펙트럼(위) 과 성상도(아래)
Fig. 3. Baseband tx spectrum(up) and constellation(down).

DBPSK로 매핑된 송신 프레임은 SRC (square-root raised-cosine) 필터를 거쳐 대역 제한 후 송신하게 되며 대역폭은 4.8Mhz이다. 기저대역 송신 파형과 성상도 는 그림 3과 같다.

Ⅲ. 수신 구조 설계

수신기는 송신기와 동일한 SRC 필터를 사용하여 매치 필터를 이루고, 동기 검출기, 리샘플러, DBPSK 복호기, 비터비 복호기로 구성되어 있으며 구조는 그림 4와 같다.

동기 검출기에서 초기 동기를 획득과 동시에 심벌 타이밍 에러를 추정 하여 리샘플러에서 심벌 타이밍을 복원 후 차동 복호기와 비터비 복호기를 통하여 복원한 데이터는 상위 레이어로 데이터를 전송하게 된다. 유도무기에 적용하기 위해서는 빠른 동기 획득 및 심벌 타이밍 복원이 중요하며, 차동 복호기를 사용하여 주파수 오프셋에 의한 영향을 최소화하였다.

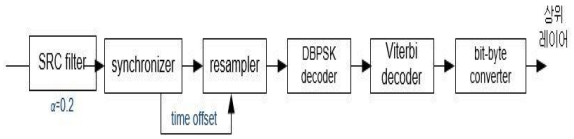

그림 4. 수신 모뎀 블록도.
Fig. 4. Receiver block diagram.

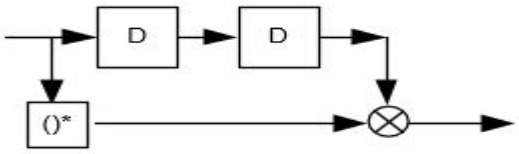

그림 5. 차동 복호기
Fig. 5. differential decoder.

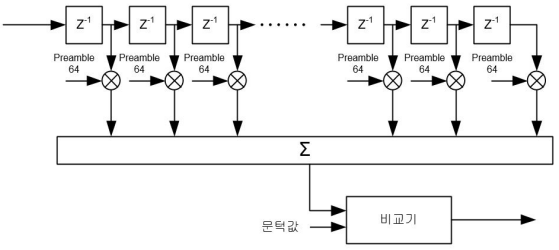

그림 6. 상관기 구조
Fig. 6. Correlation structure.

3-1 동기 검출기

동기 검출기는 초기 심벌 동기를 획득하기 위하여 수신된 신호의 프리앰블 64비트와 상관기를 이용하여 초기 심벌 동기를 획득한다. 동기 검출기는 차동복호기와 상관기로 구성되어 있으며, 차동 복호기와 상관기의 구조는 그림 5와 그림 6에 나타내었다. 차동 복호기는 SRC 필터 출력이 심벌신호의 2배 오버 샘플링 되어 있어 2 클럭 이전의 심벌과 수행하며, 차동 복호 된 수신 데이터는 상관기로 입력하여 프리앰블 64 비트 패턴과 비교하여 동기를 획득할 수 있다. 동기 검출기는 식 (1)으로 나타낼 수 있으며, r_n 은 수신기 SRC 필터 출력값, s_n은 프리앰블 64비트신호이다.

$$\gamma = \sum_{n=0}^{63} (r_{2n}^{*} r_{2n+2}) s_n > thr \tag{1}$$

상관기 출력이 문턱값보다 높은 경우, 초기 동기를 획득했다고 할 수 있으며, 초기 동기를 획득했을 경우의 상관기 출력은 그림 7과 같다. 동기 검출기는 수신 입력 데이터의 잡음 신호가 많은 경우 초기 동기 획득에 실패할 수 있으며, 상관기 검출 값이 문턱값 보다 크지만 잘못 검출될 확률을 P(wrong)라 하고, 올바르게 동기를 획득하였으나 문턱값보다 작아 출력하지 못하는 경우의 확률을 P(miss), 정확한 검출 확률을 P(success) 라 하였을 때, 검출 확률은 식(2)와 같다[4].

$$P(sucess) = 1 - P(wrong) - P(miss) \tag{2}$$

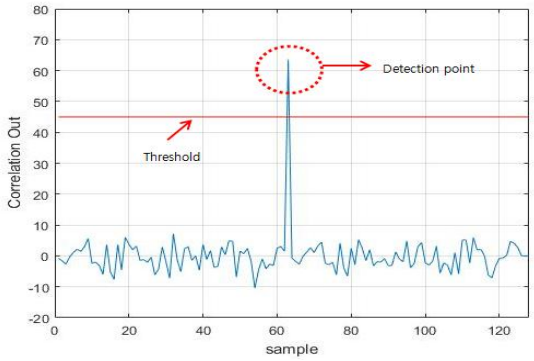

그림 7. 상관기 출력
Fig. 7. Correlation results.

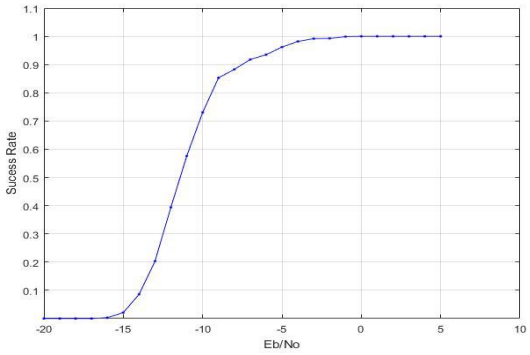

그림 8. 동기 검출기 성능
Fig. 8. Sync detector performance.

동기 검출기의 검출 성능을 모의실험을 통하여 검증 하였으며, 실험 결과는 그림 8에 나타내었다. 동기 검출기 성능은 Eb/No(the energy per bit to noise power spectral density ratio) 0 dB에서도 정확한 동기를 검출할 수 있다는 것을 확인하였다.

3-2 심벌 타이밍 복원기

초기 동기를 획득한 후 나머지 데이터 영역에서도 심벌 동기가 유지되어야 올바른 데이터를 획득할 수 있지만, 송신기와 수신기는 동일한 오실레이터를 사용하지 못하기 때문에 시간이 지남에 따라 송신기와 수신기 사이의 심벌 타이밍 오프셋이 발생하여 정확한 데이터 복원이 어렵다.

심벌 타이밍 복원기는 타이밍 추정부와 타이밍 복원부로 구성되며, 송신기와 수신기 사이의 심벌 타이밍 에러를 추정 후 복원한다. 송신기에서 표적정보 변경 시에만 전송하므로 타이밍 에러를 누적하는 방법은 적용하기 어려워, 추정 후 바로 적용하는 방법을 사용하였다.

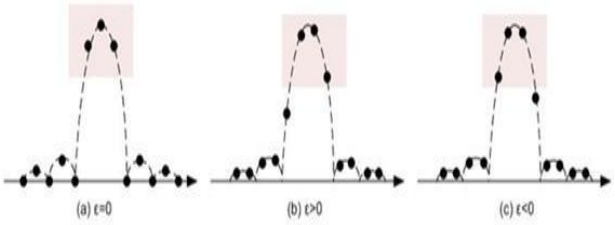

그림 9. 타이밍 오류와 상관 값의 관계
Fig. 9. Relationship between timing error and correlation.

1) 타이밍 추정부

심벌 타이밍 복원기는 동기 검출기를 이용하여 타이밍 오프셋을 추정한다. 상관 값이 최대가 되는 샘플을 중심으로 앞뒤 샘플의 상관 값의 차이를 이용하여 추정할 수 있으며, 타이밍 오류와 상관 값의 관계는 그림 9에서 확인할 수 있다. 그림 9(a)는 상관 값이 최대가 되는 값의 좌, 우 샘플 상관 값이 동일한 값을 가지며, 이때 타이밍 오프셋 ϵ은 0인 경우이다. 그림 9(b)와 그림 9(c)는 좌, 우 상관 값이 동일하지 않으며, 타이밍 오프셋이 발생 했다 것을 의미한다.

일반 얼리-레이트 심벌 타이밍 추정기(early-late symbol timing estimator)로 한 샘플 구간 차이의 3 샘플을 이용하여 구한 타이밍 에러를 IIR(infinite impulse response filter) 루프 필터를 이용하여 에러가 최소가 되는 방향으로 조절할 수 있으며 [5][6], 얼리-레이트 심벌 타이밍 추정기 구조는 그림 10과 같다.

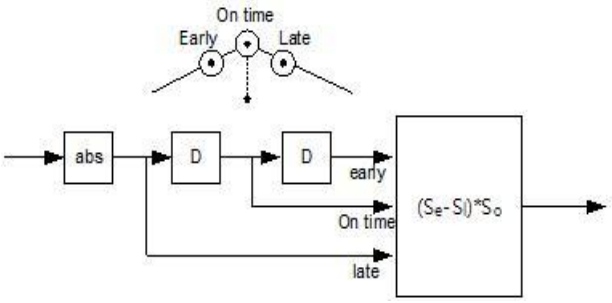

그림 10. 얼리-레이트 타이밍 추정기 구조.
Fig. 10. Early-late timing estimator structure.

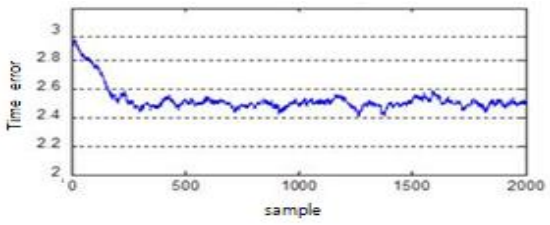

그림 11. 타이밍 오류 추정 결과
Fig. 11. Timing error estimation results.

2) 타이밍 복원부

IIR 루프 필터를 이용하는 일반적인 얼리-레이트 타이밍 추정기는 타이밍 에러가 최소가 되는 방향으로 심벌 타이밍을 조절하기 때문에 타이밍에러 수렴 속도가 길어 필요시에만 데이터를 송신하는 유도무기 수신기에 적용하기에 적합하지 않다. 루프 필터를 이용한 추정 결과는 그림 11에 나타내며, 약 250 샘플 후에 수렴하는 것을 확인할 수 있다.

유도무기에 적용된 차동 복호기는 수신 데이터와 지연된 수신 데이터의 위상 차이로 데이터를 복호하므로 정확한 샘플링 위치보다는 정확한 샘플링 간격이 중요하여 Farrow 구조 보간 필터를 이용한 심벌 타이밍 복원기의 타이밍 복원속도를 보장하였다. 이상적인 보간 필터를 이용한 심벌 타이밍 복원은 타이밍 에러 ε 가 바뀔 때마다 필터의 계수 값을 새로 계산해야 되는 단점이 있다. 이를 보완한 것이 Farrow 구조 보간 필터로 타이밍 에러 와는 상관없는 구조가 가능하다[7]. Farrow 구조 보간 필터의 $h_n(\epsilon)$는 식 (3)과 같이 타이밍 에러 ε의 다항식으로 표현할 수 있다.

$$h_n(\varepsilon) = \sum_{m=0}^{M} c_m(n)\varepsilon^m, n = 0,1,2,...N \tag{3}$$

식 (3)은 2N 차 보간 필터를 적용하면 식 (4) 와 같이 쓸 수 있다.

$$H(z,\varepsilon) = \sum_{n=-N}^{M} h_n(\varepsilon)z^{-n} \tag{4}$$
$$= \sum_{n=-N}^{N-1}[\sum_{m=0}^{M} c_m(n)\varepsilon^m]z^{-n}$$

식 (4)은 식 (5)로 다시 쓸 수 있으며, 식(5)로부터 ε 와 관련 없는 FIR 보간 필터 계수를 구할 수 있다[8].

$$H(z,\varepsilon) = \sum_{m=0}^{M} \varepsilon^m[\sum_{n=-N}^{N-1} c_m(n)z^{-n}] \tag{5}$$

변형된 Farrow 구조 보간 필터를 이용한 타이밍 복원기는 타이밍 에러와는 상관없는 필터 계수를 가지므로 데이터 수신할 때마다 필터 계수를 구할 필요가 없어 타이밍 복원 시간을 줄일 수 있다. 타이밍 에러를 타이밍 복원기에 바로 적용함으로써 빠른 타이밍 복원이 가능하여 유도무기에 사용하기 적합하다.

그림 12와 같이 이상적인 타이밍 오프셋은 일정한 간격을 가지고 있지만, 실제 타이밍 오프셋은 매 클럭마다 발생하기 때문에 모의실험을 통해 정확한 결과를 확인하기 쉽지 않다.

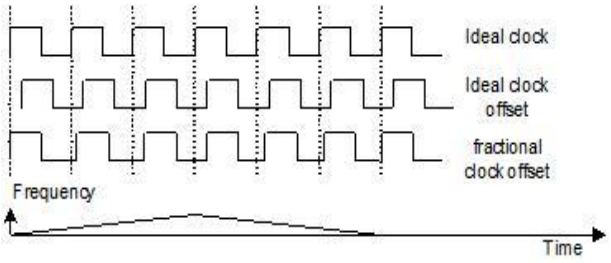

그림 12. 심벌 클럭 오프셋
Fig. 12. Symbol clock offset.

타이밍 오프셋을 매 클럭마다 지연시켜 평균 오프셋의 크기를 동일하게 만들고, 순시 클럭 오프셋을 달리하여 실제 타이밍 오프셋을 모사하여 모의실험을 수행 하였다. 심벌 타이밍 복원 전에는 타이밍 에러로 인하여 시간이 흐름에 따라 송신기와 수신기의 샘플 위치가 변하는 것을 확인할 수 있으며, 타이밍 복원 후에는 시간이 지남에도 동일한 샘플 위치를 가지는 것을 알 수 있으며, 그 결과는 그림 13에 나타내고 있다. FPGA에 구현된 심벌 타이밍 복원기의 입력과 출력을 그림 14에 나타내며, 모의 실험 결과와 유사하게 타이밍 복원 전에는 샘플 위치가 변하지만 복원 후에는 동일한 샘플위치를 가지는 것을 알 수 있다.

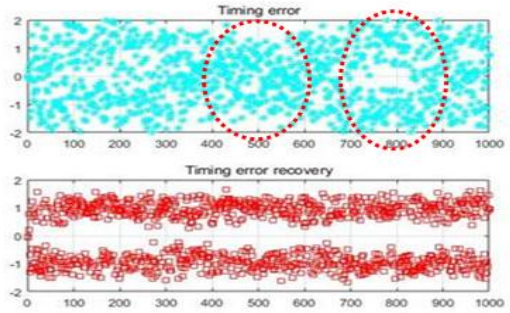

그림 13. 심벌 타이밍 복원 모의실험 결과
Fig. 13. Symbol timing recover simulation results.

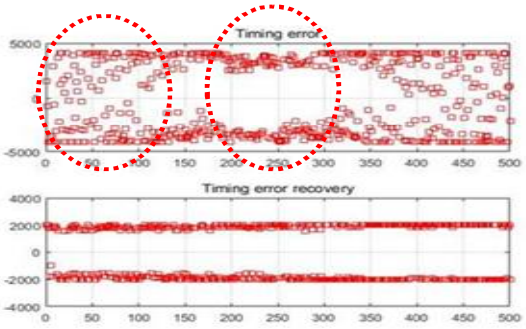

그림 14. 심벌 타이밍 복원 결과
Fig. 14. Symbol timing recover results.

3-3 차동 복호기

유도무기는 고속의 이동체로 이동 시 발생하는 페이딩 에 의한 위상 및 주파수 오프셋에도 성능 열화가 적어야 하므로 수신부에서 동기 획득 없이 데이터 복원이 가능하도록 비동기식 변조 방식인 차동 복호 방식을 적용하였다.

주파수 오프셋은 송수신 간 상대 속도와 입사각, RF 주파수, 오실레이터의 정밀도에 의해 발생되는 주파수 편이에 따라 결정된다. 주파수 오프셋 계산은 식 (6) 과 같으며, v_r은 상대 속도, f_c 는 운용 주파수, $\triangle f_{tx}\triangle f_{rx}$은 오실레이터 정밀도에 의한 주파수 오프셋, c는 빛의 속도이다. 본 시스템의 경우 식 (6)에 의하여 주파수 오프셋 계산은 표 1에 나타내며, 최대 28.845 kHz의 주파수 오프셋을 가진다.

$$f_o = \frac{v_r}{c/f_c}cos(\theta) + \triangle f_{tx} + \triangle f_{rx} \quad (6)$$

차동 인코딩 방식은 심벌 전송률에 비해 주파수 오프셋이 커 순시적 위상차의 크기가 ±90° 이상이 되는 경우 위상 모호성이 발생하여 데이터 복조가 어렵다. 주파수 오프셋에 의한 위상차는 주파수 오프셋과 심벌 시간에 따라 다음 식 (7)이 성립한다. f_{offset} 은 주파수 오프셋, T_{sym} 은 데이터 전송 심벌 시간을 의미한다.

$$\theta_e = 360 * f_{offset} * T_{sym} \quad (7)$$

표 1. 주파수 오프셋 계산
Table 1. Frequency offset calculation.

item	unit	value
velocity	m/s	1020
oscillator precision	ppm	1.5
frequency offset	KHz	28.845

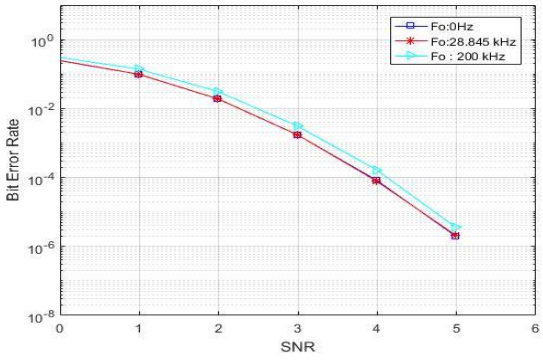

그림 15. 주파수 오프셋에 따른 BER 성능
Fig. 15. Effect of frequency offset BER performance.

개발된 모뎀의 경우 위상 모호성이 발생되지 않는 최대 주파수 오프셋은 1 MHz로, 차동 인코딩 방식을 적용할 경우 성능 열화 없이 데이터를 수신할 수 있을 것이며, 이를 모의실험을 통하여 확인하였다. 결과는 그림 15에 나타내며, 주파수 오프셋 200 KHz 내에서 BER (bit error rate) 10e-6에서 성능 열화가 약 0.2 dB 나오는 것을 확인할 수 있다.

Ⅳ. 수신기 제작 및 시험

4-1 구성 및 제작

본 모뎀에서 기저 대역 처리를 위한 모뎀 및 제어반의 형상은 그림 16 과 같으며, SRC 필터, 동기 검출기, 리샘플러, DBPSK 복호기 등을 구현하기 위하여 FPGA를 이용하였다. EMI (electromagnetic interference)를 고려한 전원 설계 기법과 사이즈 축소를 위하여 IF 신호를 입력받아 트랜시버를 통하여 기저대역으로 직접 변환 후 ADC를 이용하여 디지털 데이터를 FPGA로 CMOS 인터페이스를 이용하여 전달하였으며, 위 내용을 바탕으로 개발 및 제작 된 모뎀 보드는 그림 16에 나타낸다. Altera 社의 Cyclone V를 선정하여 입력 클럭 40Mhz을 사용하였으며, 구현한 결과는 표 2에 나타내고 있으며, 내부 사용량은 약 50% 이다.

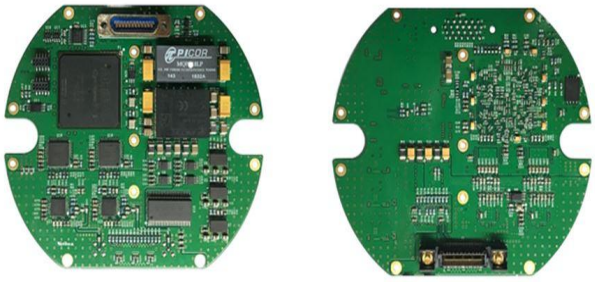

그림 16. 모뎀 및 제어반 형상
Fig. 16. Modem and control panel construction drawing.

표 2. FPGA 합성 결과
Table 2. FPGA Synthesis results.

item	used	available	utilization
logic utilization	57,182	113,560	50 %
total registers	19397	-	-
total pins	121	336	36%
total plls	1	8	13
total block memory bits	5,305,916	12,492,800	42 %

표 3. 최저 수신 감도 계산
Table 3. Minimum receiver sensitivity calculation.

item	unit	value
kTo	dBm/Hz	-174
Band Width	Hz	4e6
Noise Figure	dB	3.5
Required SNR	dB	6.5
Implement Loss	dB	3
Receiver sensitivity	dBm	95

그림 17. 시험 구성도
Fig. 17. Test diagram.

4-2 시험 및 측정

유도무기에 적용하기 위해 요구되는 최저 수신감도는 –95 dBm으로, 요구사항에 만족하도록 설계 및 제작되었다. 최저 수신 감도 시험 구성은 그림 17과 같으며 수신기, 전원공급기, 시뮬레이터, PC로 구성되어 있으며, 시뮬레이터에서 송신 신호를 모의 한 후 시뮬레이터의 신호 크기를 줄여서 측정하였다. 최저 수신감도에서 모니터링 PC를 통하여 송신 데이터를 복원 할 수 있음을 확인 하였다.

Ⅴ. 결 론

본 논문에서는 현재 군에서 사용하고 있는 전술 데이터 링크의 실시간 목표물 변경이 가능한 유도무기에 적용 가능하도록 페이딩에 의한 성능 열화가 적으면서 필요시 표적 정보를 송신하는 데이터의 수신을 위한 수신기 구조를 제안 하고 성능 분석하여 요구 사항에 만족하는 수신 모뎀을 개발하였다.

제안 및 개발된 모뎀은 필요시 표적 정보를 송신하는 데이터의 수신에 적합하도록 빠른 심벌 타이밍 복원과 정확한 샘플링을 얻을 수 있는 심벌 타이밍 복원기, 잡음이 높은 환경에서도 정확한 동기를 획득할 수 있는 동기 검출기, 유도무기의 초고속 이동 시 발생하는 페이딩에 의한 주파수 오프셋 28.845 kHz에도 성능 열화 1 dB 이내의 최저 수신 감도 –95 dBm을 만족 하는 수신 모뎀을 설계 하였다. 시스템의 통신 지연 시간을

최소화하기 위하여 고속 디지털신호처리를 이용하였으며, 추후 요구 조건이 변경하여도 일부 수정 및 보완으로 쉽게 변경 가능하다.

References

[1] S. R. Jung and H. S. Shin, "Analysis on technology development of NCW and tactical data link," *The Journal of the Korea Institute of Electronic Communication* Vol.7, No.5, pp. 991-998 , Oct. 2012.

[2] S. H. Min, B. K. Kim, K. S. Kim, J.H. Lee, J. S. Kim, M. K. Bae, and K. H. Kim "A design of compact UHF module with double structure that can receive basic type link-k," *The Journal of Korea Navigation Institute,* Vol. 21, No. 4, pp. 413-421,Aug. 2017

[3] S. R. frame, "Real-time targeting for network enabled weapons," *The Journal of International Test and Evaluation Association* , Vol. 31, pp. 316-320, Sep. 2010.

[4] S. Nagaraj, S. Khan, C. Schlegel, and M. V. Burnashev, "On preamble detection in packet-based wireless networks," in *IEEE Ninth International Symposium on spread Spectrum Techniques and Applications Proceeding,* Manaus-Amazon: Brazil, pp. 476-480, Aug. 2006.

[5] F. M. Gardner, "A BPSK/QPSK timing-error detector for sampled receivers," *The Journal of IEEE transactions on communications.* Vol. Com-34, pp. 423-429, May 1986.

[6] W. G. Cowley and L. P. Sabel, "The performance of two symbol timing recovery algorithms for PSK demodulator," *The Journal of IEEE Transactions on Communications.* Vol. 42, No. 6 pp. 2345-2355, June 1994.

[7] M. T. shiune and C. L. Wey, "Efficient implementation of interpolation technique for symbol timing recovery in DVB-T transceiver design," *IEEE International Conference on Electro Information Technology,* East lansing. MI, pp. 427-431, May 2006.

맹 성 재 (Sung-jae Maeng)
2012년 2월 : 한서대학교 항공전자공학과 (공학사)
2018년 8월 : 충남대학교 전자전파정보통신공학과 (공학석사)
2011년 11월~ 2016년 5월 : ㈜파인텔레콤 기술연구소
2016년 6월~ 현재: 단암시스템즈(주) 기술연구소 재직 중
※관심분야 : 무선 통신, 데이터링크, 디지털 신호처리

이 종 혁 (Jong-hyuk Lee)
2009년 2월 : 경희대학교 전파공학과 (공학사)
2011년 2월 : 경희대학교 대학원 전자전파공학과 (공학석사)
2011년 2월~ 현재: 단암시스템즈(주) 기술연구소 재직 중
※관심분야 : RF/Microwave 회로 및 시스템 설계

김 강 산 (Kang-san Kim)
2001년 : 부경대학교 제어계측공학과 (공학사)
2001년~2008년: 단암전자통신 통신연구소
2009년~2012년: Dali Wireless (CANADA) Inc. Senior Digital Hardware Designer
2015년~현재 : 단암시스템즈(주) 기술연구소 재직 중
※관심분야 : 이동통신시스템, 데이터링크