

AR/VR 마이크로 디스플레이 환경을 고려한 JPEG-LS 플랫폼 개발

박현문* · 장영종* · 김병수* · 황태호**

A Development of JPEG-LS Platform for Mirco Display Environment in AR/VR Device.

Hyun-Moon Park* · Young-Jong Jang* · Byung-Soo Kim* · Tae-Ho Hwang**

요 약

AR/VR 디바이스에서 무손실 이미지 압축을 위한 JPEG-LS(: LosSless) 코덱에서 SBT 기반 프레임 압축기술로 메모리와 지연을 줄이는 설계를 제안하였다. 제안된 JPEG 무손실 코덱은 주로 콘텍스트 모형화 및 업데이트, 픽셀과 오류 예측 그리고 메모리 블록으로 구성된다. 모든 블록은 실시간 영상처리를 위해 파이프라인 구조를 가지며, LOCO-I 압축 알고리즘에 SBT 코딩기반의 개선된 2차원 접근방식을 사용한다. 제시한 STB-FLC기법을 통해 Block-RAM 사이즈를 기존 유사연구보다 1/3로 줄이고 예측(prediction) 블록의 병렬 설계는 처리속도에 향상을 가져올 수 있었다.

ABSTRACT

This paper presents the design of a JPEG-LS codec for lossless image compression from AR/VR device. The proposed JPEG-LS(: LosSless) codec is mainly composed of a context modeling block, a context update block, a pixel prediction block, a prediction error coding block, a data packetizer block, and a memory block. All operations are organized in a fully pipelined architecture for real time image processing and the LOCO-I compression algorithm using improved 2D approach to compliant with the SBT coding. Compared with a similar study in JPEG-LS, the Block-RAM size of proposed STB-FLC architecture is reduced to 1/3 compact and the parallel design of the predication block could improved the processing speed.

키워드

AR/VR Device, JPEG-LS, Hash Table, RLE(:Run-Length encoding), Memory Map
AR/VR 장치, JPEG-LS, 해시 테이블, 런 길이 부호화, 메모리 맵

1. 서 론

AR/VR의 신산업확산은 디스플레이와 렌즈 그리고 영상처리 프로세싱, 소프트웨어 플랫폼에서 신산업에 맞는 요구가 빠르게 확대되고 있다. 특히, 영상 분야는 기기의 서비스 분야에 따라 2인치 혹은 1인치 내

외의 디스플레이 크기에서 2K 이상의 영상을 제공하기 위한 연구개발이 이루어지고 있다. 사용자 시각에서 표현되는 영상에 이질감을 줄이고 제한된 영상 전송의 대역폭 극복을 위한 무손실 압축 기술이 주목받으면서 점차 보편화하고 있다[1,15-17]. 이에 따라 스트리밍이 강화된 JPEG XS[1]나 DSC(: Display

* 전자부품연구원 SoC 플랫폼 연구센터(kimagu@keti.re.kr, youngjong.jang@keti.re.kr, bskim4k@keti.re.kr, taao@keti.re.kr)

** 교신저자 : 전자부품연구원, SoC 플랫폼연구센터

• 접수일 : 2018. 12. 13
• 수정완료일 : 2019. 02. 12
• 게재확정일 : 2019. 04. 15

• Received : Dec. 13, 2018, Revised : Feb. 12, 2019, Accepted : Apr. 15, 2019

• Corresponding Author : Tae-Ho Hwang

SoC Platform Research Center

Email : taao@keti.re.kr

Stream Compression) 등 전송과 디스플레이를 고려한 무손실 기반 기술이 확대되고 있으나, 중소기업에서 DSP 가격과 MCU, 메모리 컨트롤러 등 SoC를 위한 IP 가격을 생각할 때 시장규모 대비 SoC 제작에 어려움이 있다. 최근에는 AR/VR에 중·저가형 기기가 300\$ 내외의 가격을 형성하고 있다는 것을 생각한다면, SoC보다도 관련 디스플레이 모듈과 연동이 가능한 저가 MIPI CSI-2 인터페이스를 가진 FPGA를 기기에 적용도 좋은 방향이다. MIPI(Mobile Industry Processor Interface)는 많은 모바일 디스플레이에서 사용되는 디스플레이 연동 인터페이스로 MIPI CSI-2 1.2는 대역폭이 1개 인터페이스당 1.5Gbps로 제안된 상황에서 4 Lane의 최대 전송 가능한 대역폭은 6.75Gbps 수준이다. 듀얼 Lane으로 13.5Gbps까지 확장할 수 있으나 관련 디스플레이 드라이버 관련 디스플레이 연동 인터페이스가 4 Lane이 다수로 대역폭이 제약되기 때문에 HD급 이상에서는 프레임과 데이터 포맷에 따라 4:1~7:1까지의 압축 기술이 요구된다. 저가격의 AR/VR 기기용으로는 저전력에 DSP 부하가 적으면서도 무손실 영상 압축 효율이 높은 JPEG-LS가 적합하다.

AR/VR에서 경량화된 처리와 최소한의 메모리가 사용이 중요하기 때문에 기존 JPEG-LS에서 사용되는 핵심 LOCO-I(Low COmplexity LOssless COmpression for Image) 알고리즘의 개선이 요구된다. 기존은 문자열 테이블의 관련된 예측 오류의 계산과 콘텍스트 매개 변수의 업데이트가 데이터의 종속적이기 때문에 두 가지 문제를 갖는다. 첫째 문자열 테이블이 일치하지 않을 때 문자열 테이블에 새로운 문자열이 추가되기 때문에, 문자열을 저장하는 버퍼 오버헤드가 증가할 수 있다. 둘째로는 문자열이 빠르게 증가함에 따라 개별 새로운 문자를 검색으로 인한 검색과 이에 따른 계산 복잡도 또한 log만큼 증가하게 된다[3, 4]. 이를 해결하기 위해서 몇 사이클 동안 파이프라인에 데이터 입력을 정지하거나 다중 문자열 테이블을 사용하는 방법이 있다[5]. 하지만 이러한 방법은 메모리 크기가 증가하고 다중 클록 도메인이 요구되어 시스템 처리 부하가 커지고, 처리 지연의 문제를 갖는다[2,3]. 이에 따라 우리는 이러한 문자열에 저장 및 검색 문제를 코드와 문자의 조합을 통해 줄이기 위해 최상위 비트 압축(Significant Bit Truncation,

SBT) 영상 압축 기반의 주소 생성기법으로 임의의 길이의 데이터를 고정된 길이의 데이터로 대응(mapping)하여 메모리 사용량을 줄이고 병렬화된 처리 구조를 설계함으로써 예측(prediction)과 예측 오류(prediction error)에 처리시간을 감소시킬 수 있었다. 본 논문은 2장에서 JPEG-LS 알고리즘 개요를 설명하고, 제안된 최상위 비트기반의 압축기법과 프레임 고정 기반 FLC(Fixed length coding)를 3장에서 설명하였다. 4장에는 3장의 제안된 SBT기반 FLC를 FPGA에 구현하고 선행연구와 비교분석을 하였으며, 마지막으로 5장에서 결론을 작성하였다.

II. JPEG-LS 알고리즘 개요

JPEG 무손실 압축의 성능의 한계로 DCT나 산술 부호화를 하지 않으며, 준 무손실(near-lossless) 혹은 무손실(lossless) 방식에서만 양자화를 한다. 영상 내 인접한 화소 값 사이에는 매우 높은 상호 연관성이 존재하며, 이를 효율적으로 처리하기 위해 낮은 복잡도를 갖는 LOCO-I 알고리즘을 기반으로 한다. 기존의 블록 기반 매개 변수 예측기법은 부호화에서 매개 변수 정보를 추가하고 블록 별로 평균이나 소스 발생확률 등을 계산이 요구되어 순차 적응 방법보다 복잡도가 높은 단점이 있다. 순차 적응 방법인 LOCO-I에서 부호화한 신호의 정보를 이용하면 매개 변수에 대한 정보를 저장할 필요 없이 부호화 및 복호화가 가능하다[3]. 특히, 인접 화소 간의 상관관계를 이용한 알고리즘에서 높은 압축률을 얻기 위해서는 그림 1에 예측의 성능이 매우 중요하다.

JPEG-LS는 그림 1과 같이 예측과 콘텍스트 모델링(Context Modeling) 그리고 코딩(Coding)인 3단계로 분류된다[4]. 세부적으로 예측에서는 오류 예측과 오류 인코딩의 단계로 구분된다. 입력된 이미지를 런 길이 부호화(Run-length encoding, RLE)를 통해 데이터에서 같은 값이 연속해서 나타나는 것을 그 개수와 반복되는 값으로만 표현하는 것으로 JPEG-LS의 실행 상태에서 플랫폼 영역을 인코딩하는 데 사용된다. LOCO-I의 정규 모드(Regular mode)에서는 코더를 통해 압축하는데, 2진 값의 빠른 처리를 위해서 제안된 길이 골롬 부호화(Golomb coding)를 사용한다.

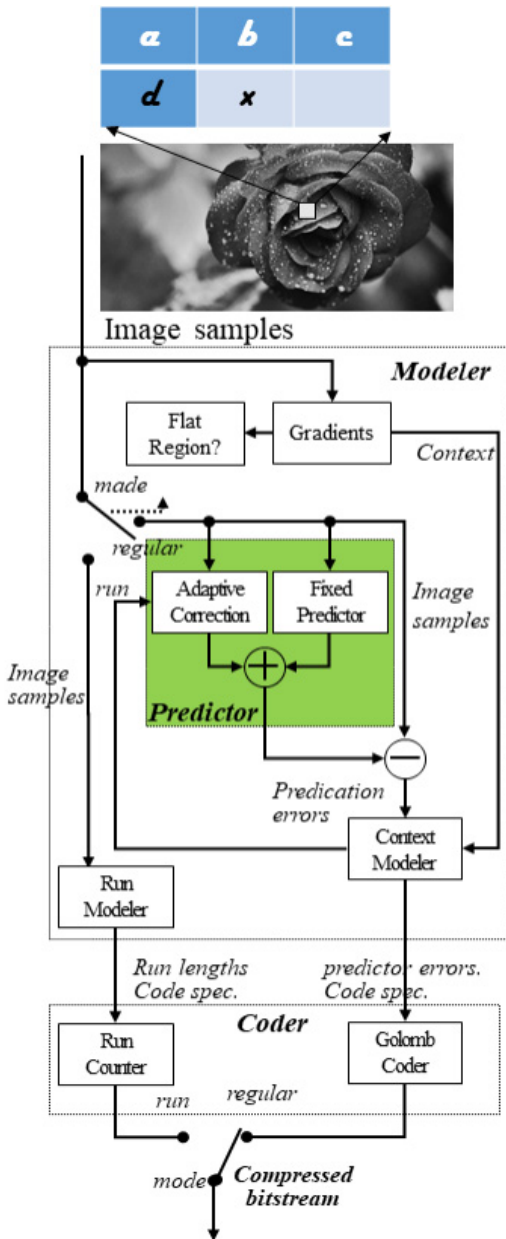


그림 1. JPEG-LS 블록 다이어그램
Fig. 1 JPEG-LS block diagram

그림 1과 같이 예측은 고정 예측기와 능동 보정부의 결합을 통한 처리를 표준에서는 중앙 에지 검출기(: Median Edge Detector, MED)로 정의된다. 고정 예측기(: Fixed Predictor)는 수직 또는 수평 에지를

검증하기 위한 테스트를 수행하고, 능동 보정부(adaptive correction)는 선형 확률 변환이 가능한 자동회귀(Autoregressive, AR) 모델을 사용하여 간단한 예측을 할 수 있게 된다. 세부적으로는 'Modeler'에서는 그림 1, 2의 표 같이 이미지의 입력단에서 x 는 현재 예측하고자 하는 화소이며, 현재의 픽셀 a , b , c 및 d 에 인접한 값인 x 로 상관성이 높은 이웃한 화소이다. 에지의 유무를 판별하고 에지가 존재하면 수평방향으로 에지가 있을 때 수직성분인 화소 b 를 예측하고 수평성분인 d , 대각성분이 a 의 값을 이용하여 $b+d-a$ 값으로 예측한다. 만약 수평 방향으로 에지가 있을 때는 수직성분인 b 를 예측하고 수직 방향으로 에지가 있을 때는 수평성분인 d 를 예측한다. 예측한 화소 값 P 는 선형연구 [4]와 같이 정의되며, 이미지 압축모델에서 사용된다.

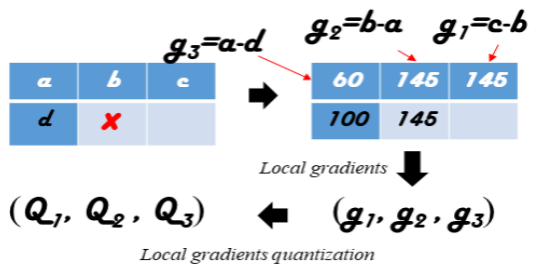


그림 2. 모듈러 처리의 지역 기울기와 양자화
Fig. 2 Local gradients and quantization on the modeler

모듈러(Modeler)의 지역 기울기(local gradients)와 이에 따른 양자화(quantization) 과정을 그림 2로 나타낼 수 있다. 이미지 픽셀 a , b , c 및 d 의 값을 60, 145, 145, 100으로 정의했다면, 지역 기울기의 (g_1, g_2, g_3)는 (0, 85, -45)로 나타낼 수 있으며 이를 -4부터 +4까지 9가지로 나타내는 양자화를 통해서 (Q_1, Q_2, Q_3)를 (0, 4, -4)로 변환되며, Q_1, Q_2, Q_3 값이 모두 0일 경우 'Run mode'로 동작하고 반대의 경우 'regular mode'로 동작하게 된다.

9개의 양자화된 기울기는 (Q_1, Q_2, Q_3)로 인해 9^3 인 총 729개의 양자화된 벡터가 발생하고, 음의 영역과 양의 영역을 병합하면 0을 제외한 364개의 양자화된 벡터를 나타낸다. 모델러(Modeler)는 이러한 3개의 양

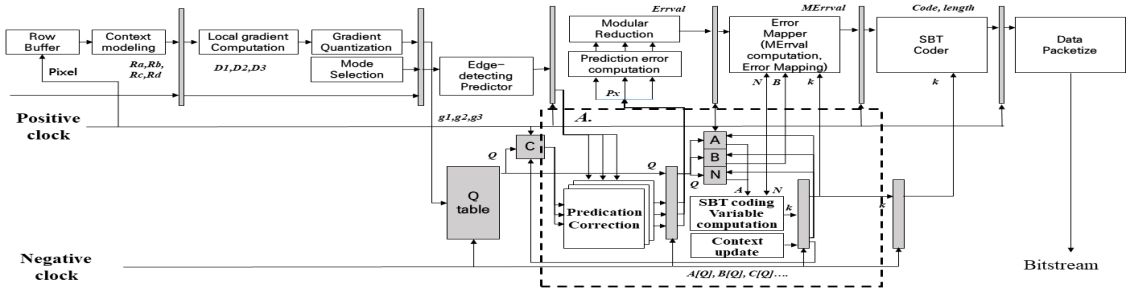


그림 3. 개발한 JPEG-LS 구조
Fig. 3 Development of the JPEG-LS

자화 벡터를 사용하여 365개의 콘텍스트를 선택한다. 콘텍스트(Context)는 양자화 벡터를 정수 Q로 매핑한다. 이전 에러 예측 오차 A[Q]에서 Px는 예측 오차 보정 값 C[Q]로 보정되고 예측 오차(prediction error)인 A(Q)와 및 도착(arrival) 값은 Px의 값을 사용해 계산한다. 마지막으로 횡수 카운터(occurrence counter) N[Q]를 포함한다.

코더는 보정된 예측 잔차의 인코딩을 위해서 곱셈 부호를 사용하며, 콘텍스트 당 두 개의 매개 변수를 산출하는 TSGD(Two Sided Geometric Distribution)모델을 작용함으로써 양자화된 그래이언트를 간단하고 표현될 수 있다. 곱셈 부호화는 확률분포가 지수적으로 감소하는 확률모델에서 최적 부호화 방법이다. 이렇게 계산되는 2의 곱셈 및 나눗셈이 2진 산술에서 더욱 빠른 계산이 가능하기 때문이다. 이러한 이론에 의해서 곱셈 부호화의 변수 k의 계산 후에, 새로운 예측 오차 값으로 갱신된다. 이렇게 양자화된 에러의 크기와 부호가 있는 양자화 된 오류는 A [Q], B [Q]에 각각 더해진다. 그리고 N [Q]가 RESET 값에 도달하면 A [Q], B [Q], C[Q] 및 N [Q]는 값이 메모리 제약을 넘어서는 것을 방지하기 위해 반으로 줄게 된다[4].

III. 메모리고려 고정프레임 기법

3.1 곱셈 부호화기법의 문제점

JPEG-LS 코덱의 구현은 그림 3과 같이 제시된다. 최근 다수 제안된 것[4-6]과 같이 두 가지 클록과 예

측에 메모리에 라인 버퍼 크기를 감소시키기 위해서는 그림 2의 LOCO-I의 MED 이웃 픽셀과 이전 픽셀의 압축에 초점을 맞추는 2D 접근방식으로 수평과 수직 방향에 모든 데이터를 기록하기 위한 추가 버퍼가 요구된다. 그리고 곱셈 부호화 기법은 가변 길이 코드 (Variable-Length Codes, VLC)에 따라 자주 발생하는 영역은 메모리 영역이 적지만, 코딩하려는 블록과 가장 비슷한 값을 갖는 블록을 탐색하는 과정으로 두 블록 차이가 작을수록 비트 발생량이 적다. 하지만, 예측 오류가 발생하거나 경계면으로 인해 블록의 편차가 클 때 길이의 증가로 인해 더욱 많은 메모리 영역이 요구된다. VLC는 연속적인 크기 영역에서 입력 스트림의 종료와 시작의 경계 정보가 없으므로 디코딩하기 전에 현재 코드 워드의 길이를 알아야 하며, 디코더의 복잡성을 높이고 데이터 의존성 문제로 다중 병렬 혹은 다중 파이프라인 구조가 요구된다[9]. 보통 16×16 혹은 32×32 블록의 무작위 접근방식으로 이루어지며, 큰 블록 크기는 유사성이 높고, 예측 오류가 적을 때는 효율적이지만 반대일 경우 많은 메모리가 요구된다. 또한, 정수 Q value 값이 같으면 일반모드에서 첫 번째 처리 블록이 처리 끝날 때까지 대기하게 된다. 이를 개선하기 위해 8×8기반으로 수평과 수직, 복사 예측기법을 사용해 압축률을 높여 메모리를 줄이는 방법[7]이 있지만, MED를 통한 엔트로피 기법의 압축방식은 기존 데이터 의존성 문제로 인해 블록이 8×8기반으로 줄어든다고 해도 셀 값을 재구성하는데 긴 경로가 요구되기 때문에 셀간의 상관관계로 인해 엔트로피 깊이가 길어지고 이에 따른 메모리도 증가된다[7-8]. 선행 연구[7,8]에서 8x8의 블록의 엔트로피의 깊이가 14단

계가 필요하며, 이렇게 길어지게 되면 전체적인 파이프라인이 증가하여 두 개의 클럭으로 처리한다고 해도 대기시간이 길어지는 문제를 갖게 된다. [11]선행연구와 같이 1024 pixels의 처리용량은 약 4KB를 차지하며, FPGA 영역에서 최대 86%를 소모하기 때문에 이를 최소화 시킬 필요가 있다.

3.2 SBT 기반 FLC 예측 기법

3.1에 언급한 MED로 인한 압축방식의 개선방안으로 고정길이기반의 프레임 방식과 최상위 비트 압축으로 메모리 크기를 줄인다. 그리고 우리는 [7]에서 2D 접근방식의 예측기법과 압축 알고리즘을 통해 엔트로피 깊이를 줄일 방안을 근거로 그림 4와 같이 SBT 기반 접근 방식을 제시했다. SBT는 픽셀들의 예측 오류 유사 값을 BLH(: Bit Length Header)를 통해 나타냄으로써 메모리공간에서 8x8일 때 64bit가 필요한 메모리 영역이 35bit로 45.4%를 감소시킬 수 있다. 디코딩 과정은 BLH의 값을 통해 하위비트 4bit와 결합함으로써 최상위 비트를 다시 8bit값으로 재복원할 수 있다.

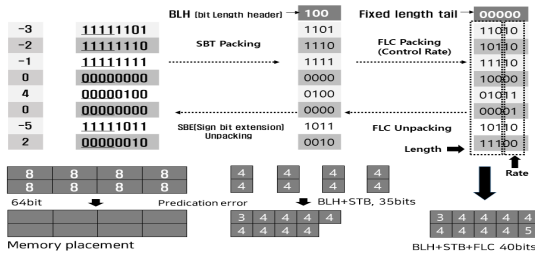


그림 4. STB기반에 추가된 FLC 구조

Fig. 4 The FLC structure added to the STB based

예측 복원을 빠르게 코딩하기 위해 현재 블록을 8x1 서브 블록으로 나누고, 전체 코드 길이와 양자화 파라미터 값과 RC(: Rate Control)을 포함하고 이를 FLC를 수행한다. 이러한 본 논문의 제안은 [7]보다 5bit가 증가되면서 약 11%의 메모리 영역이 증가하게 되지만, [2]보다는 여전히 38%의 메모리 영역을 감소시킬 수 있으며, 블록이 제안과 같이 작아지면서 발생하는 다수 블록에 대해 RC를 통한 처리의 효율성을 높일 수 있고, 코드 길이를 통해 서브 블록 단위를 구분하여 개별 단위를 정의할 수 있다. 또한, 코드 내에

가장 긴 코드 길이를 따라 FLC로 정의할 수 있다. FLC에는 RC를 통해 그림 2에서 'A' 블록에 버퍼상태에 따라 양자화를 제어할 수 있으므로 메모리의 오버프로우를 방지하고, 일정한 압축률로 코딩이 가능하게 된다. 예를 들자면 RC를 통해 블록 내의 영상이 유사하면 낮추고, 비 균일하다면 높여서 더 많은 비트를 할당한다. RC값이 낮다면 비균일성으로 처리량이 증가하고 코드가 길어지게 되므로 반대로 메모리와 버퍼할당을 증가시키고 RC값이 낮다면 블록 내의 영상이 유사하므로 코드 짧아지게 되므로 메모리와 버퍼의 할당을 감소시킨다.

IV. 제안된 모델의 구현

4.1 제안된 모듈러 기법

개발된 컨텍스트 모델링 블록은 로컬 그래디언트의 계산, 모드 선택, 로컬 그래디언트의 양자화 및 병합을 수행한다. 그림 2에서 컨텍스트 결정단계의 인접한 샘플의 예측된 'x' 계산 방법은 동일하다. 하지만, 0을 제외한 364개의 양자화된 벡터를 컨텍스트(Context)단계에서 정수 Q로 매핑하고, 전체 코드길이를 제안된 양자화된 파라미터 값인 Q value와 RC를 포함한 값을 나누고, 3.2장과 같이 FLC를 수행한다.

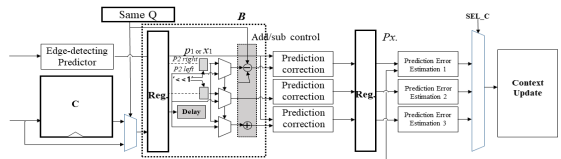


그림 5. 설계된 예측 블록

Fig. 5 Design of the prediction block

그림 5와 같이 두 개의 파이프라인 단계와 두 단계의 버퍼구조를 갖는다. 따라서 인코더 및 디코더에서 버퍼로 인한 데이터 읽기 쓰기로 인한 별도의 스톱(stall)처리 과정이 필요 없어 지연을 최소화할 수 있다. 앞서 3.2장에서 같이 프레임 크기가 고정되고, 전체 길이를 알 수 있다면, 예측 에러에 대한 검색과 전체사이즈를 명확하게 알게 되어 버퍼 크기에 대한 추정 가능성이 가능하므로 메모리가 최적화될 수 있다. 구현에

서 처리속도의 향상을 위해 ‘Prediction correction’과 ‘Prediction Error Estimation’를 3개 병렬로 설계로 인해 처리속도를 높일 수 있다. [9-10]과 같이 예측블록을 8개 혹은 16개로 병렬화 할 경우 처리 속도에 장점이 있을 수 있지만, 그만큼 큰 블록의 설계가 요구되는 이율배반의 문제를 갖는다.

예측 오류의 인코딩을 위해 콘텍스트 테이블은 SBT 코딩의 고정 값 ‘ k ’ 계산에 사용된다. SBT 코딩의 고정 계산 블록을 구현하고, 하드웨어 복잡성을 줄이기 위해 간단한 비교기와 가산기를 사용한다. 그리고 예측 오차(prediction error)인 ‘ $Errval$ ’은 non-negative value로 맵핑되고, ‘ $EMrrval$ ’는 Error로 대응된다. 잔차 오류는 일반적으로 곱셈 부호화와 같은 0 중심에 양면 기하분포를 갖는다.

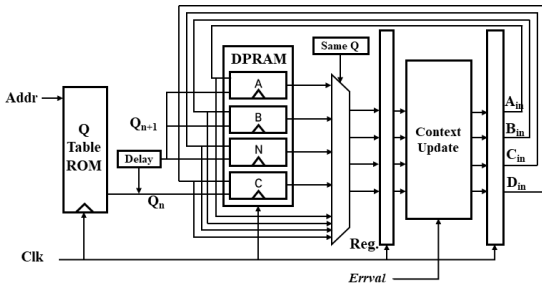


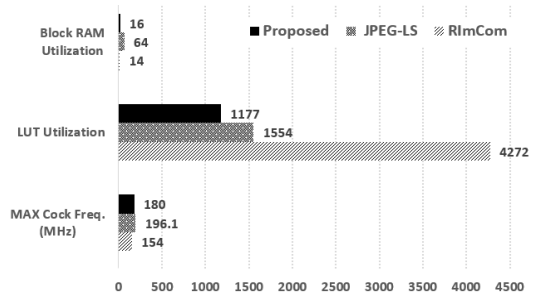
그림 6. 콘텍스트 업데이트와 연결된 메모리 블록
Fig. 6 Context update and memory block

그림 6의 콘텍스트 테이블은 현재의 예측 에러에 따라 업데이트되며, 읽기와 쓰기가 가능한 Dual-Port RAM의 구조를 갖는다. DPRAM에서의 A 와 B 는 콘텍스트 테이블의 Q 에 대한 예측 오차의 크기와 값을 각각 누적한다. N 은 초기화 이후에 콘텍스트 Q 에 발생횟수를 나타낸다. 그리고 B 에서의 예측오차 값을 이용해 매회 예측 보정 값인 C 를 갱신할 수 있게 된다. 콘텍스트가 이전 픽셀과 현재의 픽셀과 동일한 경우 지연을 극복하기 위해 적절한 업데이트 값을 사용하는 ‘same Q ’를 사용한다.

4.2 FPGA를 통한 성능검증

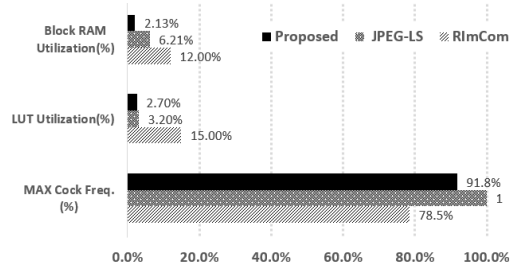
제안한 JPEG-LS IP의 검증방안으로 Xilinx Virtex7의 XC7VX330T에 ISE 14.6 환경에서 RTL로 검증하였다. 그림 7은 같이 비교대상으로 선행 연구된

RImCom[3]과 XC7VX485-2로 구현한 JPEG-LS를 LUT(: LookUp Table) 크기와 Block RAM 사용크기를 상호 비교하였다. 그림 7의 a)는 FPGA에 차지하는 비율을 LUT의 총사이즈로 사용크기로 나누어표기하였으며, Block RAM 또한 전체 사이즈에 실제 사용하는 비중을 나타내었다.



a) FPGA의 자원 사용비율

a) the rate of Resource utilization by FPGA



b) FPGA에서 사용된 자원 값

b) Resource values used by FPGA

그림 7. 구현된 FPGA에 합성 결과의 비교
Fig. 7 Comparison of synthesis results on implemented FPGA

그림 7 b)의 Block RAM과 LUT는 개발된 사이즈를 나타낸 것으로 MAX Cock Freq.는 FPGA 동작 클럭을 나타낸 것이다. 두 개의 그래프에서 제한한 JPEG-LS의 LUT 크기가 1177로 상대적으로 선행연구보다 작을 뿐만 아니라, JPEG-LS 처리를 위한 메모리의 읽고, 쓰기에서도 [6]보다도 약 1/3 정도 적게 사용되었다.

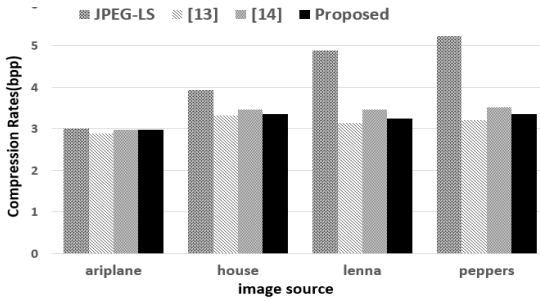


그림 8. 알고리즘 압축률(bpp)의 비교
Fig. 8 Compression rates(bpp) of algorithm

테스트용 CFA 원시 데이터인 512x512x24 비트 해상도 표준 컬러 이미지¹⁾ 4종류인 airplane, house, lenna, peppers[12]을 이용하여, 압축률인 bpp(: bits per pixel)을 그림 8과 같이 비교하였다. 비교대상은 JPEG-LS와 유사한 비손실 계열의 선행연구[13, 14]이며, airplane은 유효범위 안에 유사한 성능을 보였으나 lenna와 peppers에서는 기존 JPEG-LS보다는 매우 20%이상 개선된 압축률을 보여주었으며, 선행연구의 압축률 비교에서는 lenna는 1~2% 우수하였고, peppers는 오차수준에 유사한 것을 검증할 수 있었다.

IV. 결 론

기존 JPEG-LS의 콜룸 기반의 코딩방식에서 SBT 타입 예측압축 기법을 통해 FPGA에 사용되는 전체 블록사이즈를 줄이면서도 인코딩과정에서 사용되는 메모리를 감소시키고 및 지연의 최소화를 통해 처리 효율을 높일 수가 있었다. 이러한 IP기술을 FPGA 기반에 검증을 통해서 무손실 압축 효율을 JPEG-LS보다 높일 수 있었으며, 선행 유사 논문과 비슷하거나 오차범위 내에서 개선될 수 있었다. 본 논문에서는 비록 XC7VX330T로 구현하였지만, 해외 선행 연구[3-6]들에 의하면 VIRTEX 5에서도 충분히 유사한 성능을 제공할 것으로 예상된다. 특히, 최근 중국의 AR/VR 스타트업기업들이 VIRTEX 4나 5 기반의 FPGA에 영상처리 IP가 포함된 제품이 200~300\$대에 다수 판매하고 있으며, 비록 제품의 완성도가 낮지만 세계적

으로는 가격대비 높은 제품으로 많은 판매가 진행되고 있다. 올해부터는 VIRTEX 5에서 본 연구의 IP를 적용한 Dual-Port MIPI기반 AR/VR용 영상 디코딩 시제품을 제작할 예정이다.

References

- [1] A. Descampe, J. Keinert, T. Richter, S. Föbel, and G. Rouvroy, "JPEG XS, a new standard for visually lossless low-latency lightweight image compression," *Applications of Digital Image Processing XL : Int. Society for Optics and Photonics*, California, USA, 2017, pp. 10360-103971.
- [2] L. Xiaowen, C. Xinkai, X. Xiang, L. Guolin, Li Zhang, C. Zhang, and Z. Wang, "A Low Power, Fully Pipelined JPEG-LS Encoder for Lossless Image Compression," *IEEE Int. Conf. on Multimedia and Expo*, Beijing, China, 2007, pp. 1906-1909.
- [3] O. Palaz, H. Ugrdag, O. Ozkurt, B. Kertmen, and F. Donmez, "RImCom:Raster-order Image Compressor for Embedded Video Applications," *J. of Signal Processing Systems*, vol. 88, no. 2, 2017, pp. 149-165.
- [4] M. Weinberger, J. Marcelo, G. Seroussi and G. Sapiro, "The LOCO-I lossless image compression algorithm: Principles and standardization into JPEG-LS." *IEEE Tran. on Image processing*, vol. 9, no. 8, 2000, pp. 1309-1324.
- [5] K. Swarna and Y. Raju, "Implementation of soft processor based SOC for JPEG compression on FPGA," *ICTACT j. on microelectronics*, vol. 1, no. 1, 2015, pp. 1-7.
- [6] K. Swarna and Y. Raju, "FPGA Based JPEG-LS Encoder for Onboard Real-time Lossless Image Compression," *Proc. SPIE 9501, Satellite Data Com., Communications, and Processing XI*, Maryland, USA, 2015, pp. 1-8.
- [7] J. Kim and C. Kyung, "A Lossless Embedded Compression Using Significant Bit Truncation for HD Video Coding," *IEEE Trans. on Circuits and Systems for video technology*, vol. 20, no. 6, 2010, pp 848-860.
- [8] S. Martucci, "Reversible compression of

1) Xiph.org :: Dref's test image/media collection, <https://media.xiph.org/>

HDTV images using median adaptive prediction and arithmetic coding," In *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, New Orleans, USA, 1990, pp. 1310-1313.

- [9] J. Nikara, S. Vassiliadis, J. Takala, and P. Liuha, "Multiple-symbol parallel decoding for variable length codes," *IEEE Trans. Very-LargeScale Integr. Syst.*, vol. 12, no. 7, 2004, pp. 676 - 685.
- [10] M. Ferretti and M. Boffadossi, "A parallel pipelined implementation of LOCO-I for JPEG-LS," *IEEE int. Conf. Cambridge, UK*, 2004, pp. 1-4.
- [11] A. Savakis and M. Piorium, "Benchmarking and Hardware Implementation of JPEG-LS," *Int. Confer. on Image Processing, Rochester, New York, USA*, 2002, pp. 1-4.
- [12] Xiph Foundation, 'open source, multimedia-related projects: opus 1.2,' online:xiph, 2017.
- [13] X. Li, X. Xie, X. Chen, G. Li, L. Wang, Z. Wang, and H. Chen, "Design and Implementation of a Low Complexity Near-lossless Image Compression Method for Wireless Endoscopy Capsule System," *IEEE Inter. Sym. on Circuits and Systems*, Los Angeles, USA, 2007, pp. 1321-1324.
- [14] X. Xie, G. Li, and X. Li, "A New Approach for Near-lossless and Lossless Image Compression with Bayer Color Filter Arrays," *Third Int. Conf. on Image and Graphics*, Hong Kong, China, 2004, pp. 357-360.
- [15] C. Cho and G. Kim "Implementation of Medical Diagnostic Information System and Conformance Test of Medical Image in Mobile Environment," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 10, no. 6, 2015, pp. 713-720.
- [16] Y. Kim "Progressive Image Coding using Wavelet Transform," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 9, no. 1, 2014, pp. 33-40.
- [17] C. Lee, J. Ryu, and J. Lee "Still Image Improvement of Adaptative DWT(Discrete wavelet transform) Decomposition Level Through the Implementation of JPEG2000 Hardware," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 13, no. 6, 2018, pp. 1343-1352

저자 소개



박현문(Hyun-Moon Park)

2006년 年 국민대학교 전자통신학과졸업(공학석사)
2010년 年 국민대학교 BIT학과 졸업(이학박사)

2010년~2013년 한국전자통신연구원 선임연구원
2014년~현재 전자부품연구원 SoC플랫폼센터 책임연구원
※ 관심분야 : IoT시스템, 에너지하베스팅, 엣지컴퓨팅



장영종(Young-Jong Jang)

2013년 경북대학교 IT대학 전자공학부 졸업(공학사)
2015년 경북대학교 대학원 전자공학부 졸업(공학석사)

2015년~현재 전자부품연구원 SoC플랫폼연구센터 선임연구원
※ 관심분야 : 음성 신호 처리, SoC 설계



김병수(Byung-Soo Kim)

2008년 年 인하대학교 정보통신공학과 졸업(공학석사)
2013년 年 인하대학교 정보통신공학과 졸업(공학박사)

2013년~현재 전자부품연구원 SoC플랫폼연구센터 선임 연구원
※ 관심분야 : 임베디드 하드웨어, Spike Neural Network, Machine Learning



황태호(Tae-Ho Hwang)

2000년 年 한국외국어대학교 컴퓨터공학과 석사
2013년 年 한국외국어대학교 컴퓨터공학과 박사

2000년 ~ 현재 전자부품연구원 SoC플랫폼연구센터 수석연구원
※ 관심분야 : 실시간 운영체제, 이기종 컴퓨팅, 뉴로모픽 컴퓨팅