

로컬 클럭 스큐 보상을 위한 낮은 지터 성능의 지연 고정 루프

정채영* · 이원영**

A Low Jitter Delay-Locked Loop for Local Clock Skew Compensation

Chae-Young Jung* · Won-Young Lee**

요 약

본 논문은 로컬 클럭 왜곡을 보상하는 낮은 지터 성능의 지연 고정 루프를 제시한다. 제안된 DLL은 위상 스플리터, 위상 검출기(PD), 차지 펌프, 바이어스 생성기, 전압 제어 지연 라인(Voltage Controlled Delay Line) 및 레벨 변환기로 구성된다. VCDL(: Voltage Controlled Delay Line)은 CML(: Current Mode Logic)을 사용하는 자체 바이어스 지연 셀을 사용하여 온도에 민감하지 않고 잡음을 공급한다. 위상 스플리터는 VCDL의 차동 입력으로 사용되는 두 개의 기준 클럭을 생성한다. 제안된 회로의 PD는 CML에 비해 적은 전력을 소비하는 CMOS 로직을 사용하기 때문에 PD는 위상 스플리터의 유일한 단일 클럭을 사용한다. 따라서 VCDL의 출력은 로컬 클럭 분배 회로뿐만 아니라 PD에 사용되므로 레벨 변환기에 의해 레일-투-레일 신호로 변환된다. 제안된 회로는 0.13 μ m CMOS 공정으로 설계되었으며, 주파수가 1GHz인 클럭이 외부에서 인가된다. 약 19 사이클 후에 제안된 DLL은 잠금이 되며, 클럭의 지터는 1.05ps이다.

ABSTRACT

In this paper, a low-jitter delay-locked loop that compensates for local clock skew is presented. The proposed DLL consists of a phase splitter, a phase detector(PD), a charge pump, a bias generator, a voltage-controlled delay line(VCDL), and a level converter. The VCDL uses self-biased delay cells using current mode logic(CML) to have insensitive characteristics to temperature and supply noises. The phase splitter generates two reference clocks which are used as the differential inputs of the VCDL. The PD uses the only single clock from the phase splitter because the PD in the proposed circuit uses CMOS logic that consumes less power compared to CML. Therefore, the output of the VCDL is also converted to the rail-to-rail signal by the level converter for the PD as well as the local clock distribution circuit. The proposed circuit has been designed with a 0.13- μ m CMOS process. A global CLK with a frequency of 1-GHz is externally applied to the circuit. As a result, after about 19 cycles, the proposed DLL is locked at a point that the control voltage is 597.83mV with the jitter of 1.05ps.

키워드

DLL, Clock Jitter, Clock Skew
지연 고정 루프, 클럭 지터, 클럭 스큐

* 서울과학기술대학교 전자IT미디어공학과
(chaeng17_@naver.com)

** 교신저자 : 서울과학기술대학교 전자IT미디어공학과
• 접수일 : 2018. 11. 29
• 수정완료일 : 2019. 02. 05
• 게재확정일 : 2019. 04. 15

• Received : Nov. 29, 2018, Revised : Feb. 05, 2019, Accepted : Apr. 15, 2019

• Corresponding Author : Won-Young Lee

Dept. Electronic and IT Media Engineering, Seoul National University of Science and Technology,

Email : wylee@seoultech.ac.kr

1. 서론

최근 IoT 및 모바일용 기기를 위한 디지털 프로세서와 메모리 시스템은 구조적으로 코어 숫자를 증가시키고, 실리콘 수직연결체를 사용하여 메모리칩을 적층할 뿐 만 아니라, 기능적으로 오류정정회로 등과 같은 신호처리 회로, 동기화 회로 등을 사용함으로써 성능 개선을 이루고 있다[1-5]. 이 중 매니코어 시스템의 동작에 있어 기본이 되는 것은 코어마다 클럭 신호를 효율적으로 전송하고 코어 간 동기화를 유지하는 것이다. 그러나 시스템의 속도가 빨라짐에 따라 코어 간 클럭의 스큐(skew)와 지터(jitter)로 인해 동기화에 어려움이 발생하고 있다[6]. 위상 고정 루프(PLL)와 지연 고정 루프(DLL)는 일반적으로 메모리 또는 고속 회로에서 입출력 신호를 동기화하기 위해 사용된다. PLL은 전압 제어 발진기(voltage controlled oscillator)의 출력 주파수가 변하는 특성으로 인해 출력 신호에 지터가 누적되는 문제가 있다. 클럭의 속도와 함께 회로의 집적도가 증가함에 따라 클럭의 스큐와 지터 문제가 어려워지고 있는 상황에서 PLL의 지터 문제를 해결하기 위한 것이 전압 제어 지연 라인(voltage controlled delay line)을 사용하는 DLL이다. 파형의 손상된 제로 크로싱은 VCDL(: Voltage Controlled Delay Line)에서는 사라지지만 VCO(: Voltage Controlled Oscillator)는 재순환되기 때문에

더 많은 손상을 불러온다. 따라서, DLL이 PLL보다 더 잡음에 둔감하기 때문에 지터 특성을 향상시키기 위해 DLL이 더 적합하다[7].

본 논문에서는 지터 성능을 고려할 뿐만 아니라 저전력을 위해 각 블록의 특징에 따라 CMOS, CML 설계 회로를 적절히 선택하여 회로를 구현했다. 그에 따라 single-ended, 차동 신호를 각각 다르게 사용하는 회로를 위해 위상 스플리터(phase splitter) 블록을 추가 했고, CMOS와 CML 회로를 연결하기 위해 레벨 변환기(level converter)를 사용했다.

본 논문에서 낮은 지터 성능을 갖는 DLL 회로를 제안한다. 제2장에서는 전체 구조와 세부 블록들에 대한 설명을, 제3장 실험 결과에는 회로의 시뮬레이션 결과를 게재했다. 마지막으로 제4장에서 논문에 대한 결론을 맺는다.

II. 구조 및 세부 회로

2.1 전체 회로 구조

그림 1은 본 논문에서 제시하는 DLL의 전체 구조를 보여주고 있다. Global clock이 single-ended 신호를 사용하는 phase detector (PD)와 차동 신호를 사용하는 VCDL의 입력으로 사용되기 위해서는 CLK과 CLKB로 나누어져야 한다. 위상 스플리터를 사용하여

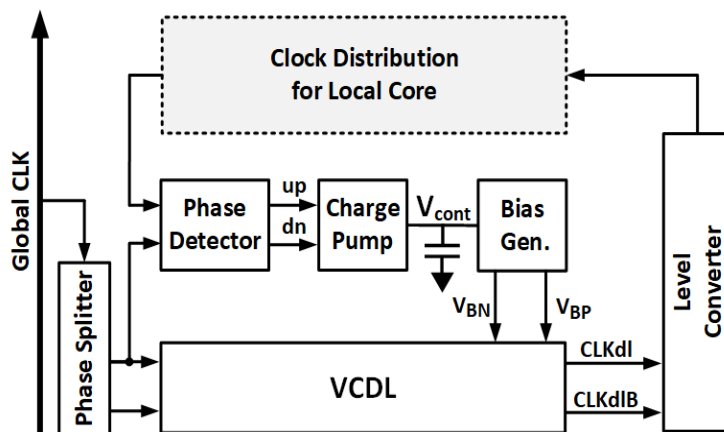


그림 1. 제안된 회로의 전체 구조
Fig. 1 Overall structure of the proposed circuit

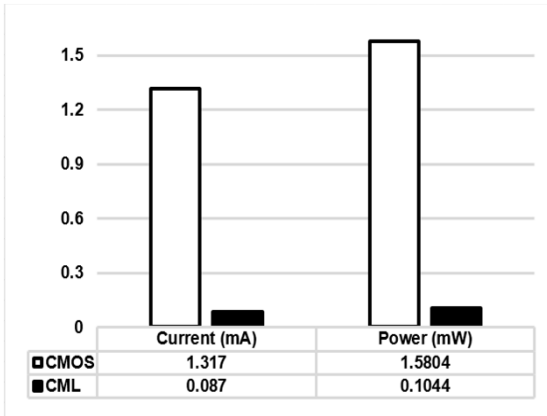


그림 2. CML PD와 CMOS PD 소모전력
Fig. 2 Power consumptions of CML and CMOS PDs

두 개의 클럭을 생성 후 PD에서 기준이 되는 CLK과 지연이 된 DCLK을 비교하여 UP 또는 DN 펄스를 생성해낸다. 이 때, 그림 2에 나와 있듯이 위상차를 계속해 추출해 내는 PD는 CML로 설계할 경우 전류의 소모량이 증가하기 때문에 전력 소비량이 증가하게 된다[8]. 따라서 전력 소비량을 줄이기 위해 PD는 CMOS 로직으로 설계되었다. PD에서 위상차를 생성해낸 후, charge pump(CP)로 입력되게 된다. CP에서는 PD의 펄스가 UP/DN 각각의 경우에 따라 루프필터 전압(Vcont)이 증가 또는 감소하게 된다.

전압 Vcont가 결정되면, 그 전압을 통해 bias generator에서 VBN, VBP 전압이 생성된다. 이 두 개의 전압은 VCDL의 delay cell로 입력된 후, 각각의 트랜지스터의 delay를 조절해주는 역할이 된다[9]. 8개의 delay cell로 이루어진 VCDL은 위와 같은 과정을 통해서 CLK의 delay를 조정하여 CLK과 DCLK의 위상이 일치하도록 한다. 하지만 잡음에 둔감한 특성을 갖기 위해 CML로 설계된 VCDL의 출력이 CMOS 로직으로 설계된 PD의 입력으로 사용되기 위해서는 VCDL의 출력이 레일-투-레일 신호로 바뀌어야 한다. 이를 위해 본 논문에서는 레벨 변환기를 사용하였다.

2.2 세부 회로 설명

2.2.1 위상 스플리터

본 논문의 DLL은 single-ended 입력을 사용하는

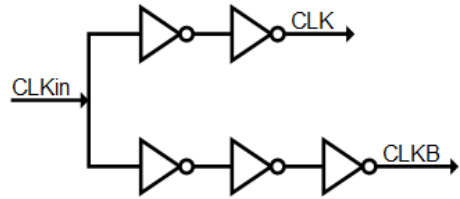


그림 3. 위상 스플리터의 회로도
Fig. 3 Schematic of the phase splitter

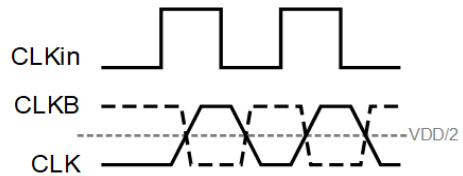


그림 4. 위상 스플리터 입출력 신호
Fig. 4 Input/output of the phase splitter

PD와 차동 입력을 사용하는 VCDL로 구성되어 있다. 이 때, PD와 VCDL 모두 사용할 수 있도록 차동 신호 즉, CLK에서 CLKB를 생성해내야 한다. 인버터 1단을 사용하여 CLKB를 생성하게 될 경우 CLK과 CLKB의 위상차가 180°가 되지 못하고 오차가 발생하게 된다. 이러한 오차를 보완하기 위해 사용된 블록이 바로 위상 스플리터이다[10].

그림 3은 본 논문에서 사용한 위상 스플리터의 회로도이다. CLKin이 위상 스플리터에 입력되면 CLKin과 이론적으로 위상차가 0°인 CLK과 위상차가 180°인 CLKB가 생성되게 된다. 위상 스플리터에 쓰이는 인버터 5개를 모두 같은 사이즈로 사용하게 되면 2단으로 구성된 CLK과 3단으로 구성된 CLKB의 위상차가 정확히 180°가 되지 않고, 이는 곧 인버터 1단을 이용해 설계한 것과 다를 바가 없다.

두 출력의 위상차를 180°로 만들기 위해 인버터가 1단이 더 적은 CLK 쪽의 사이즈를 줄이고 1단이 더 많은 CLKB 쪽의 사이즈를 늘렸다. 그 결과 인버터 비율이 표 1과 같다는 것을 찾아냈고, 그림 4와 같이 신호를 생성해 냈다.

표 1. 인버터 구성 비율
Table. 1 Size ratio of Inverter

Stage	1st	2nd	3rd
CLK	0.5	0.5	-
CLKB	1	1.5	1

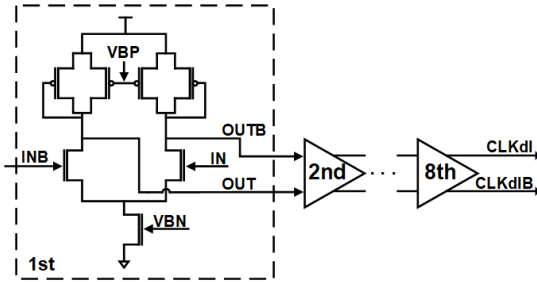


그림 5. VCDL의 회로도
Fig. 5 Schematic of the VCDL

생성된 2개의 신호는 VDD/2에서 매우 작은 오차를 두고 교차하는 것을 확인했으며, 듀티 사이클 비율도 50%에 가까운 것을 확인했다.

2.2.2 VCDL과 레벨 변환기

그림 5의 VCDL은 CML로 설계되었다. CML 회로는 잠음에 둔감한 특성을 가지고 있다. 이러한 특성 때문에 해당 VCDL은 지터 성능을 향상시킬 수 있다. 그림 6은 VCDL의 시뮬레이션 결과 delay를 정리해 놓은 그래프이다. 해당 VCDL의 보상할 수 있는 최대 skew 값은 1.094ns이며, VCDL의 이득인 Kvcddl은 1.1864ns/V로써 global CLK의 한 주기 이상 delay 조정이 가능하다는 것을 확인할 수 있다.

모든 블록을 CML로 설계한다면 더 좋은 지터 성능을 가질 수 있지만 계속해서 위상을 추출해내는 PD에서는 CML로 설계할 경우 전류 소모가 계속되기 때문에 전력 소비량이 증가하는 결과를 불러온다. 따라서 본 논문의 DLL은 CMOS PD를 사용했다.

CML VCDL에서 CMOS PD로 입출력이 이어지기 위해서는 VCDL의 출력 신호가 단일 위상 레일-투-레일 신호가 변환되어야 한다. 이러한 역할을 하기 위해 추가된 블록이 레벨 변환기이다. 그림 7은 레벨 변

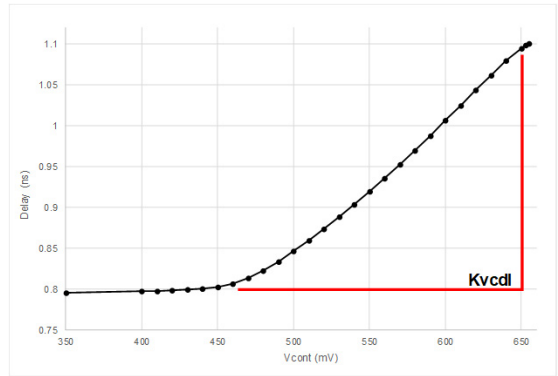


그림 6. Vcont에 따른 VCDL delay의 변화
Fig. 6 Change of VCDL delay according to Vcont

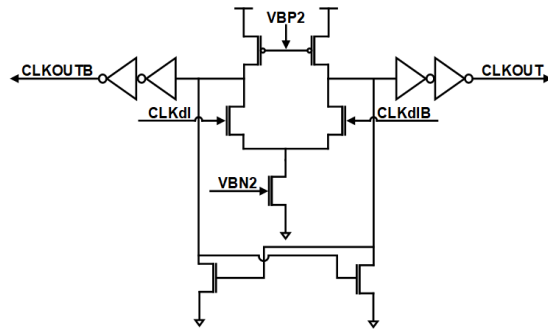


그림 7. 레벨 변환기의 회로도
Fig. 7 Schematic of the level converter

환기의 회로도이다. VCDL을 통해 나오는 차동 출력을 인버터를 통해 레일-투-레일을 구현한다. 이 때, 클록의 듀티는 DLL에서 중요하기 때문에, 듀티를 보정하기 위해 nmos latch가 사용되었다. 레벨 변환기의 출력 신호는 CLKOUT 하나만 사용되지만, 양쪽 출력 단자에 모두 버퍼 회로를 연결하였다. 이를 통해 출력 노드의 로드 임피던스를 동일하게 만들어 출력 신호의 밸런스 특성을 유지하였다.

III. 실험 결과

3.1 위상 스플리터의 특성

Global CLK을 1GHz로 인가했을 때, 위상 스플리

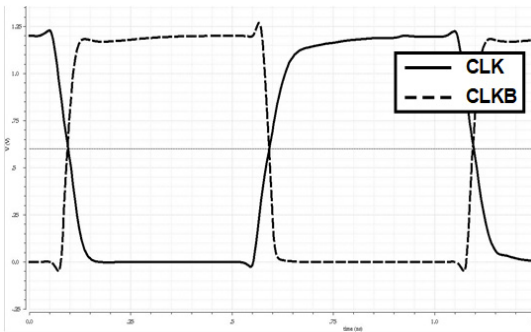


그림 8. 위상 스플리터 시뮬레이션 결과
Fig. 8 Simulation result of the phase splitter

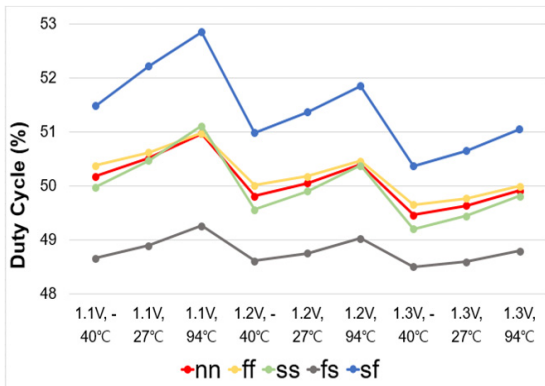
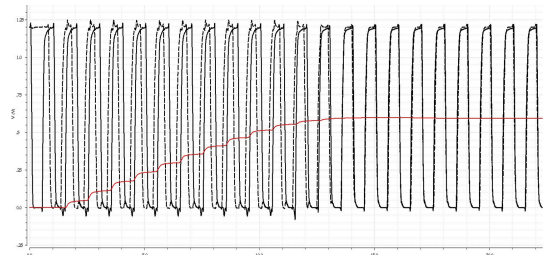


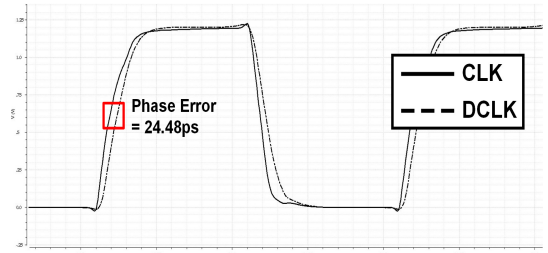
그림 9. 위상 스플리터의 듀티 사이클 특성
Fig. 9 Simulated duty cycle of the phase splitter

터의 시뮬레이션 결과는 typical 조건(nn, 1.2V, 27°C)에서 그림 8와 같다. CLKin과 위상이 각각 0°, 180° 차이가 나는 CLK, CLKB 출력이 생성된다. 본 조건에서 VDD/2에 해당하는 600mV에서 교차함을 알 수 있었다.

그림 9는 PVT variation에 따른 듀티 사이클의 결과이다. Typical 조건에서는 50.05%임을 확인 할 수 있었으며, best case는 ff, 1.2V, -40°C의 조건에서 50.01%, worst case는 sf, 1.1V, 94°C의 조건에서 52.86%인 것으로 측정되었다. 이 외에도 PVT variation에 따른 CLK, CLKB 두 출력 간의 skew 값을 측정해본 결과, typical 조건에서는 1.252ps로 해당 주기의 약 0.13%로 확인되었다. Best case는 nn, 1.1V, -40°C의 조건에서 0.0001ps, worst case는 sf, 1.1V, 94°C의 조건에서 25.78%로 skew 값이 주기의 3% 이하임을 확인했다.



(a)



(b)

그림 10. 제안된 DLL의 (a)동작과 (b)위상 오차
Fig. 10 (a) Operation and (b) phase error of the proposed DLL

3.2 전체 동작 실험 결과

그림 10(a)는 제안된 DLL 전체 회로의 typical 조건(nn, 1.2V, 27°C)에서의 시뮬레이션 결과이다. 약 19 사이클 이후 CLK과 DCLK이 정렬됨을 확인할 수 있었다. 그리고 빨간 그래프로 표시된 Vcont는 delay cell의 delay 양을 결정해주는 전압으로써, 해당 DLL에서는 597.83mV임을 확인할 수 있었다. 그림 10(b)는 locking 이후 시뮬레이션 결과를 확대해 놓은 그림이다. DCLK과 CLK의 rising edge 간의 위상 오차는 24.48ps이다. 이상적으로 위상 오차는 0이지만 이때의 위상 오차는 PD의 데드존 현상으로 인해 생긴 오차이다.

그림 11은 제안된 DLL의 DCLK 지터 특성을 보여 주고 있다. 시뮬레이션 결과, 지터는 typical 조건에서 약 1.05ps이다. 이 때, 지터가 발생하게 된 원인은 위상 오차로 인해 PD의 출력이 움직이게 되어 결과적으로 Vcont를 흔들어 delay에 영향을 주었기 때문이다.

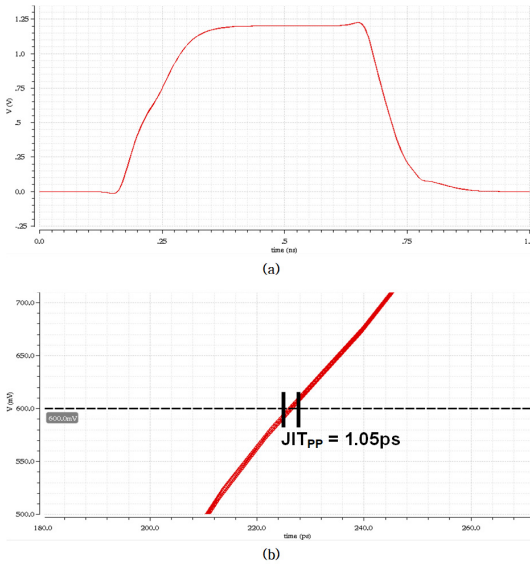


그림 11. 제안된 DLL의 지터
Fig. 11 Jitter of Proposed DLL

표 2. 제안된 DLL 특성 요약
Table. 2 Summary of the proposed DLL
(at 1GHz, nn, 1.2V, 27°C)

Process	CMOS 0.13 μ m
Supply voltage	1.2 V
Clock frequency	1 GHz
Lock Time	19 cycles
Phase error	24.48 ps
Jitter	1.05 ps
Kvcdl	1.1864 ns/V
Power consumption	9.08 mW

표 2는 제안된 DLL의 특성을 요약하여 보여주고 있다. 0.13 μ m CMOS 공정을 사용하여 설계되었으며, 공급 전압은 1.2V 이다. 이때 전력 소비는 9.08 mW로 시뮬레이션 되었다.

IV. 결론

최근에는 많은 코어 아키텍처가 IoT 및 모바일 장치용 모바일 SoC에 널리 사용되고 있다. 이러한 코어 시스템을 동기화하기 위해, 로컬 코어 블록에 공급되는 로컬 클럭 신호의 스큐를 보상할 필요가 있다. 본 논문은 로컬 클럭 왜곡을 보상하는 낮은 지터 성능을 가지는 지연 고정 루프를 제시한다. 제안된 회로에서 VCDL은 CML을 사용하는 자체 바이어스 지연 셀을 사용하여 온도에 민감하지 않고 잡음을 공급한다. 그리고 위상 스플리터는 VCDL의 차동 입력으로 사용되는 두 개의 기준 클럭을 생성한다. 제안된 회로의 PD는 CML을 사용하는 PD에 비해 적은 전력을 소비하는 CMOS 로직을 사용하기 때문에 PD는 위상 스플리터의 유일한 단일 클럭을 사용한다. 따라서 VCDL의 출력은 로컬 클럭 분배 회로뿐만 아니라 PD에 사용하기 위해 레벨 변환기에 의해 레일-투-레일 신호로 변환된다. 제안된 회로는 0.13 μ m CMOS 공정으로 설계되었으며, 주파수가 1GHz인 클럭이 외부에서 인가된다. 약 19 사이클 후에 제안된 DLL은 잠금이 되며, 이때 Vcont가 597.83mV이고 지터는 1.05 ps이다.

감사의 글

본 연구는 과학기술정보통신부 및 정보통신기획평가원의 대학ICT연구센터 육성지원 사업의 연구결과로 수행되었습니다 (IITP-2019-2016-0-00311). IDEC에서 EDA Tool를 지원받아 수행하였습니다.

References

- [1] S. Yeo, J. Kim, T. Cho, S. Cho, and S. Kim, "Design of Low Power Current Memory Circuit based on Voltage Scaling," *J. of the Korea Institute of Electronic Communication Science*, vol. 11, no. 2, 2016, pp. 159-164.
- [2] H. Moon, H. Kal, and W. Lee, "Study on Structure and Principle of Linear Block Error Correction Code," *J. of the Korea institute of Electronic Communication Science*, vol. 13, no. 4,

- 2018, pp. 721-728.
- [3] S. Yeo, T. Cho, Y. Shin, and S. Kim, "Design of OTA Circuit for Current-mode FIR Filter," *J. of the Korea Institute of Electronic Communication Science*, vol. 11, no. 7, 2016, pp. 659-664.
 - [4] H. Park, J. Kwon, T. Hwang, and D. Kim, "A Development of Fusion Processor Architecture for Efficient Main Memory Access in CPU-GPU Environment," *J. of the Korea Institute of Electronic Communication Science*, vol. 11, no. 2, 2016, pp. 151-158.
 - [5] B. Kim, J. Lee, T. Hwang, and D. Kim, "Design of Lightweight Artificial Intelligence System for Multimodal Signal Processing," *J. of the Korea Institute of Electronic Communication Science*, vol. 13, no. 5, 2018, pp. 1037-1042.
 - [6] K. Kim and J. Chong, "Mesochronous Clock Based Synchronizer Design for NoC," *J. of the Korea Institute of Electronic Communication Science*, vol. 10, no. 10, 2015, pp. 1123-1130.
 - [7] Y. Moon, J. Choi, K. Lee, D. Jeong, and M. Kim, "An all-analog multiphase delay-locked loop using a replica delay line for wide-range operation and low-jitter," *IEEE J. of Solid-State Circuits*, vol. 35, no. 3, Mar. 2000, pp. 377-384.
 - [8] D. Rennie and M. Sachdev, "Comparative Robustness of CML Phase Detectors for Clock and Data Recovery Circuit," *IEEE Int. Symp. on Quality Electronics Design*, San Jose, USA, 2007.
 - [9] J. Maneatis, "Low Jitter Process Independent DLL based on Self-Biased Techniques," *IEEE J. of Solid-State Circuits*, vol. 31, no. 11, Nov. 1996, pp. 1723-1732.
 - [10] D. Kim, "Complementary clock generator and method for generating complementary clocks," *United States Patent*, no. 5867043, Feb. 2, 1999.



정채영(Chae-Young Jung)

2015년~현재 서울과학기술대학교 전자IT미디어공학과 학사과정
 ※ 관심분야 : 저전력 클럭 회로 설계



이원영(Won-Young Lee)

2006년 KAIST 전기 및 전자공학과 졸업(공학사)
 2008년 KAIST 대학원 전기 및 전자공학과 졸업(공학석사)

2012년 KAIST 대학원 전기 및 전자공학과 졸업(공학박사)

2012~2015년 삼성전자 메모리사업부 책임연구원
 2015년~현재 서울과학기술대학교 전자IT미디어공학과 조교수

※ 관심분야 : VLSI, High-speed Serial Interface

