

# Ku-대역 마이크로스트립-SIW 및 마이크로스트립-HSIW 천이 구조

## Ku-Band Transitions between Microstrip and Substrate Integrated Waveguide and Microstrip and Hollow Substrate Integrated Waveguide

홍성준 · 김세일 · 이민표 · 임준수 · 김동욱

Sung-June Hong · Seil Kim · Min-Pyo Lee · Jun-Su Lim · Dong-Wook Kim

### 요약

본 논문에서는 위성통신 대역인 Ku-대역에서 사용할 수 있는 마이크로스트립 선로 입출력의 기판 집적 도파관 및 빈 공간 기판 집적 도파관의 천이 구조를 제공한다. 기판 집적 도파관의 유전체 부분을 제거한 빈 공간 기판 집적 도파관의 효율적 활용을 위해 마이크로스트립 선로로의 천이 구조를 설계 및 제작하고, 그 결과를 기판 집적 도파관 천이 구조와 비교하였다. Back-to-back 구조의 마이크로스트립 선로 입출력의 기판 집적 도파관 천이 구조는 12~18 GHz에서 20 dB 이상의 반사 손실과 1.5±0.2 dB의 삽입 손실이 측정되었고, back-to-back 구조의 빈 공간 기판 집적 도파관 천이 구조는 15 dB의 반사 손실과 0.55±0.2 dB의 삽입 손실이 측정되었다.

### Abstract

In this paper, we present a microstrip-to-substrate integrated waveguide(SIW) transition and microstrip-to-hollow SIW(HSIW) transition for Ku-band satellite communication systems. For the complete utilization of the HSIW, a structure filled with air instead of a dielectric material, a microstrip-to-HSIW transition is designed, fabricated, and compared with a microstrip-to-SIW transition. A back-to-back microstrip-to-SIW transition is measured in the range 12~18 GHz; it exhibits a return loss  $\geq 20$  dB and an insertion loss of 1.5±0.2 dB. In contrast, a back-to-back microstrip-to-HSIW transition exhibits a return loss of at least 15 dB and an insertion loss of 0.55±0.2 dB in the same frequency range.

Key words: Ku-Band, Transition, SIW, HSIW

## I. 서론

기판 집적 도파관(substrate integrated waveguide: SIW)은 구형 도파관의 저손실 전파 특성을 가지면서 평면형 전송선로 및 능·수동소자와의 집적이 용이하여 최근 관련 연구가 활발히 진행되고 있다. SIW는 PCB 공정을 사

용하므로 구형 도파관에 비해 부피가 작고 제작비가 저렴하여 대량 생산에 유리하다. 이러한 SIW의 장점들은 서브 밀리미터파 영역의 응용에 이르기까지 광범위하게 활용되고 있으며, 전력분배기, 전력결합기, 필터, 안테나 등의 다양한 분야에서 연구 결과가 발표되고 있다<sup>[1]~[3]</sup>.

그림 1과 같은 SIW는 K. Wu에 의해 처음으로 제안되

「이 논문은 2018년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2018R1D1A1B07049609).  
충남대학교 전파정보통신공학과(Department of Radio and Information Communications Engineering, Chungnam National University)  
· Manuscript received November 15, 2018 ; Revised January 28, 2019 ; Accepted January 30, 2019. (ID No. 20181115-116)  
· Corresponding Author: Dong-Wook Kim (e-mail: dwkim21c@cnu.ac.kr)

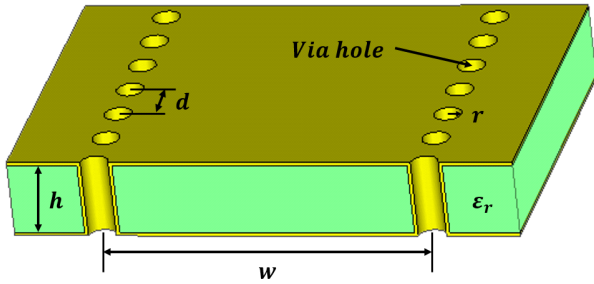


그림 1. 기판 집적 도파관  
Fig. 1. Substrate integrated waveguide.

있으며, PCB 기판에 평행한 두 열의 비아 홀을 주기적으로 배치하여 도파관을 구성하는 것으로, 마이크로스트립 선로에 비해 단위길이 당 손실이 작고 높은 전력 능력을 가진다<sup>[4],[5]</sup>.

그러나 SIW는 전송 매질로 채워져 있는 유전체의 손실로 인해 구형 도파관에 비해 손실이 크다는 단점이 있다. 이러한 손실 특성을 개선하기 위해 제안된 구조가 그림 2와 같은 빈 공간 기판 집적 도파관(hollow substrate integrated waveguide: HSIW)이다<sup>[6]</sup>. 이는 SIW에서 가장 큰 손실 요인으로 분류되는 유전체 부분을 제거하고 공기로 대체한 구조로서 위와 아래를 금속으로 덮어 유사 구형 도파관을 구현한다.

SIW와 HSIW의 전파 모드와 차단 주파수 특성은 구형 도파관의 특성을 따르지만, 이를 평면형 전송선로 및 소자 등과 집적하기 위해서는 불연속을 해결하기 위한 천이 구조(transition)가 필수적이다<sup>[7]</sup>. 본 논문에서는 Ku-대역의 SIW와 HSIW를 마이크로스트립 전송선로로 천이하는 구조를 설계하고 그 특성을 평가함으로써 개발된 구

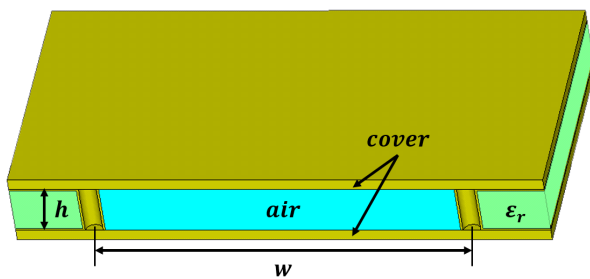


그림 2. 빈 공간 기판 집적 도파관  
Fig. 2. Hollow substrate integrated waveguide.

조의 유효성을 확인한다.

## II. 마이크로스트립-SIW 천이 구조

그림 3은 본 논문에서 설계한 마이크로스트립-SIW 천이 구조를 보여주고 있다. 그림에서  $w_{ms}$ 는 50 Ω 마이크로스트립 선로의 폭,  $r$ 은 비아 홀의 반지름,  $d$ 는 비아 홀의 간격,  $w_t$ 는 테이퍼(taper)의 선폭,  $l_t$ 는 테이퍼 길이,  $w_{tv}$ 는 테이퍼-비아(taper-via)의 폭,  $a_{SIW}$ 는 평행한 두 열로 배치된 비아 홀의 폭이고,  $w_{eq}$ 는 SIW의 실효폭이며, 식 (1)을 통해 계산할 수 있다<sup>[8]</sup>.

$$w_{eq} = \frac{c}{2f_c \sqrt{\epsilon_r}} \quad (1)$$

그림 3은 천이 구조에서 많이 사용하는 테이퍼 구조에 비아 홀을 추가하여 마이크로스트립-SIW 천이 구조의 임피던스 정합을 개선한 구조이다<sup>[4],[8]</sup>. 테이퍼 선폭인  $w_t$ 와 테이퍼 길이인  $l_t$  그리고 테이퍼-비아 폭인  $w_{tv}$ 는 식 (2)~식 (4)로 초기 값을 계산할 수 있다<sup>[8]</sup>. 테이퍼 길이인  $l_t$ 는 천이 구조의 중심 주파수를 결정하는 변수이며, 값이 커짐에 따라 중심 주파수가 하향되므로 설계 목표에 맞게 계산하여 값을 결정한다. 테이퍼 선폭인  $w_t$ 와 테이퍼-비아 폭인  $w_{tv}$ 는 그 값에 따라 정합도와 대역폭이 영향을 받므로 초기 값 계산 후 시뮬레이션을 통하여 최적화된다.

$$w_t = w_{ms} + 0.1547 a_{SIW} \quad (2)$$

$$l_t = 0.2368 \lambda_{g,ms} \quad (3)$$

$$w_{tv} = 0.8556 a_{SIW} \quad (4)$$

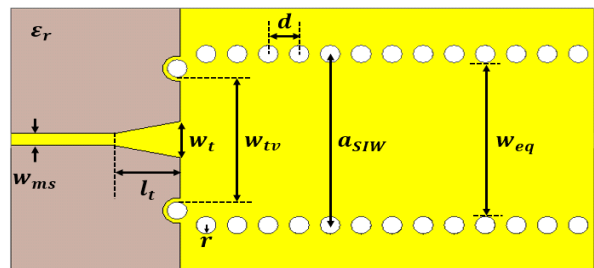


그림 3. 마이크로스트립-SIW 천이 구조  
Fig. 3. Microstrip-to-SIW transition.

여기서  $\lambda_{g,ms}$ 는 중심 주파수에서의 마이크로스트립 선로의 파장으로 식 (5)를 통해 얻을 수 있다<sup>7)</sup>.

$$\lambda_{g,ms} = \frac{\lambda_{g0}}{\sqrt{\epsilon_{r,eff}}} \quad (5)$$

이때  $\lambda_{g0}$ 는 자유공간에서의 파장이고,  $\epsilon_{r,eff}$ 는 중심 주파수에서 마이크로스트립 선로의 실효 유전율이다.

본 논문에서는 12 mil 두께의 Rogers 기판 RO4003C를 사용하였으며, 설계 목표는 표 1과 같고, 설계에 사용된 변수의 값은 표 2와 같다.

그림 4는 설계된 back-to-back 마이크로스트립-SIW 천이 구조의 시뮬레이션 결과를 나타내고 있다. 설계된 back-to-back 천이 구조는 전체 길이가 55.5 mm이고, 12~18 GHz에서 19 dB 이상의 반사 손실과 1.2±0.2 dB의 삽입 손실 특성을 보여 설계 목표를 만족하고 있다.

### III. 마이크로스트립-HSIW 천이 구조

그림 5는 본 논문에서 설계한 마이크로스트립-HSIW 천이 구조를 보여주고 있다. 그림에서  $w_{ms}$ 는 마이크로스트립 선로의 50 Ω 선폭,  $r$ 은 비아 홀의 반지름,  $d$ 는 비아 홀의 간격,  $w_{t,ms}$ 는 마이크로스트립 선로의 테이퍼

표 1. 마이크로스트립-SIW 천이 구조 설계 목표  
Table 1. Design goals of the microstrip-to-SIW transition.

Frequency [GHz]	12~18
Return loss [dB]	> 15
Insertion loss [dB]	< 1.5

표 2. 마이크로스트립-SIW 천이 구조에 사용한 최적화된 설계 변수의 값  
Table 2. Optimized geometrical design parameters of the microstrip-to-SIW transition.

Parameters	Value [mm]	Parameters	Value [mm]
$r$	0.5	$d$	1.5
$w_{ms}$	0.65	$a_{SIW}$	9.4
$w_t$	2	$w_{eq}$	8.4
$l_t$	3.2	$w_{tv}$	6.8

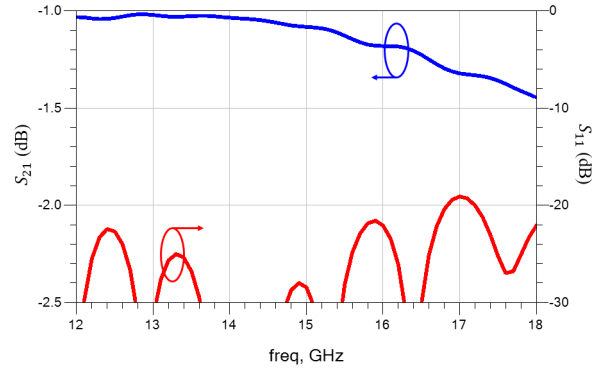


그림 4. Back-to-back 마이크로스트립-SIW 천이 구조의 S 파라미터 시뮬레이션 결과

Fig. 4. Simulated S-parameter results of the back-to-back microstrip-to-SIW transition.

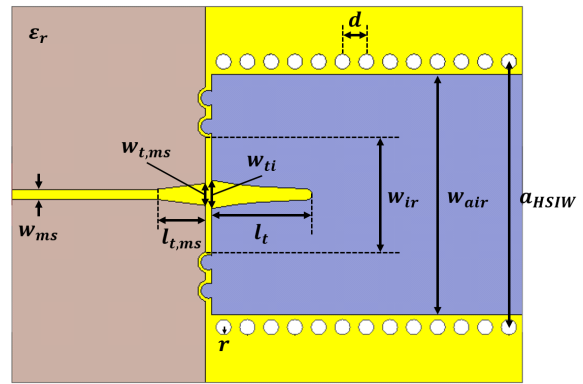


그림 5. 마이크로스트립-HSIW의 천이 구조  
Fig. 5. Microstrip-to-HSIW transition.

선폭,  $l_{t,ms}$ 는 마이크로스트립 선로의 테이퍼 길이,  $w_{ti}$ 는 HSIW 구조 내의 마이크로스트립 선로 테이퍼 폭,  $l_t$ 는 HSIW 내의 마이크로스트립 선로의 테이퍼 길이,  $w_{ir}$ 는 테이퍼-비아(taper-via)의 폭,  $a_{HSIW}$ 는 평행한 두 열로 배치된 비아 홀의 폭이고,  $w_{air}$ 는 HSIW의 빈 공간 폭이다. 기존 논문<sup>[9]</sup>에서는 금속이 도금되지 않은 아이리스(iris)의 삽입과 위치 선정을 통해 임피던스 정합을 수행하였고, 전자파 누설을 억제하기 위해 HSIW의 측면에 비아 홀 공정을 응용한 금속 차폐 벽을 삽입하였으나, 본 논문에서는 그림 6과 같이 마이크로스트립 선로와 HSIW의 경계면에 C-cutting된 비아 홀을 대칭적으로 배치하여 단락

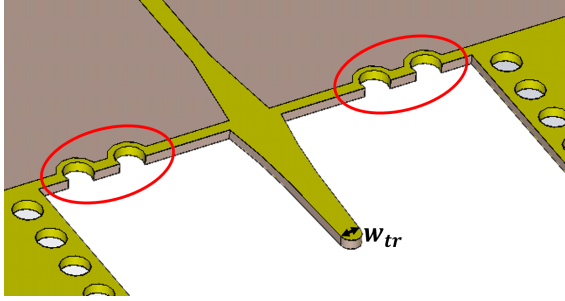


그림 6. 대칭적으로 배치한 C-cutting된 비아 홀  
Fig. 6. Symmetrically-located C-cut via-holes at the interface of the microstrip line and HSIW.

된 스텔브 효과를 인위적으로 만들어줌으로써 정합 특성을 개선하였고, 차폐 벽 공정을 제거함으로써 PCB 공정을 단순화하였다.

설계 변수인  $w_{t,ms}$ ,  $l_{t,ms}$ ,  $w_{ti}$ ,  $l_t$  그리고  $w_{ir}$  은 식 (6)~식 (10)으로 초기 값을 계산한다<sup>[9]</sup>. 마이크로스트립 선로의 테이퍼 길이인  $l_{t,ms}$ 와 HSIW 내 마이크로스트립 선로의 테이퍼 길이인  $l_t$ 는 천이 구조의 중심 주파수를 결정하는 변수이다. 이 값들을 크게 하면 중심 주파수가 하향 이동되고, 작게 하면 상향 이동이 일어나므로 설계 목표에 맞게 계산하여 값을 결정한다. 마이크로스트립 선로의 테이퍼 폭인  $w_{t,ms}$ 와 HSIW 내 마이크로스트립 선로의 테이퍼 폭인  $w_{ti}$  그리고 테이퍼-비아의 폭인  $w_{ir}$  변수들은 그 값에 따라 정합도와 대역폭을 결정해주는 변수이므로 초기 값을 계산한 후 시뮬레이션을 통해 설계 대역폭과 반사 손실에 따라 최적화된 변수 값을 결정한다.

$$w_{t,ms} = 4w_{tr} \tag{6}$$

$$l_{t,ms} = \frac{\lambda_{g,ms}}{4} \tag{7}$$

$$w_{ti} = 1.2w_{t,ms} \tag{8}$$

$$l_t = \frac{\lambda_{g0}}{4} \tag{9}$$

$$w_{ir} = \frac{w_{air} + w_{ti}}{2} \tag{10}$$

본 논문에서는 마이크로스트립-SIW 천이구조 설계에

표 3. 마이크로스트립-HSIW 천이 구조 설계 목표

Table 3. Design goals of the microstrip-to-HSIW transition.

Frequency [GHz]	12~18
Return loss [dB]	> 15
Insertion loss [dB]	< 0.9

표 4. 마이크로스트립-HSIW 천이 구조에 사용한 최적화된 설계 변수의 값

Table 4. Optimized geometrical design parameters of the microstrip-to-HSIW transition.

Parameters	Value [mm]	Parameters	Value [mm]
$r$	0.5	$d$	1.5
$w_{ms}$	0.65	$a_{HSIW}$	16.8
$w_{t,ms}$	1.4	$w_{air}$	15.2
$l_{t,ms}$	3.2	$w_{ir}$	7.7
$w_{ti}$	1.7	$w_{tf}$	0.4
$l_t$	6.2		

사용했던 기판과 같은 12 mil 두께의 RO4003C를 사용하여 마이크로스트립-HSIW 천이구조를 설계하였으며, 설계 목표는 표 3과 같고, 설계에 사용된 최적화된 변수의 값은 표 4와 같다.

그림 7은 설계된 back-to-back 마이크로스트립-HSIW 천

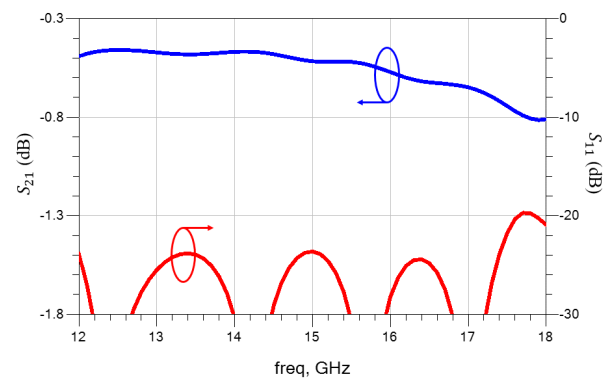


그림 7. Back-to-back 마이크로스트립-HSIW 천이 구조의 S 파라미터 시뮬레이션 결과

Fig. 7. Simulated S-parameter results of the back-to-back microstrip-to-HSIW transition.

이 구조의 시뮬레이션 결과를 나타내고 있다. 설계된 back-to-back 마이크로스트립-HSIW 천이 구조는 전체 길이가 55.5 mm이고, 12~18 GHz에서 19 dB 이상의 반사 손실과  $0.6 \pm 0.2$  dB의 삽입 손실 특성을 보여 설계 목표를 만족하였다.

#### IV. 제작 및 측정 결과

그림 8과 그림 9는 back-to-back 마이크로스트립-SIW 및 마이크로스트립-HSIW 천이 구조의 제작 사진을 보여 주고 있으며, 크기(reference plane 기준)는 모두  $55.5 \times 30$  mm<sup>2</sup>이다. Back-to-back 마이크로스트립-HSIW 천이 구조의 경우 PCB 제작 후 지그 자체 구조를 활용하여 HSIW의 상하 도체면을 형성하였다. 제작된 샘플의 측정은 커넥터의 삽입 손실을 보정하고, 기준면에서의 천이 구조 특성을 확인하기 위해 TRL(Thru-Reflect-Line) 오차 보정 방법을 사용하였다.

그림 10과 11은 back-to-back 마이크로스트립-SIW 및 마이크로스트립-HSIW 천이 구조 시뮬레이션과 측정 결과를 각각 비교한 그래프이다. 그림 10에서 측정된 back-to-back 마이크로스트립-SIW 천이 구조는 12~18 GHz에서 20 dB 이상의 반사 손실과  $1.5 \pm 0.2$  dB의 삽입 손실 특성을 보이고 있고, 그림 11의 back-to-back 마이크로스트립-HSIW 천이 구조는 동일 주파수 영역에서 15 dB의 반사 손실과  $0.55 \pm 0.2$  dB의 삽입 손실 특성을 보이고 있다.

Back-to-back 마이크로스트립-SIW 천이 구조의 반사 손실은 시뮬레이션과 매우 흡사한 결과를 보였지만, 삽입

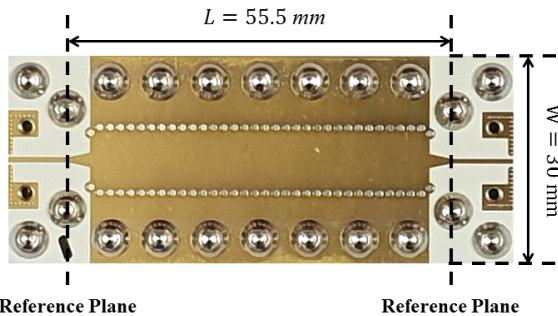
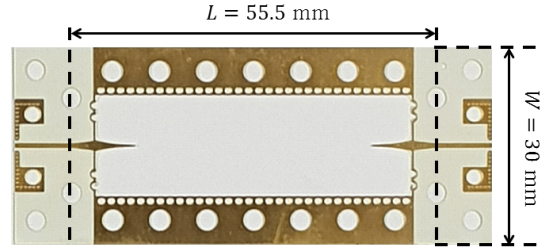


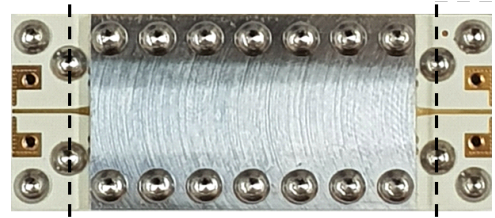
그림 8. 제작된 back-to-back 마이크로스트립-SIW 천이 구조

Fig. 8. Fabricated back-to-back microstrip-to-SIW transition.

손실은 약 0.3 dB 정도 증가하였다. Back-to-back 마이크로스트립-HSIW 천이 구조의 반사 손실은 시뮬레이션에 비해 측정 결과가 약 5 dB 정도 감소하였고, 삽입 손실은



(a) PCB 제작 부분  
(a) PCB part of HSIW



Reference Plane Reference Plane  
(b) 지그로 덮어 구성한 HSIW 구조  
(b) HSIW covered with Al jig plates

그림 9. 제작된 back-to-back 마이크로스트립-HSIW 천이 구조

Fig. 9. Fabricated back-to-back microstrip-to-HSIW transition.

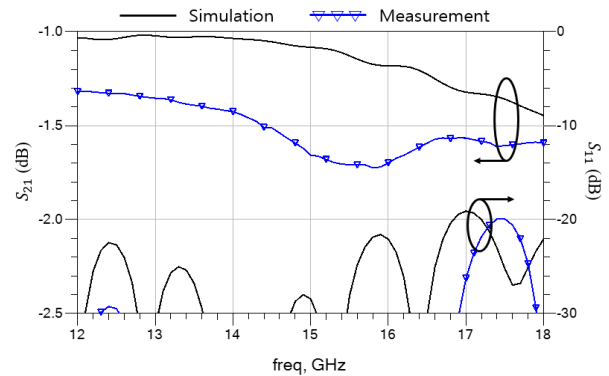


그림 10. Back-to-back 마이크로스트립-SIW 천이 구조의 S 파라미터 시뮬레이션 및 측정 결과

Fig. 10. Simulated and measured S-parameters of the back-to-back microstrip-to-SIW transition.

시뮬레이션에 비해 측정 결과가 약 0.05 dB 정도 개선됨을 확인할 수 있다.

그림 12는 12~18 GHz에서 back-to-back 마이크로스트립-SIW 및 마이크로스트립-HSIW 천이 구조의 측정 결과를 비교하고 있다. 12~18 GHz에서 HSIW가 SIW에 비해 삽입 손실이 약 1 dB 정도 개선되었음을 확인할 수 있었다.

그림 10의 마이크로스트립-SIW 천이 구조 결과에서 S 파라미터 시뮬레이션 결과와 측정 결과가 보인 약 0.3 dB

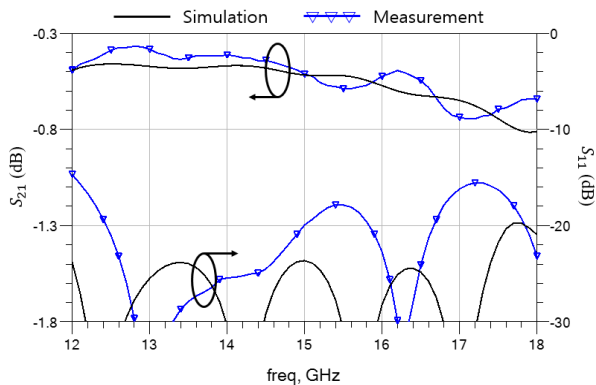


그림 11. Back-to-back 마이크로스트립-HSIW 천이 구조의 S 파라미터 시뮬레이션 및 측정 결과

Fig. 11. Simulated and measured S-parameters of the back-to-back microstrip-to-HSIW transition.

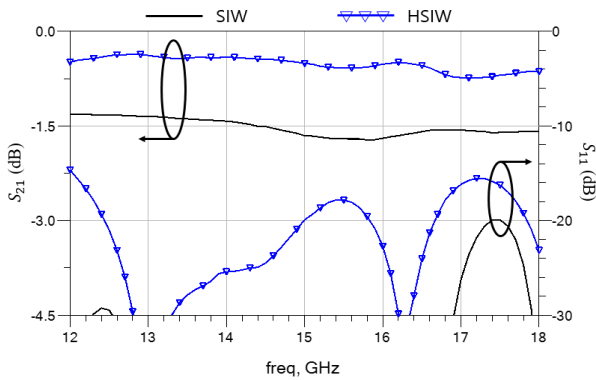


그림 12. Back-to-back 마이크로스트립-SIW 천이 구조와 마이크로스트립-HSIW 천이 구조의 S 파라미터 측정 결과 비교

Fig. 12. Comparison of the measured S-parameters of the back-to-back microstrip-to-SIW transition and back-to-back microstrip-to-HSIW transition.

의 삽입 손실 오차는 SIW 구조의 유전체 손실이 시뮬레이션에서 예상한 수치보다 더 크게 나온 데서 비롯된 것으로 추정되었다. 본 논문에서 사용된 RO4003C의 10 GHz에서의 손실 탄젠트(loss tangent)는 데이터시트 기준으로 0.0027이며, 이는 Ku-대역에서 다소 증가할 것으로 예상되었고, 실제 사용 조건에 따라 약간의 변동이 있을 것으로 추정되었다<sup>[10]</sup>. 그림 13은 손실 탄젠트를 약 20% 증가시킨 0.0033으로 설정하고, 시뮬레이션을 한 결과를 측정 결과와 비교하여 보여주고 있다. 그림 13의 삽입 손실 특성을 보면 손실 탄젠트 값의 변화로 인한 삽입손실 특성 저하를 확인할 수 있다.

그림 11의 back-to-back 마이크로스트립-HSIW 천이 구조의 S 파라미터 시뮬레이션 결과와 측정 결과를 비교해 보면 제작된 천이 구조는 반사 손실이 시뮬레이션 값에 비해 약 5 dB 증가되어 측정된 것을 확인할 수 있다. 이는 마이크로스트립-HSIW 천이 구조의 PCB 공정에 의한 오차에서 비롯되었다.

그림 14(a)의 제작된 HSIW 천이 구조를 보면 PCB 공정 오차로 인해 테이퍼 부분에 유전체가 남아있는 것을 확인할 수 있고, 설계에 사용한 파라미터 값들과 제작된

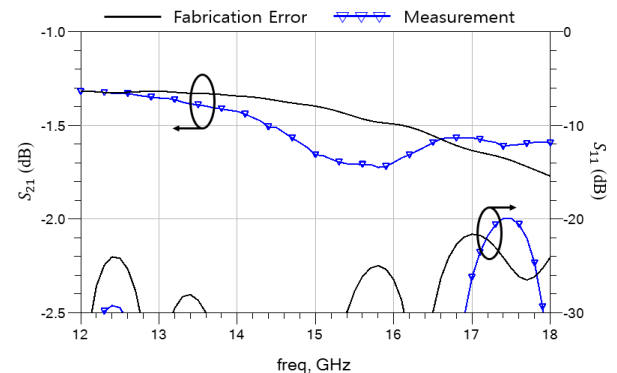


그림 13. Back-to-back 마이크로스트립-SIW 천이 구조의 측정 결과와 손실 탄젠트 값이 0.0033인 경우의 back-to-back 마이크로스트립-SIW 천이 구조의 S 파라미터 시뮬레이션 결과의 비교

Fig. 13. Comparison of the measured S-parameters of the fabricated back-to-back microstrip-to-SIW transition and the simulated S-parameters of the back-to-back microstrip-to-SIW transition with the loss tangent of 0.0033.

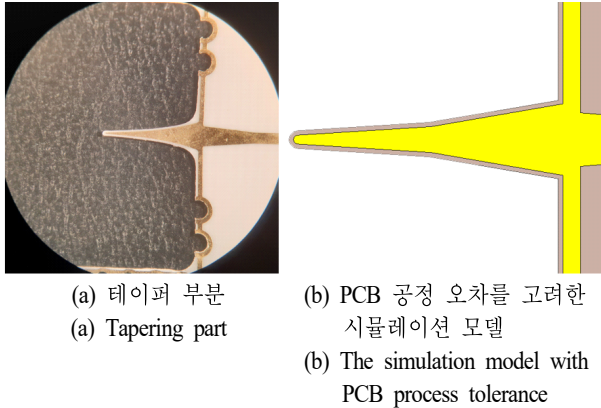


그림 14. 실제 제작된 back-to-back 마이크로스트립-HSIW 천이 구조의 테이퍼 부분 및 시뮬레이션 모델  
Fig. 14. Tapering part of the fabricated back-to-back microstrip-to-HSIW transition and its simulation model.

값들에서 일부 차이가 있는 것을 확인하였다. 이러한 공정 오차들을 고려하여 그림 14(b)와 같이 구조를 모델링하여 시뮬레이션을 하였다. 그림 15는 공정 오차를 고려한  $S$  파라미터 시뮬레이션 결과를 측정 결과와 비교하고 있다. 공정 오차를 고려한 시뮬레이션 결과는 측정 결과와 마찬가지로 원래 시뮬레이션 결과에 비해 반사 손실

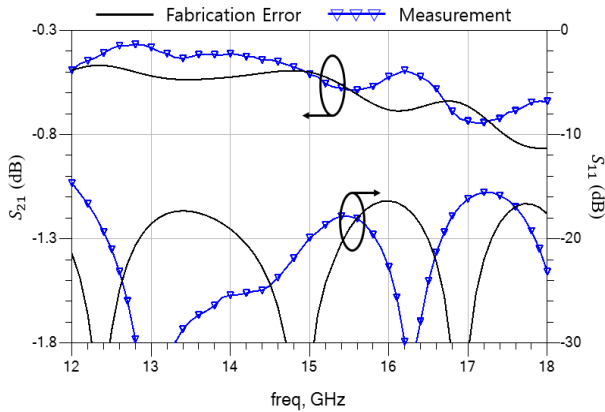


그림 15. PCB 공정 오차를 고려한 back-to-back 마이크로스트립-HSIW 천이 구조의  $S$  파라미터 시뮬레이션 결과와 측정 결과  
Fig. 15. Simulated  $S$ -parameters of the back-to-back microstrip-to-HSIW transition with PCB process tolerance and measured  $S$ -parameters of the fabricated back-to-back microstrip-to-HSIW transition.

이 약 5 dB 증가하는 특성을 보였다.

표 5는 back-to-back 마이크로스트립-SIW 천이 구조를 기존 발표 논문들의 제작 결과와 비교한 결과를 보여주고 있다<sup>[8],[11]</sup>. SIW 구조의 경우, 사용되는 PCB의 유전체 손실이 손실의 주요 부분을 차지하므로 사용된 Rogers 사의 기판에 따라 손실 특성이 달라지는 것을 알 수 있으며, 동일한 RO4003C 기판을 사용하여 제작한 논문과 비교할 때 단위 길이 당 삽입 손실 특성은 본 논문의 결과가 개선되었음을 확인할 수 있다<sup>[11]</sup>.

표 6은 back-to-back 마이크로스트립-HSIW 천이 구조를 기존 발표 논문들의 제작 결과와 비교한 결과를 보여주고 있다<sup>[9],[12]</sup>. 동일한 RO4003C 기판을 사용하여 제작한 논문<sup>[9]</sup>에 비해 본 논문의 back-to-back 천이 구조의 삽입 손실이 유사 길이의 크기임에도 0.45 dB 개선되었음을 확인할 수 있다. 이는 C-cutting 비아 홀을 활용한 천이 구조의 개선과 더불어 기판 두께의 차이로 인해 50  $\Omega$  마이크로스트립 선로의 선폭  $w_{ms}$ 와 마이크로스트립 선로의 테이퍼 선폭인  $w_{t,ms}$ , 그리고 HSIW 내 마이크로스트립 선로의 테이퍼 폭인  $w_{ti}$ 의 차이가 상대적으로 적은 것이 기인한다.

표 5. 기존 발표된 back-to-back 마이크로스트립-SIW 천이 구조 결과와 본 논문의 결과 비교

Table 5. Comparison of the previously published back-to-back microstrip-to-SIW transition results and our work.

	This work	Ref. [8]	Ref. [11]
Frequency [GHz]	12~18	12.4~18	8~15
Return loss [dB]	$\geq 20$	$\geq 25$	$\geq 20$
Insertion loss [dB]	$\leq 1.7$	$\leq 0.8$	$\leq 1.0$
Length [mm]	55.5	33*	24.8
Insertion loss per unit length [dB/mm]	$\leq 0.0306$	$\leq 0.0242$	$\leq 0.0403$
Substrate	RO4003C	RO6002	RO4003C
$\epsilon_r$	3.55	2.94	3.55
$\tan \delta @ 10$ GHz	0.0027	0.0012	0.0027
Thickness [mm]	0.305	0.508	0.208

\*: Estimated from the fabrication photograph

표 6. 기존 발표된 back-to-back 마이크로스트립-HSIW 천이 구조 결과와 본 논문의 결과 비교

Table 6. Comparison of the previously published back-to-back microstrip-to-HSIW transition results and our work.

	This work	Ref. [9]	Ref. [12]
Frequency [GHz]	12~18	12~18	6.6~16.5
Return loss [dB]	≥ 15	≥ 20	≥ 13.5
Insertion loss [dB]	≤ 0.75	≤ 1.2	≤ 1.5
Length [mm]	55.5	51*	36*
Insertion loss per unit length [dB/mm]	≤ 0.0135	≤ 0.0235	≤ 0.0417
Substrate	RO4003C	RO4003C	RO5880
$\epsilon_r$	3.55	3.55	2.20
$\tan\delta$	0.0027	0.0027	0.0009
Thickness [mm]	0.305	0.813	0.508

\*: Estimated from the fabrication photograph

## V. 결 론

본 논문은 Ku-대역 마이크로스트립-SIW 및 마이크로스트립-HSIW 천이 구조를 설계 및 제작한 결과를 보였다. 제작된 back-to-back 마이크로스트립-HSIW 천이 구조는 12~18 GHz에서 15 dB 이상의 반사 손실과 0.55±0.2 dB의 낮은 삽입 손실 특성을 보였으며, 같은 길이의 back-to-back 마이크로스트립-SIW 천이 구조에 비해 삽입 손실이 약 1 dB 개선됨을 확인하였고, 같은 구조의 기존 논문 결과에 비해서도 약 0.45 dB의 삽입 손실이 개선되었다. 개발된 마이크로스트립-HSIW 천이 구조는 저손실 및 경량의 소형 전송 구조를 요구하는 초고주파 시스템에 유용하게 활용될 수 있을 것이다.

## References

[1] A. A. Khan, M. K. Mandal, "Miniaturized Substrate Integrated Waveguide(SIW) power dividers," *IEEE Microwave and Wireless Components Letters*, vol. 26, no. 11, pp. 888-890, Nov. 2016.

[2] H. Zhang, W. Kang, and W. Wu, "Miniaturized dual-band SIW filters using E-shaped slotlines with controllable center frequencies," *IEEE Microwave and Wireless Com-*

*ponents Letters*, vol. 28, no. 4, pp. 311-313, Apr. 2018.

[3] D. J. Wei, J. Li, G. Yang, J. Liu, and J. J. Yang, "Design of compact dual-band SIW slotted array antenna," *IEEE Antennas and Wireless Propagation Letters*, vol. 17, no. 6, pp. 1085-1089, Jun. 2018.

[4] D. Deslandes, K. Wu, "Integrated microstrip and rectangular waveguide in planar form," *IEEE Microwave and Wireless Components Letters*, vol. 11, no. 2, pp. 68-70, Feb. 2001.

[5] D. Deslandes, K. Wu, "Single-substrate integration technique of planar circuits and waveguide filters," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 2, pp. 593-596, Feb. 2003.

[6] N. Ranjesh, M. Shahabadi, "Reduction of dielectric losses in substrate integrated waveguide," *Electronics Letters*, vol. 42, no. 21, pp. 1230-1231, Oct. 2006.

[7] D. M. Pozar, *Microwave Engineering*, John Wiley & Sons Inc., 2005.

[8] Z. Kordiboroujeni, J. Bornemann "New wideband transition from microstrip line to substrate integrated waveguide," *IEEE Transactions on Microwave Theory and Techniques*, vol. 62, no. 12, pp. 2983-2989, Dec. 2014.

[9] H. Esteban, A. Belenguer, J. R. Sanchez, C. Bachiller, and V. E. Boria, "Improved low reflection transition from microstrip line to empty substrate-integrated waveguide," *IEEE Microwave and Wireless Component Letters*, vol. 27, no. 8, pp. 685-687, Aug. 2017.

[10] Rogers Corporation, RO4003C, Available: <https://www.rogerscorp.com>.

[11] O. Konc, D. Maassen, F. Rautschke, and G. Boeck, "Wideband substrate integrated waveguide Ku-band coupler," in *2016 21st International Conference on Microwave, Radar and Wireless Communications(MIKON)*, Krakow, Poland, May 2016, pp. 1-4.

[12] H. Peng, X. Xia, J. Dong, and T. Yang, "An improved broadband transition between microstrip and empty substrate integrated waveguide," *Microwave and Optical Technology Letters*, vol. 58, no. 9, pp. 2227-2231, Sep. 2016.



홍 성 준 [충남대학교/석사과정]



2018년 2월: 충남대학교 전파공학과 (공학사)  
2018년 3월~현재: 충남대학교 전자전파 정보통신공학과 석사과정  
[주 관심분야] 빈 공간 기판집적도파관, 3차원 프린팅 기술, 마이크로파 및 밀리미터파 전력증폭기 모듈

임 준 수 [충남대학교/석사과정]



2018년 8월: 충남대학교 전파공학과 (공학사)  
2018년 9월~현재: 충남대학교 전자전파 정보통신공학과 석사과정  
[주 관심분야] GaN HEMT 광대역 전력증폭기, 마이크로파 및 밀리미터파 전력증폭기 모듈

김 세 일 [충남대학교/석사과정]



2017년 2월: 충남대학교 전파공학과 (공학사)  
2017년 9월~현재: 충남대학교 전자전파 정보통신공학과 석사과정  
[주 관심분야] GaN HEMT 고출력 전력증폭기, 마이크로파 및 밀리미터파 전력증폭기 모듈

김 동 욱 [충남대학교/교수]



1990년 2월: 한양대학교 전자통신공학과 (공학사)  
1992년 2월: 한국과학기술원 전기및전자공학과 (공학석사)  
1996년 8월: 한국과학기술원 전기및전자공학과 (공학박사)  
1991년 8월~2000년 5월: LG 종합기술원

선임연구원

2000년 6월~2002년 8월: (주)텔레포스 연구소장

2002년 9월~2004년 9월: 에스원기술연구소 응용기술팀장

2009년 6월~2009년 12월: ETRI 초빙연구원

2010년 1월~2011년 1월: 미국 UCSD 방문교수

2004년 10월~현재: 충남대학교 전파정보통신공학과 교수

[주 관심분야] 초고속 및 초고주파 집적회로, 마이크로파 및 밀리미터파 전력증폭기 모듈, 근거리 레이더 모듈

이 민 표 [충남대학교/석사과정]



2018년 2월: 충남대학교 전파공학과 (공학사)  
2018년 3월~현재: 충남대학교 전자전파 정보통신공학과 석사과정  
[주 관심분야] GaN HEMT 광대역 전력증폭기, 마이크로파 및 밀리미터파 전력증폭기 모듈