ISSN : 1226-7244 (Print)
ISSN : 2288-243X (Online)
논문번호 19-01-52
338

j.inst.Korean.electr.electron.eng.Vol.23,No.1,338~341,March 2019
http://dx.doi.org/10.7471/ikeee.2019.23.1.338

Series Connected-NPN 및 N-Stack기술 적용을 통하여 높은 홀딩전압특성을 갖는 새로운 구조의 SCR에 관한 연구

A Study on SCR of New Structure with High Holding Voltage Characteristics by Applying Series Connected-NPN and N-Stack Technology

서 정 주*, 권 상 욱*, 도 경 일*, 이 병 석*, 구 용 서*★

Jeong-Ju Seo*, Sang-Wook Kwon*, Kyoung-Il Do*, Byung-Seok Lee*, Yong-Seo Koo*★

Abstract

In this paper, we propose a novel ESD device with improved characteristics of LVTSCR, which is a representative ESD protection device, and verify the N-stack technology for design optimized for each required voltage of a specific application. The characteristics of the holding voltage and the trigger voltage, which are the main parameters, are examined and the temperature characteristic, which is an indicator of the tolerance characteristic, is also verified. well region and a parasitic NPN to form a series-connected structure. We used synopsys' T-cad simulation tool for characterization.

요 약

본 논문에서는 대표적인 ESD 보호소자인 LVTSCR의 특성을 향상시킨 새로운 구조의 ESD소자를 제안하고 특정 application의 각 요구전압에 최적화된 설계를 위한 N-stack 기술에 대하여 검증한다. 주요 파라미터인 홀딩전압과 트리거전압에 대하여 특성을 파악하고 감내특성의 지표인 온도특성 또한 검증한다. well영역의 추가구성과 기생 npn BJT를 추가로 직렬 연결된 구조를 형성하여 보다 향상된 전기적 특성을 갖는다. 특성 검증을 위해 synopsys 사의 T-cad simulation tool을 이용하였다.

Key words : ESD, SCR, BJT, holding voltage

* Dept. of Electronics Engineering, DanKook Unversity
★ Corresponding author
E-mail : poer0202@naver.com, Tel : +82-31-8005-3625

※Acknowledgment
This research was supported by the MIST(Ministry of Science and ICT), Korea, under the ITRC(Information Technology Research Center) support porgram(IITP-2019-2018-0-01421) supervised by the IITP(Institute of Information & communications Technology Planning & Evaluation) and the Ministry of Trade, Industry & Energy (10065137, "Boosted Class-DG Audio Power Amplifier with Embedded ADC for Mobile Speaker Protection")
Manuscript received Mar. 12, 2019; revised Mar. 22, 2019; accepted Mar. 26, 2019.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited

Ⅰ. 서론

ESD(Electro-Static Discharge)란 대전된 기계나 인체가 반도체 IC의 외부 핀과 접촉 했을 때, 외부 핀을 통해 높은 전압과 전류가 짧은 시간동안 인가되어 IC내부의 반도체 소자와 금속 배선 등을 파괴하고 회로의 오작동을 유발시켜 IC를 손상시키는 현상이다. 이러한 ESD방전에 의해 파괴되는 IC는 대략 25~30% 정도로, 상당수 IC불량의 원인을 차지한다. 반도체 공정기술이 고집적 및 고속화 됨에 따라 low pin-capacitance의 요구와 반도체 소자의 gate-oxide 두께가 지속적으로 얇아지고 있다[1][2]. pin-capacitance는 반도체 소자의 접합cap이 전체의 50% 이상을 차지하고, I/O PAD에 연결되는 I/O Clamp용 ESD방전 소자의 기생 접합cap이 큰 부분을 차지하고 있다. pin-capacitance는 신호의 보전성 및 입출력 부분에 악영향을 끼치므로 high-frequency 제품에서 pin-capacitance의 감소는 필수적이다[3][5]. 따라서 ESD방전 소자의 기생 capacitance를 감소시키려는 연구가 지속되고 있다. ESD방전 보호 특성이 우수하고 기생 capacitance를 감소시킬 수 있는 ESD방전 보호 회로로는 SCR(Silicon-Controlled Rectifier)이 널리 사용되고 있다. SCR은 N-well과 P-well로 접합영역이 이루어져 있어 기생 capacitance가 작고, 기생 NPN/PNP BJT동작으로 높은 전류 구동능력을 갖는다. 그러나 SCR의 구조상 두 well간의 높은 항복전압 때문에 약 20에 가까운 트리거 전압을 갖고, 기생 BJT의 높은 전류 이득 때문에 1~2V의 낮은 홀딩 전압을 갖는다[4]. 낮은 홀딩 전압 때문에 ESD외의 noise 및 overshoot 등으로 인한 IC손상 및 Latch-up 이슈를 일으킬 수 있기 때문에 구조적 변경과 N-stack 기술을 사용하여 이런 문제점을 해결하였다. 제안된 ESD보호소자는 T-cad simulation tool을 통하여 검증 하였다.

Ⅱ. 본론

1. Proposed ESD Device

그림 1, 2은 Conventional LVTSCR의 단면도와 등가회로 이다. 애노드 단에 ESD전류가 유입되면 N-well영역의 전위가 상승하고, P-well간의 avalanche-breakdown이 발생한다. 이로 인해 EHP(Electron-Hole pair)이 생성되고 hole current는 P-well의 전위를 상승시켜 다이오드를 턴온 시키고 electron current는 N-well의 전위를 상승시켜 다이오드를 턴온 시킨다. 따라서 각각 NPN/PNP BJT가 턴온 되고, 두 BJT는 서로의 base current를 공급하며 positive feedback 동작을 하여 ESD전류를 방전시킨다.

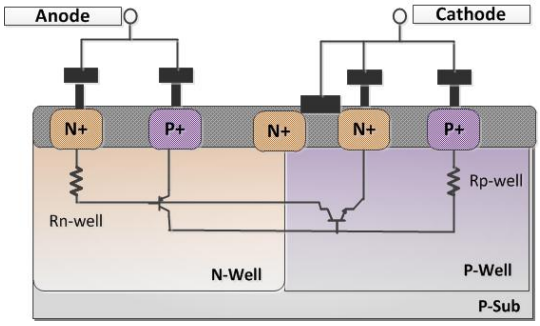

Fig. 1. Cross sectional view of LVTSCR.
그림 1. LVTSCR의 단면도

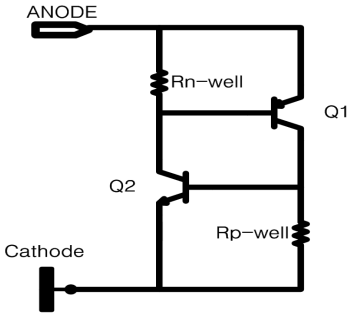

Fig. 2. Equivalent circuit of LVTSCR.
그림 2. LVTSCR의 등가회로

그림 3, 4은 제안된 ESD보호소자의 단면도와 등가회로 이다. 중앙의 N-well을 floating한 구조 및 추가적인 P-well을 형성하여 기생NPN BJT가 하나 더 동작하게 된다. 따라서 낮은 전류 이득으로 인해

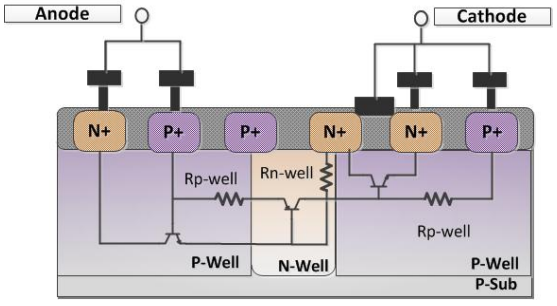

Fig. 3. Cross sectional view of Proposed Device.
그림 3. 제안된 소자의 단면도

기존의 LVTSCR보다 높은 홀딩전압을 갖게 되고, 추가적인 직렬연결된 NPN BJT로 인해 보다 향상된 감내특성 및 낮은 capacitance 특성을 지닌다.

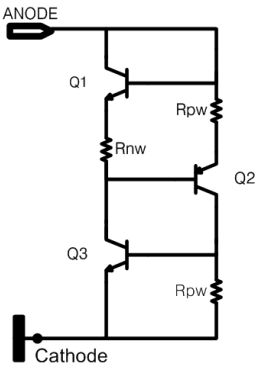

Fig. 4. Equivalent circuit of Proposed Device.
그림 4. 제안된 소자의 등가회로

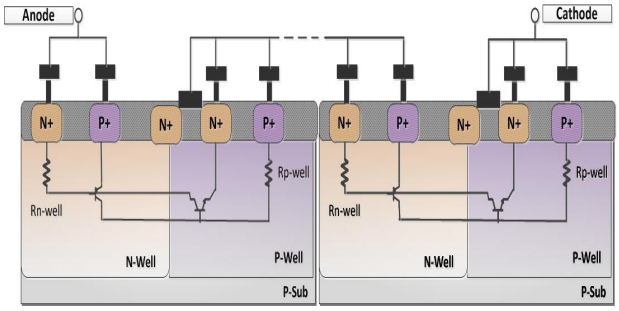

Fig. 5. Cross sectional view of N-stacked LVTSCR.
그림 5. N-stack 기술을 적용한 LVTSCR의 단면도

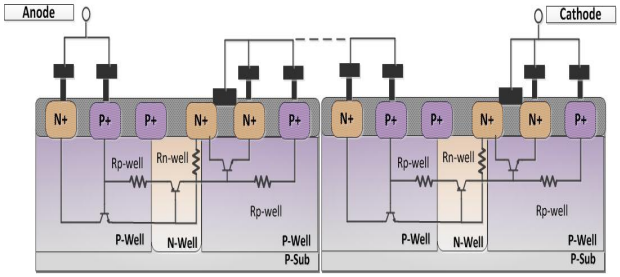

Fig. 6. Cross sectional view of N-stacked Proposed Device.
그림 6. N-stack 기술을 적용한 제안된 소자의 단면도

그림 5, 6은 application의 전압별 요구전압을 충족시키기 위해 각각 LVTSCR과 Proposed Device를 N-stack 한 구조이다. N-stack 기술이 적용되면 ESD전류가 유입될 때 첫 stage의 캐소드 단을 통해 다음 stage의 애노드 단으로 넘어가면서 방전이 이루어진다. 이 매커니즘으로 인해 적용 단계에 따라 트리거 전압과 홀딩 전압이 상승하는 효과를 가져온다.

2. 시뮬레이션 결과

본 논문에서는 제안된 소자의 전기적 특성을 검증하기 위해 synopsis 사의 T-cad simulation tool을 사용하였다. 그림 7은 제안된 보호소자의 I-V 특성을 LVTSCR과 비교하여 나타낸 것이다.

시뮬레이션 결과 LVTSCR은 약 1.5V정도의 낮은 홀딩 전압을 갖는 반면 제안된 소자는 2.2V정도로 보다 향상된 홀딩 전압 특성을 갖는다.

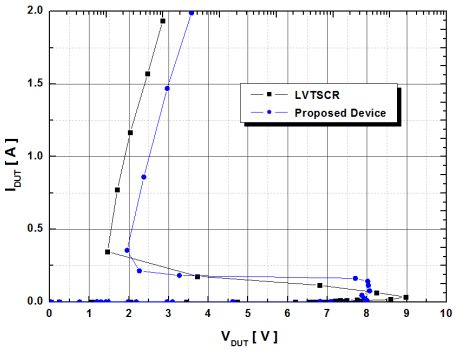

Fig. 7. IV-Curve of LVTSCR and Proposed Device.
그림 7. LVTSCR과 제안된 소자의 IV-Curve

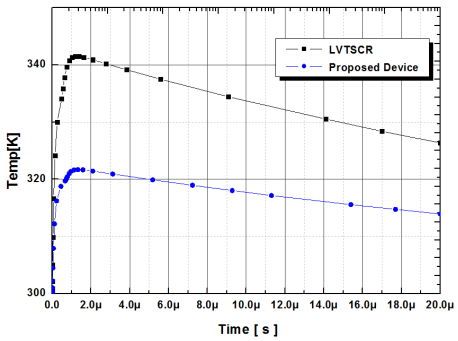

Fig. 8. HBM-4K Temperature Characteristic of LVTSCR and Proposed Device.
그림 8. LVTSCR과 제안된 소자의 HBM-4K 온도 특성

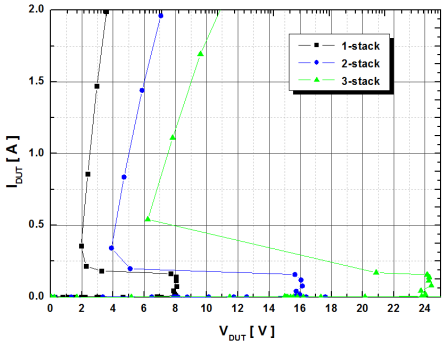

Fig. 9. IV-Curve of Device with N-stack technology.
그림 9. N-stack 기술이 적용된 소자의 IV-Curve

그림 8은 제안된 보호소자의 감내 특성을 검증하기 위한 온도특성을 LVRSCR과 비교하여 나타낸 것이다. 시뮬레이션 결과 추가적인 기생 NPN BJT로 인해 향상된 감내특성을 갖는다.

그림 9은 제안된 보호소자에 N-stack 기술을 적용한 시뮬레이션 결과이다. Stack의 수 에 따라 트리거전압과 홀딩전압이 증가하여 요구되는 여러 application에 따라 적절히 적용할 수 있다.

Table 1. Trigger voltage and Holding voltage measurement results for each structure.
표 1. 각 구조별 트리거전압과 홀딩전압 측정결과

	LVTSCR	Proposed device	2-stack	3-stack
trigger voltage(V)	9.2	8.1	16.1	24.2
holding volgate(V)	1.5	2.2	3.9	6.2

Table 2. HBM-4K Temperature measurement results for each structure.
표 2. 각 구조별 HBM-4K 온도측정 결과

	LVTSCR	Proposed device
Temperature(K)	342	322

III. 결론

본 논문에서는 기존의 LVTSCR 의 홀딩전압과 감내특성을 향상시킨 ESD보호소자를 제안하였으며, 전압 최적화를 위한 N-Stack 기술에 대하여 검증하였다. 검증결과 추가적인 well구성과 직렬연결된 기생 NPN BJT의 영향으로 높아진 홀딩전압과 향상된 감내특성을 입증하였다. 또한 N-stasck 기술을 새로운 보호소자에 적용하여 application에 따라 홀딩전압을 최적화하여 적용할 수 있음을 검증하였다.

References

[1] S. Tiwari, T. Undeland, S. Basu, and W. Robbins, “Silicon carbide power transistors, characterization for smart grid applications,” *in Power Electronics and Motion Control Conference(EPE/PEMC)*, 2012 15th International, pp. LS6d.2 - 1 - LS6d.2 - 8, 2012. DOI: 10.1109/EPEPEMC.2012.6397497

[2] R. Kaplar, M. J. Marinella, S. DasGupta, M. A. Smith, S. Atcitty, M. Sun, and T. Palacios, “Characterization and reliability of sic-and ganbased power transistors for renewable energy applications,” *in 2012 IEEE Energytech,, EOS/ESD Symp,* pp. 77-86, 2012. DOI: 10.1109/EOSESD.2006.5256797

[3] T. Phulpin, D. Trémouilles, K. Isoird, D. Tournier, P. Godignon, P.Austin, “Analysis of an ESD failure mechanism on a SiC MESFET,” *Microelectronics Reliability*, Volume 54, Issues-10, pp. 2217-2221, 2014.
DOI: 10.1016/j.microrel.2014.07.134

[4] Fayyaz A, Castellazzi A, “Performance and robustness testing of SiC power devices,” *In: 6th IET international conference on power electronics*, machines and drives (PEMD 2012), pp. 1-5, 2012. DOI: 10.1049/cp.2012.0152

[5] Kyoung-Il Do, Byoung-Seok Lee, Yong-Seo Koo, “Study on 4H-SiC GGNMOS based ESD Protection Circuit with Low Trigger Voltage Using Gate-Body Floating Technique for 70V Application,” *in Electron Device Letter*, vol. 40, pp. 283-286, 2018, DOI : 10.1109/LED.2018.2885846