ISSN : 1226-7244 (Print)
ISSN : 2288-243X (Online)
논문번호 19-01-29

j.inst.Korean.electr.electron.eng.Vol.23,No.1,207~213,March 2019
http://dx.doi.org/10.7471/ikeee.2019.23.1.207

객체 추적을 위한 특징점 검출기의 설계 및 구현

Design and Implementation of Feature Detector for Object Tracking

이 두 현*, 김 현*, 조 재 찬*, 정 윤 호*★

Du-hyeon Lee*, Hyeon Kim*, Jae-chan Cho*, Yun-ho Jung*★

Abstract

In this paper, we propose a low-complexity feature detection algorithm for object tracking and present hardware architecture design and implementation results for real-time processing. The existing Shi-Tomasi algorithm shows good performance in object tracking applications, but has a high computational complexity. Therefore, we propose an efficient feature detection algorithm, which can reduce the operational complexity with the similar performance to Shi-Tomasi algorithm, and present its real-time implementation results. The proposed feature detector was implemented with 1,307 logic slices, 5 DSP 48s and 86.91Kbits memory with FPGA. In addition, it can support the real-time processing of 54fps at an operating frequency of 114MHz for 1920 × 1080 FHD images.

요 약

본 논문에서는 객체 추적을 위한 간소화된 특징점 검출 알고리즘을 제안하고, 이의 실시간 처리를 위한 하드웨어 구조 설계 및 구현 결과를 제시한다. 기존 Shi-Tomasi 알고리즘은 객체 추적 응용에서 우수한 성능을 보이지만, 연산 복잡도가 큰 문제가 존재한다. 따라서, 기존 알고리즘에 비해 연산 복잡도를 간소화시키면서 유사한 성능 지원이 가능한 효율적인 특징점 검출 알고리즘을 제안하고, 하드웨어 설계 및 구현 결과를 제시한다. 제안된 특징점 검출기는 FPGA 기반 구현 결과, 1,307개의 logic slices, 5개의 DSP 48s, 86.91Kbit의 메모리로 구현 가능함을 확인하였으며, 114MHz의 동작 주파수로 1920×1080 FHD급 영상에 대해 54fps의 실시간 처리가 가능하다.

Key words : computer vision, feature detection, FPGA, object tracking, Shi-Tomasi

Ⅰ. 서론

최근 영상을 이용하여 정보 획득, 식별, 추적 등을 수행하는 영상 처리 기술은 의료, 생체 인식, 군사, 그리고 공장 자동화 등 여러 분야에서 활용되며 많은 연구가 진행되고 있다[1]-[3]. 영상 처리 기술에는 활용하고자 하는 목적에 따라 화질 개선 알고리즘, 물체 검출 알고리즘, 추적 알고리즘 등 다양한 알고리즘이 존재한다. 그중 객체 추적 알고리즘은 영상 내 물체의 움직임을 궤적 정보로 나타

* School of Electronics and Information Engineering, Korea Aerospace University
★ Corresponding author
E-mail : yjung@kau.ac.kr, Tel : +82-2-300-0133
※ Acknowledgment
This work was supported by the Technology Innovation Program, 10080619, funded by the Ministry of Trade, Industry and Energy (MOTIE, Korea) and CAD tools were supported by IDEC.
Manuscript received Mar. 10, 2019; revised Mar. 17, 2019; accepted Mar. 20, 2019.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

내는 영상 처리 기술로, 감시 카메라나 드론 비행 안정화, 차량용 ADAS 등 다양한 응용에서 활용된다[4], [5].

대부분의 객체 추적 알고리즘이 적용되는 드론 비행 안정화 및 차량용 ADAS 응용 분야에서는 탑재 중량 및 전력 소모와 같은 제한된 재원이 존재하며, 안전을 위한 실시간 처리 기능이 필수적으로 요구된다. 하지만 객체 추적 알고리즘은 영상 내에서의 특징점을 추출 및 선별하는 알고리즘과 선별된 특징점들의 이동거리를 연산하여 추적하는 알고리즘 등 다수의 복잡한 알고리즘들이 결합되므로, 많은 처리 시간이 소요된다. 이에 실시간 처리가 요구되는 응용에 활용하려면, 처리 시간을 단축하기 위해 구성되는 알고리즘 일부를 하드웨어로 구현하여 가속화할 필요성이 있다. 특히 특징점 검출 알고리즘은 영상 내 모든 픽셀 정보를 분석하여야 하므로 많은 처리 시간이 소요되기 때문에, 하드웨어로 구현할 경우 전체 시스템의 수행 시간 여유를 크게 확보할 수 있다.

특징점 검출 알고리즘에는 SUSAN(Smallest Univalue Segment Assimilating Nucleus), SIFT (Scale-Invariant Feature Transform), Harris 코너 알고리즘 등이 존재한다[6]-[8]. SUSAN 알고리즘은 주변 픽셀들의 명암 값 유사도를 통해 특징 가능성을 계산하며, SIFT 알고리즘은 가우시안 스무딩된 영상의 차를 사용하여 스케일에 불변한 특징점을 검출한다. 두 알고리즘 모두 각 응용에서 우수한 성능을 보이지만, Harris 알고리즘에 비해 많은 계산을 요구하기 때문에 구현 복잡도가 큰 단점이 있다. 이에 비해 Harris 알고리즘은 주변 픽셀들과의 명암 값 제곱차의 합을 이용하여 특징점을 검출하는 방식으로, 계산이 간단하여 다양한 구현 결과들이 제안되었다[9], [10]. 하지만, 이 방식은 객체 추적 시 affine 변화의 유사성(similarity) 체크에서 효과적이지 않다. Harris 알고리즘과 유사한 방식인 Shi-Tomasi 알고리즘은 추적 응용에서 영상 내 물체의 affine 변환에 견고하며 추적 성능도 뛰어난 장점을 갖는다[11]. 하지만 특징점 추출 단계에서의 복잡한 고윳값 계산과 선별 단계에서의 특징점 간의 거리 비교가 요구되므로 구현 시 복잡도가 Harris 알고리즘에 비해 크다는 단점이 있다.

이에 본 논문에서는, 객체 추적에서 우수한 성능을 보이는 Shi-Tomasi 알고리즘과 성능은 유사하면서 복잡도는 간소화한 알고리즘을 제안하며, 이의 실시간 처리를 위한 하드웨어 구조 설계 및 구현 결과를 제시한다. 본 논문의 구성은 다음과 같다. Ⅱ장에서는 기존 특징점 검출 알고리즘과 제안된 알고리즘, 그리고 성능 평가 결과를 제시한다. Ⅲ장에서는 제안된 특징점 검출기의 하드웨어 구조를 기술하고, FPGA 기반 구현 결과를 제시한다. 마지막으로, Ⅳ장에서는 본 논문의 결론을 맺는다.

Ⅱ. 특징점 검출 알고리즘

1. Shi-Tomasi 알고리즘

특징점 검출은 영상에서 물체를 인식하거나 추적, 또는 매칭할 경우 수행된다. 주위 배경과 구분되면서 식별이 용이한 지점을 특징점으로 인식하며, 활용하고자 하는 목적 및 영상의 특성에 따라 다양한 특징점이 존재한다. 코너(corner)는 여러 방향으로 밝기 변화가 심한 지점으로, 다른 영역과 두드러지게 다르고 풍부한 정보를 갖기 때문에 코너를 특징점으로 검출하는 많은 알고리즘이 제안되었다[6]-[8]. 이 중에서도 Shi-Tomasi 알고리즘은 추적 응용에서 우수한 검출 성능을 보이며 affine 변화에 강인한 특성을 보인다.

Shi-Tomasi 알고리즘은 전체 명암 영상에서 특징점이 될 작은 크기의 이미지 패치를 찾는 지역 특징 검출 방법 중 하나로, KLT(Kanade Lucas Tomasi) 추적 기술에서 특징점 검출 단계로 활용되며 제안되었다[10]. 기존의 특징점 검출 및 추적 알고리즘과 같이 단순한 평행 이동만 가정한 것이 아닌 affine 변환까지 고려하여 다양한 추적 응용에서 우수한 성능을 보였다.

객체 추적에 강건하기 위해서는 이미지 패치 단위에 적용된 계수 행렬 Z가 영상 잡음 정도보다 커야 한다. 행렬 Z는 가로와 세로 방향으로의 명암 값 변화에 따른 자기 상관 함수 행렬이며, 식 (1)로 나타낼 수 있다.

$$Z = \begin{bmatrix} g_x^2 & g_x g_y \\ g_x g_y & g_y^2 \end{bmatrix} \tag{1}$$

여기서 gx와 gy는 이미지 패치를 각각 x 방향과 y 방향으로 미분한 값을 의미한다. 명암 변화가 작은 경우 이 행렬은 잡음(noise)에 큰 영향을 받기 때문에 객체 추적에 유리한 특징점이 되지 못한다.

따라서 이러한 픽셀을 배제하고 객체 추적에 유리한 안정적인 특징점을 선별하기 위해 식 (2)와 같이 행렬의 고윳값을 확인하는 과정을 수행한다.

$$\min(\lambda_1,\lambda_2) > \lambda \tag{2}$$

즉, $\mathbf{Z}$ 행렬의 두 고윳값 중 작은 값은 특징점을 결정하는 기준이 되며, 그림 1과 같이 임계값(threshold)과 비교하여 클 경우의 픽셀을 특징점 후보로 선정한다.

객체 추적 결과가 좋은 특징점만 검출하기 위해서는 추적하기 힘든 후보군을 배제하는 선별 단계가 필요하다. 특징점들이 서로 가까이 있게 되면 객체 추적 과정에서 서로 영향을 미치기 때문에, 앞서 계산한 고윳값을 내림차순으로 정렬하고 값이 큰 지점만 특징점으로 유지한다. 이 중에서 일정 거리 내의 후보군은 제외하는 선별 과정을 적용한 후 최종 특징점을 출력한다.

2. 제안된 알고리즘

기존 Shi-Tomasi 알고리즘에서는 $\mathbf{Z}$ 행렬의 고윳값 계산을 통해 특징점 후보군을 선정하고, 추적하기 좋은 조건의 특징점을 선별하는 과정이 수행된다. 하지만 고윳값 계산 과정에서 복잡한 계산이 필요하며, 선별 과정에서는 정렬과 거리 계산에 많은 메모리 access가 요구된다. 이는 하드웨어 구현에 있어서 복잡도 및 전력 소모 측면에서 비효율적이기 때문에, 본 논문에서는 일부 수식 개선을 통해 연산량이 간소화된 효율적인 알고리즘을 제안한다.

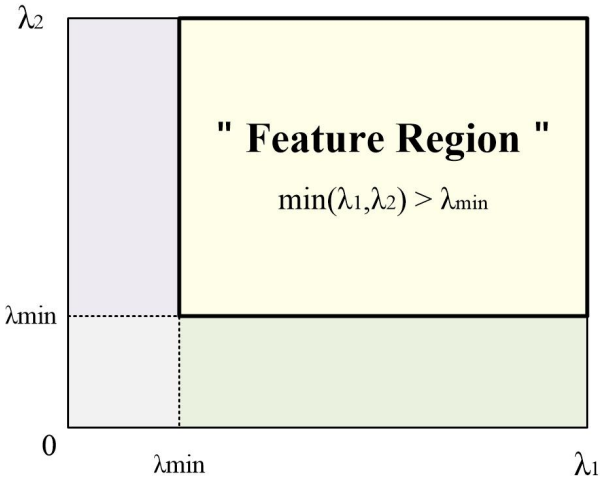

Fig. 1. Example of feature candidate selection according to eigenvalue calculation.

그림 1. 고윳값 계산에 따른 특징점 후보 선정 예시

입력 영상에서는 잡음 또는 추적하기 힘든 일정 크기 이하의 특징이 있을 수 있다. 이러한 특성에 대응하고 정확도를 높이기 위해 $\mathbf{Z}$ 행렬의 각각의 원소에 가중치 함수, 즉 가우시안 스무딩을 적용하면 식 (1)은 다음과 같이 변형된다.

$$\mathbf{Z}_w = \begin{bmatrix} wg_x^2 & wg_xg_y \\ wg_xg_y & wg_y^2 \end{bmatrix} \tag{3}$$

이후 특징점 후보군을 선별하기 위해 식 (2)과 같이 두 고윳값의 계산 및 비교가 필요하지만, 행렬의 고유 다항식과 이차 방정식 근의 공식을 사용하면 이를 하나의 식으로 간소화 할 수 있다. 식 (3)인 2×2 크기의 $\mathbf{Z}w$ 행렬 각각의 원소를 순서대로 p, r, r, q 라 했을 때 이의 고유 다항식은 다음과 같다.

$$\lambda^2-(p+q)\lambda+pq-r^2=0 \tag{4}$$

이를 근의 공식에 대입하여 정리하면 식 (5)로 나타낼 수 있으며 이에 따라 특징점 추출을 간단하게 구현할 수 있다.

$$\left(\frac{p+q}{2}\right)-\sqrt{\left(\frac{p-q}{2}\right)^2+r^2} > \lambda \tag{5}$$

추가적으로 특징점이 영상 경계가 아닌 중앙에 있도록 하는 영상 경계 처리 과정을 적용하였다. 임계값 처리 후 발생한 경계 부근의 후보군은 객체 추적 초반에 영상 밖으로 소실되기 때문에 불필요하다. 이에 따라 경계 부근의 특징점을 제거함으로써 이후 수행되는 특징점 선별 및 객체 추적에서의 불필요한 연산을 예방할 수 있다.

Shi-Tomasi 알고리즘의 특징점 선별은 정렬과 유클리드 거리 계산이 필요하다. 고윳값 크기에 따른 정렬 과정과 모든 특징점 후보에 대해 유클리드 거리 계산 과정을 수행하게 되면, 많은 연산 시간과 메모리 access가 요구된다. 따라서 큰 고윳값의 근접 후보군을 제거하는 비최대 억제 과정을 적용하고, 영역 내 후보군 중복 체크 과정을 적용하여 효율적인 특징점 선별을 가능하게 하였다. 비최대 억제 처리는 Harris 알고리즘에서 적용된 근접한 후보 배제 방법으로, 특정 픽셀을 중심으로 한 마

스크 내에서 다른 픽셀의 Z 행렬 고윳값이 크면 중심 픽셀은 배제한다. 이 후, 영역 내 후보군 중복 체크 단계에서 영상을 일정 크기의 연속된 영역으로 구분하고, 그 영역 내에서 가장 먼저 입력받은 후보를 특징점 검출 결과로 출력한다. 이러한 과정에 따라, 효과적인 선별을 하면서도 계산량과 메모리 access를 줄일 수 있다.

3. 성능 평가 결과

간소화한 특징점 검출 알고리즘의 성능 평가를 위해 visual tracker benchmark의 'Car1' 영상 데이터를 사용하였다[12]. Harris와 Shi-Tomasi 알고리즘, 그리고 제안된 알고리즘의 결과를 비교하였으며 Harris 알고리즘의 특징 가능성 임계값과 Shi-Tomasi 알고리즘의 고윳값 임계값은 각 알고리즘의 검출된 특징점의 개수가 비슷하도록 설정하였다. 그림 2와 같이 결과를 확인했으며 제안된 특징점 검출기의 결과인 그림 2(c)에서의 특징점 검출이 그림 2(b)인 Shi-Tomasi 알고리즘과 유사한 성능으로 잘 이루어짐을 확인할 수 있다.

또한, 일정 방향으로 움직이는 카메라로 촬영한 영상에 대해 각 알고리즘을 적용 및 검출된 특징점들에 KLT 추적 알고리즘을 적용하여, 객체 추적 성능을 비교하였다. 그림 3은 frame마다 객체가 이동한 궤적을 좌표로 나타낸 것으로, 제안된 알고리즘은 Shi-Tomasi 알고리즘의 결과와 동일한 방향 및 거리로 추적이 이루어짐을 알 수 있다.

(a) Harris

(b) Shi-Tomasi

(c) Proposed algorithm

Fig. 2. Feature detection examples: (a) Harris, (b) Shi-Tomasi, (c) Proposed algorithm.

그림 2. 특징점 검출 결과 예시 (a) Harris, (b) Shi-Tomasi, (c) 제안된 알고리즘

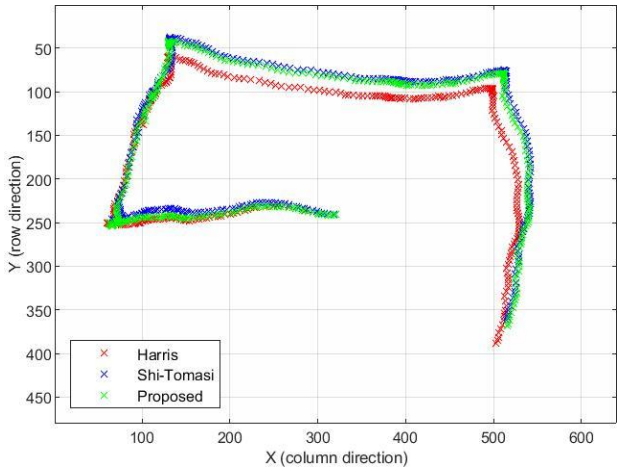

Fig. 3. Example of feature tracking results.

그림 3. 특징점 추적 결과 예시

III. 하드웨어 구조 설계 및 구현

1. 하드웨어 구조 설계

그림 4와 같이 설계된 특징점 검출기는 미분기(differentiator), 가우시안 필터(Gaussian filter), 고윳값 계산기(eigenvalue calculator), 영상 경계 및 임계값 체크 처리 유닛(boundary / threshold checking unit), 비최대 억제 처리 유닛(non-maximum suppression unit), 영역 체크 처리 유닛(region checking unit)으로 구성된다. 미분기는 영상을 입력받아 x 방향과 y 방향으로의 명암 차를 계산하며, 가우시안 필터에서는 영상의 가우시안 스무딩 처리가 이루어진다. 고윳값 계산기에서는 식 (5)의 연산을 통해 고윳값이 계산된다. 영상 경계 및 임계값 체크 처리 유닛에서는 영상 경계에 있지 않으면서도 고윳값이 임계값 이상인 지점을 특징점 후보군으로 선정한다. 계산되는 고윳값의 범위는 영상 밝기에 따라 변화하는데, 이에 적용되는 임계값 또한 유동적으로 바뀌어야 하므로 가변 가능하도록 설계하였다. 비최대 억제 처리 유닛에서는 고윳값 비교를 통한 근접 후보군의 배제 처리가, 영역 체크 처리 유닛에서는 영역 내 중복 후보군 배제 처리가 진행되어 결과적으로 검출된 특징점의 좌표가 출력된다.

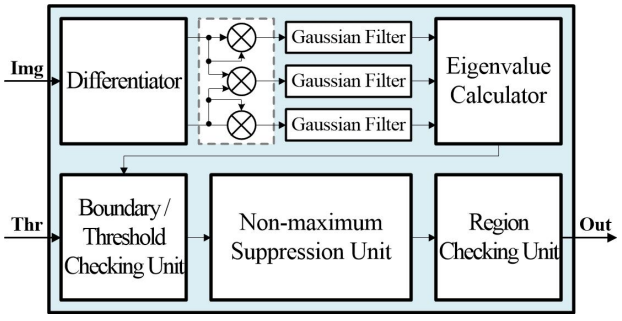

Fig. 4. Block diagram for the proposed feature detector.
그림 4. 제안된 특징점 검출기의 블록도

그림 5는 가우시안 필터의 구조로, 레지스터(register)와 라인 버퍼(line buffer), 시프트 연산기와 adder tree로 구성된다. 영상 데이터가 row 방향으로 순차적으로 입력되면 데이터는 레지스터 I, H, G를 통과하여 라인 버퍼에 저장된다. 이후, 다음 column의 픽셀 데이터가 row 방향으로 입력될 때 라인 버퍼의 데이터는 다시 레지스터 F, E, D를 통과하여 다음 라인 버퍼에 저장된다. 이때, 라인 버퍼의 크기는 영상의 row 크기에 따라 결정되며, 라인 버퍼를 통해 데이터를 재사용함으로써 외부 메모리를 사용하지 않고도 실시간으로 3×3 이미지 패치의 소벨 연산을 가능하게 한다. 그림 6은 이러한 데이터 플로우의 예시를 나타내며, 미분기와 비최대 억제 처리기도 같은 맥락의 라인 버퍼 구조를 가진다.

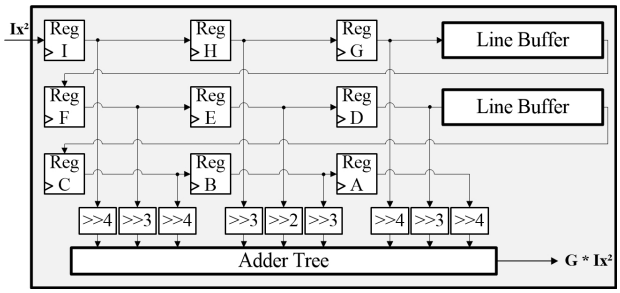

Fig. 5. Block diagram for the Gaussian filter.
그림 5. 가우시안 필터의 블록도

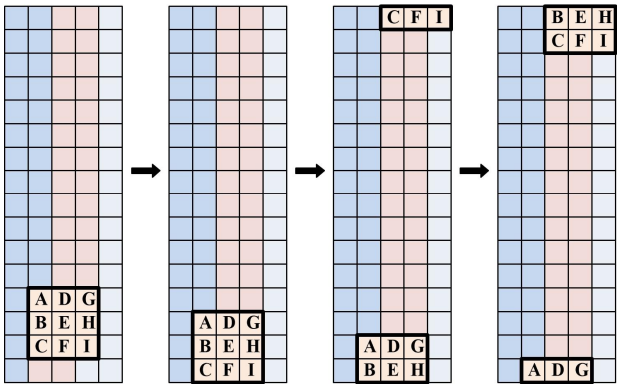

Fig. 6. Example of line buffer data flow.
그림 6. 라인 버퍼의 데이터 플로우 예시

그림 7은 영역 체크 처리 유닛의 블록도로, 각 블록을 제어하는 제어기(controller), 영역 간 중복 여부를 판별하는 N 영역 블록으로 구성된다. 같은 크기로 구분된 N개의 영역 내에서 각각 가장 먼저 입력받은 특징점 후보군 하나만 특징점으로 선정하도록 하였으며 유클리드 거리 계산을 하지 않고도 일정 거리 이상이 떨어진 특징점이 검출되도록 하였다. 비최대 억제 처리를 거친 특징점 후보군의 신호가 순차적으로 입력될 때 각각의 후보군의 신호가 순차적으로 입력될 때 각각의 영역을 담당하는 블록은 제어기가 출력하는 제어 신호에 따라 작동한다. N 영역 블록은 픽셀 개수를 세는 row와 column 카운터(counter)를 활용하여 출력할 특징점의 위치를 제어하도록 한다.

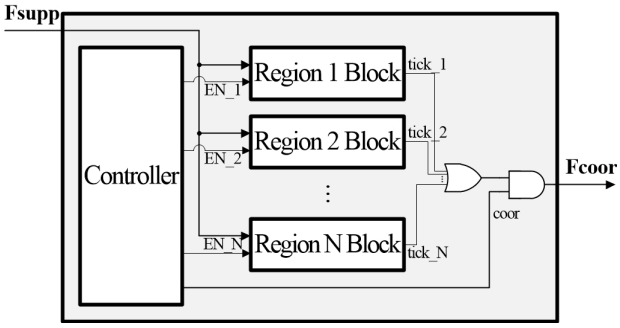

Fig. 7. Block diagram for the region checking unit.
그림 7. 영역 체크 유닛의 블록도

2. FPGA 구현 결과

제안된 특징점 검출기는 Verilog HDL을 이용하여 RTL 설계 후, Xilinx Virtex-7 xc7vx1140 tflg1930-1 FPGA 디바이스에서 구현 및 검증되었다. 표 1은 제안된 특징점 검출기의 구현 결과로, 총 1,307개의 logic slices와 5개의 DSP 48s, 86.91Kbit의 메모리로 구현 가능함을 확인하였다.

Table 1. Implementation results of the proposed feature detector with Virtex-7 FPGA.
표 1. Virtex-7 FPGA 기반 특징점 검출기의 구현 결과

	Proposed feature detector
FPGA Device	Xilinx Virtex-7 xc7vx1140tflg1930-1
Logic Slices	1,307
DSP 48s	5
Embedded Memory	86.91Kbit
Frequency	114MHz

Table 2. Processing-rate comparisons.
표 2. 처리 속도 비교

Methods	Frequency	Resolution	FPS
[13]	135	1920×1080	22
[14]	134	1920×1080	24
[15]	100	1920×1080	44
Proposed	114	1920×1080	54

한 장의 영상 크기만큼의 clock cycles를 frame cycles라 할 때, 특징점 검출 과정에서 약 1.01 frame cycles가 소요된다. 즉, 114MHz의 동작 주파수에서 1920×1080 FHD 영상에 대해 54fps(frame per seconds)로 처리가 가능하다. 표 2는 기존 FPGA 기반 특징점 검출기 설계와의 처리속도 비교 결과로, 제안된 특징점 검출기는 기존 FPGA 기반 특징점 검출 구조보다 우수한 처리속도를 나타냈다.

Ⅳ. 결론

본 논문에서는 객체 추적을 위한 특징점 검출기를 제안하고, 이의 하드웨어 구조 설계 결과를 제시하였다. 제안된 특징점 검출기는 Shi-Tomasi 알고리즘을 간소화하여, 성능은 유사하면서 복잡도 및 연산 시간은 감소된 효율적인 구조를 갖는다. 이의 실시간 검증을 위해 하드웨어 구조 설계를 진행하였으며, FPGA 기반 구현 결과, 1,307개의 logic slices, 5개의 DSP 48s, 86.91Kbit의 메모리로 구현 가능함을 확인하였다. 또한, 1920×1080 FHD 영상에 대해 114MHz의 동작 주파수에서 54 fps로 실시간 동작 가능함이 확인되었다.

References

[1] G. Velez, O. Otaegui, “Embedding vision-based advanced driver assistance systems: a survey,” *IET Intelligent Transport Systems*, vol. 11, no. 3, pp. 103-112, 2017. DOI: 10.1049/iet-its.2016.0026

[2] A. Ferrick, J. Fish, E. Venator, G. S. Lee, “UAV Obstacle avoidance using image processing techniques,” *2012 IEEE International Conference on Technologies for Practical Robot Applications*, pp. 73-78, 2012. DOI: 10.1109/TePRA.2012.6215657

[3] J. Lee, “Implementation of pedestrian recognition based on HOG using ROI for real time processing,” *Journal of IKEEE,* vol. 18, no. 4, pp. 581-585, 2014. DOI: 10.7471/ikeee.2014.18.4.581

[4] A. Smeulders, D. Chu et. al, “Visual tracking: an experimental survey,” *IEEE Trans . Pattern Analysis and Machine Intelligence*, vol. 36, no. 7, pp. 1442-1468, 2014.

[5] S. Kim, H. Kim, and S. Ko, “A vehicle detection and tracking algorithm for supervision of illegal parking,” *Journal of IKEEE*, vol. 13, no. 2, pp. 232-240, 2009. DOI: 10.1109/TPAMI.2013.230

[6] S. Smith and J. Bardy, “SUSAN-A new approach to low-level image processing,” *International*

Journal of Computer Vision, vol. 23, pp. 45-48, 1997. DOI: 10.1023/A:1007963824710
[7] D. G. Lowe, "Distinctive image features from scales-invariant key points," *International Journal of Computer Vision*, vol. 60, no. 2, pp. 91-110, 2004. DOI: 10.1023/B:VISI.0000029664.99615.94
[8] C. Harris and M. Stephens, "A combined corner and edge detector," *Proceedings of the fourth alvey vision conference*, pp. 147-151, 1988. DOI: 10.1.1.231.1604
[9] W. Jang, S. O and G. Kim, "A hardware implementation of pyramidal KLT feature tracker for driving assistance systems," *IEEE Conference on Intelligent Transportation Systems*, pp. 220-225, 2009. DOI: 10.1109/ITSC.2009.5309680
[10] T. Cho and K. Wong, "An efficient FPGA implementation of the Harris corner feature detector," *2015 IAPR International Conference of Machine Vision Application*, 2015. DOI: 10.1109/MVA.2015.7153140
[11] J. Shi and C. Tomasi, "Good features to track," *IEEE Conference on Computer Vision and Pattern Recognition (CVPR)*, 1994. DOI: 10.1109/CVPR.1994.323794
[12] http://cvlab.hanyang.ac.kr/tracker_benchmark/benchmark_v10.html
[13] T. Dinh et. al, "High throughput FPGA architecture for corner detection in traffic images," *2014 IEEE Fifth ICCE*, pp. 297-302, 2014. DOI: 10.1109/CCE.2014.6916718
[14] F. Brenot, P. Fillatreau and J. Piat, "FPGA based accelerator for visual features detection," *2015 IEEE International Workshop of CMSM*, 2015. DOI: 10.1109/ECMSM.2015.7208697
[15] A. Aguilar-Gonzalez, M. Arias-Estrada and F. Berry, "Robust feature extraction algorithm suitable for real-time embedded applications," *Journal of Real-Time Image Processing*, vol. 14, no. 3, pp. 647-665, 2018. DOI: 10.1007/s11554-017-0701-8

BIOGRAPHY

Duhyeon Lee (Member)

2019 : BS degree in School of Electronics and Information Engineering, Korea Aerospace University.

Hyeon Kim (Member)

2019 : BS degree in School of Electronics and Information Engineering, Korea Aerospace University.
2019~present : MS degree course in School of Electronics and Information Engineering, Korea Aerospace University.

Jaechan Cho (Member)

2015 : BS degree in School of Electronics and Information Engineering, Korea Aerospace University.
2017 : MS degree in School of Electronics and Information Engineering, Korea Aerospace University.
2017~present : Ph.D degree course in School of Electronics and Information Engineering, Korea Aerospace University.

Yunho Jung (Member)

1998 : BS degree in Department of Electrical and Electronic Engineering, Yonsei University.
2000 : MS degree in Department of Electrical and Electronic Engineering, Yonsei University.
2005 : Ph.D degree in Department of Electrical and Electronic Engineering, Yonsei University.
2005~2007 : Senior Engineer, Samsung Electronics.
2007~2008 : Research professor, Institute of Information Engineering, Yonsei University.
2008~present : Professor, School of Electronics and Information Engineering, Korea Aerospace University.