

스위치 저감형 Z-Source Inverter PWM 제어

PWM Control of Reduced Switch Z-Source Inverter

김성환*, 박태식*

Seong-Hwan Kim*, Tae-Sik Park*

Abstract

In this paper, we propose a new Z-source inverter structure to reduce switching elements and PWM pulse control method. Z-network is connected between the inverter backplane and ground, rather than between the DC voltage and the inverter in an improved Z-source inverter. And the improved Z-source inverter has the advantages of limiting the capacitor inrush current and reducing the capacitor voltage stress. We have proposed a topology of a new type of switch-reduced improved Z-source inverter that reduces the number of switches from six to four in an improved Z-source inverter and developed a PWM control method suitable for the proposed topology. The characteristics and the performance of the proposed method were verified by using PSIM simulation.

요약

본 논문에서는 스위칭 소자를 줄이기 위한 새로운 Z-소스 인버터의 구조와 PWM 펄스 제어 방법에 대하여 제안하였다. 개선된 Z-소스 인버터는 Z-네트워크가 DC전압과 인버터 사이가 아닌 인버터 뒷단과 접지 사이에 연결되며, 이러한 개선된 Z-소스 인버터는 커패시터 돌입 전류 제한 기능과 커패시터 전압 스트레스가 작은 장점을 가지고 있다. 개선된 Z-소스 인버터에서 스위치를 6개에서 4개로 줄이는 새로운 형태의 스위치 저감형 Z-소스 인버터의 Topology를 제안하고, 제안된 Topology에 적합한 PWM 제어 방법을 개발하였다. 제안된 방법은 PSIM 시뮬레이션을 통해 특성과 성능을 확인하였다.

Key words : Improved Z-Source Inverter, Switch reduced inverter, Z-network, PWM, voltage stress, PSIM,

1. 서론

Z-소스 인버터는 단일 단의 구조를 가지면서 승압-강압이 가능한 장점과, 인버터의 단락에 대한 우려가 없고 향상된 EMI 특성과 신뢰성을 갖는다. 그림 1은 Z-소스 인버터의 기본적인 구조를 보여주고 있으며 인버터의 레그를 단락시키는 시비율(Duty-ratio)에 따라 출력 전압의 크기가 결정된다[1][2].

$$\hat{V}_{inv} = 2V_c - V_{dc} = \frac{1}{1-2D_{sh}} V_{dc} = BV_{dc} \quad (1)$$

$$\hat{v}_{ac} = M \frac{\hat{V}_{inv}}{2} = BM \frac{V_{dc}}{2} = \frac{1-D_{sh}}{1-2D_{sh}} \frac{V_{dc}}{2} = G \frac{V_{dc}}{2} \quad (2)$$

여기서 \hat{V}_{inv} , \hat{v}_{ac} 는 인버터의 최대 입력 직류전압과 인버터 출력 교류전압의 최대값을 나타내며, 단락 시비율 $D_{sh} = T_{sh}/T_s$ 이고 T_s , T_{sh} 는 스위칭 주기와 단락 시간이다.

* Dept. of Electrical & Control Engineering, Mokpo National University

★ Corresponding author

E-mail : tspark@mokpo.ac.kr, Tel : +82-61-450-2465

※ Acknowledgment

This paper was supported by Research Funds of Mokpo National University in 2017

Manuscript received Feb. 27, 2019; revised Mar. 4, 2019; accepted Mar. 4, 2019.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

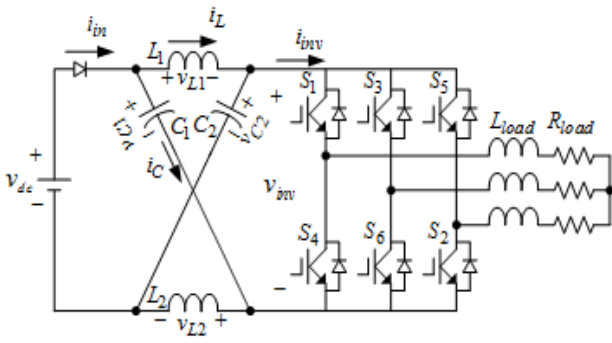


Fig. 1. Basic structure of a ZSI.

그림 1. Z-소스 인버터의 기본 구조

식 (1)과 (2)에서 알 수 있듯이 Z-소스 인버터는 단락시비율(shoot-through duty ratio)에 따라 입력 DC전압보다 큰 인버터 출력 교류 전압을 발생시킬 수 있다. 하지만, 이로 인해 Z-네트워크의 커패시터에는 DC전압보다 더 큰 전압 스트레스를 받게 된다. 또한 기동시에는 Z-네트워크의 커패시터를 충전하기 위한 큰 돌입 전류가 발생하게 되고 이를 저감하기 위한 추가적인 하드웨어 및 소프트웨어가 필요하게 된다.

개선된 Z-소스 인버터는 그림 2와 같이 인버터의 Z-네트워크를 DC전압과 3 상 leg 사이가 아닌 극성을 반대로 하여 뒤쪽에 연결한 구조이다. 따라서 이 구조에서는 기본적으로 커패시터 돌입 전류를 제한할 수 있고, 커패시터의 전압 스트레스가 기존의 Z-소스 인버터에 비해 줄어드는 장점이 있다[3].

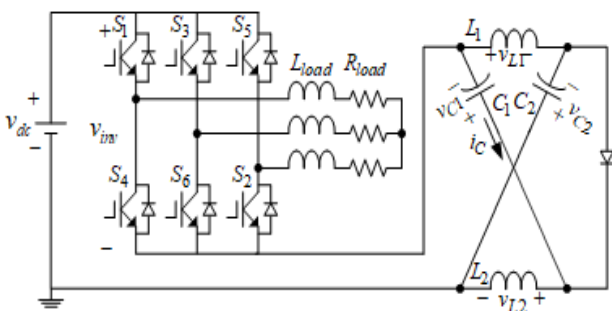


Fig. 2. improved Z-source Inverter.

그림 2. 개선된 Z-소스 인버터

기본적인 인버터는 각 상당 2개의 스위치가 사용되어 총 6개의 스위칭 소자로 구성되어 있으나, B-4 인버터는 4개의 스위치로 3상 전압을 출력할 수 있어 스위칭 소자의 개수를 줄일 수 있는 장점이 있다. 또한, 기본적인 인버터의 스위칭 소자 중

일부가 고장이 발생할 경우 일시적으로 B-4 인버터로 제어하여 3상의 교류 출력을 발생시킬 수도 있다. 이러한 장점으로 인하여 인버터의 스위치를 줄이고, 3상 교류 출력을 발생하기 위한 연구가 진행되어 왔다[4], [5]. Z-소스 인버터 또한 기존의 인버터와 마찬가지로 스위칭 소자의 개수를 줄이고, 3상 출력을 발생하기 위한 Z-소스 B4 인버터에 대한 연구가 이루어졌으며 기본적인 Z-소스 인버터의 Topology에서 DC 전압을 2개로 분리하여 세 번째 상을 연결하거나, Z-네트워크의 커패시터를 2개로 분리하여 세 번째 상을 연결하는 방법, DC전원의 다이오드의 위치를 조정하거나, 능동 스위칭 소자를 적용하는 방법 등에 대한 연구결과가 발표되었다[6].

본 연구에서는 이러한 Z-소스 B-4 인버터의 특징을 고찰하고, Improved Z-소스 인버터에 B-4 형태를 적용하기 위한 방안과 PWM 패턴에 shoot-through 상태를 삽입하고, 3상 교류 출력을 발생하기 위한 PWM 제어 방법을 연구하였다. 제안된 방법은 PSIM 시뮬레이션을 통하여 특성을 확인하였다.

II. Z-소스 B-4 인버터

그림 3은 DC전압을 분리하여 부하의 한 상을 연결한 형태의 Z-소스 B4 인버터 Topology를 나타낸다.

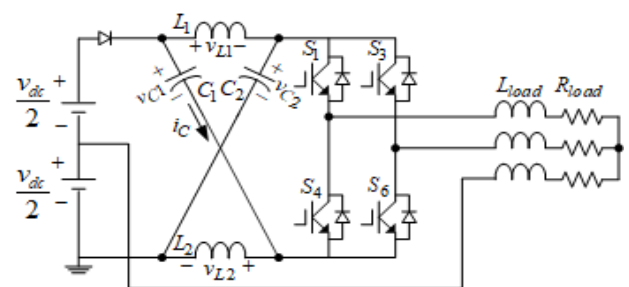


Fig. 3. Z-Source B4 Inverter with split DC voltage.

그림 3. 분리된 DC 전압을 갖는 Z-소스 B4 인버터

이 방식에서는 shoot-through 벡터(V_{sh}) (S1,S2, S3,S4:ON)에서 V_3 벡터(S1,S3:ON, S2,S4:OFF)와 유사한 상전압(phase voltage)을 발생한다. 따라서 shoot-through 벡터를 V_3 벡터에 삽입할 수 있기 때문에 그림 4와 같이 기존의 CBPWM(Carrier based PWM) 방법에 간단히 전압 증폭을 위한 shoot-through 기준신호를 삽입하여 PWM 패턴을 발생시킨다.

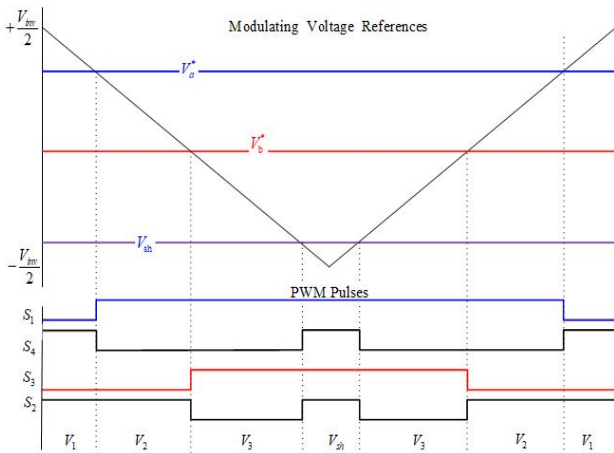


Fig. 4. PWM strategy of Z-Source B4 Inverter.
그림 4. Z-소스 B4 인버터의 PWM 방법

최대 증폭 전압은 $V_{sh} = m$ 일 때 발생하며, shoot-through 시비율의 최대값은 다음과 같다.

$$D_{ST-max} = \frac{1-m}{2} \quad (3)$$

결과적으로 인버터 최대 출력 전압은 다음 식으로 나타난다.

$$\hat{v}_{ac} = \frac{2(\frac{m}{2} + \frac{1}{2}) - 1}{2} m V_{dc} = \frac{V_{dc}}{2} \rightarrow G=1 \quad (4)$$

따라서 이 방식의 topology는 입력전압을 증폭하기에 적절하지 않다.

그림 5는 다이오드가 DC 전압의 위쪽에 연결되어 있고, Z-네트워크의 커패시터를 분리하여 부하의 한 상과 연결한 형태의 Z-소스 B-4 인버터 Topology를 나타내고, 이 연구에서는 이 topology에 대한 SVM(Space Vector Modulation) 방법과 CBPWM(Carrier based PWM)에 대하여 제안하였다[6].

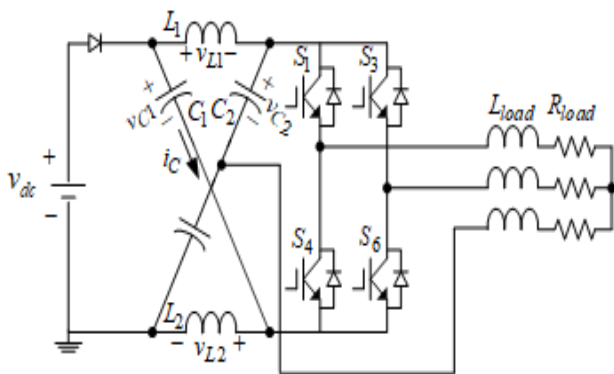


Fig. 5. Z-Source B4 Inverter with split capacitor.
그림 5. 분리된 커패시터를 갖는 Z-소스 B4 인버터

이 방식에서도 마찬가지로 V_{sh} 벡터와 V_3 벡터가 동일한 출력전압을 발생하므로 그림 4에서처럼 shoot-through 벡터를 V_3 벡터에 삽입할 수 있다.

하지만, 커패시터의 전압에 불균형이 있을 경우 출력전압에 왜곡이나 offset이 발생할 수 있다. 분리된 커패시터를 갖는 Z-소스 B4 인버터의 최대 출력전압은 다음 식과 같이 나타나며 일반적인 Z-소스 인버터처럼 증폭된 출력전압을 발생할 수 있다.

$$\hat{v}_{ac-max} = \frac{k}{2} V_{dc}, \text{ where } k = \frac{1-D_{sh}}{1-2D_{sh}} > 1 \quad (5)$$

II. 개선된 Z-소스 B-4 인버터

그림 6은 개선된 Z-소스 인버터의 스위칭 소자를 저장하여 제안된 B-4 인버터의 Topology를 나타낸다.

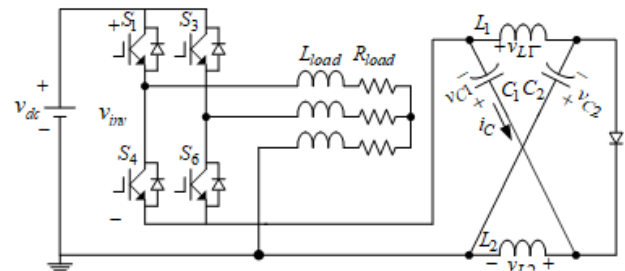


Fig. 6. Improved Z-Source B4 Inverter.
그림 6. 개선된 Z-소스 B4 인버터

개선된 Z-소스 B4 인버터는 Z 네트워크와 부하의 한 상이 DC전압의 (-)단에 같이 연결된 구조를 가지며, 스위칭 패턴에 따른 각 상의 전압과 벡터도는 표 1, 그림 7과 같다. 또한 제안된 방식의 인버터 입력 전압의 크기는 식 (6)으로 나타나고, 따라서 증폭된 출력전압을 발생할 수 있다.

$$V_{inv} = \frac{1-D_{sh}}{1-2D_{sh}} V_{dc} \quad (6)$$

Table 1. Voltages according to switching pattern.

표 1. 스위칭 패턴에 따른 각 상의 전압

S_1, S_3	V_a	V_b	V_c	Vector
00	$-2V_c$	$-2V_c$	0	V_1
10	V_{dc}	$-2V_c$	0	V_2
11	V_{dc}	Vdc	0	V_3
01	$-2V_c$	Vdc	0	V_4
ST	V_{dc}	Vdc	0	V_{ST}

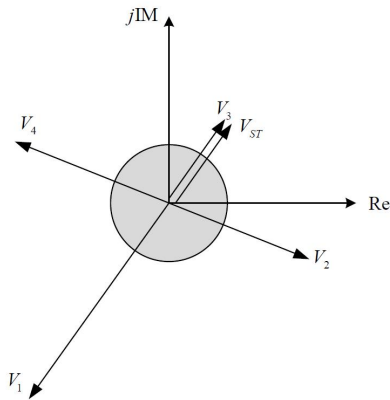


Fig. 7. Voltage vectors of Improved Z-Source B4 Inverter.
그림 7. 개선된 Z-소스 B4 인버터의 전압벡터도

개선된 Z-소스 B4 인버터의 PWM 패턴을 발생하기 위한 방법은 그림 8과 같다.

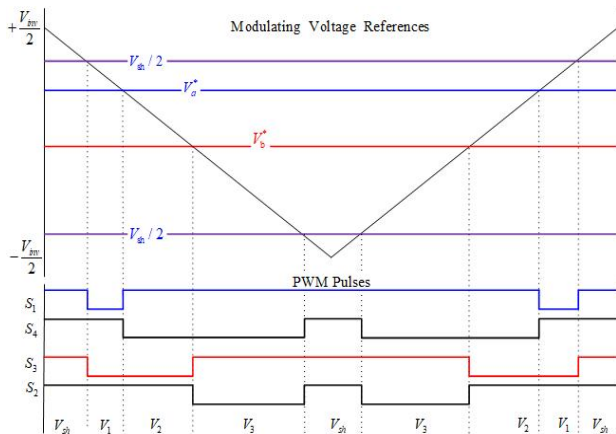


Fig. 8. PWM patterns of Improved Z-Source B4 Inverter.
그림 8. 개선된 Z-소스 B4 인버터의 PWM 패턴

Shoot-through 벡터는 입력 DC전압을 증폭하기 위한 시비율을 계산한 후 위쪽과 아래쪽으로 나누어서 일정한 크기의 신호를 삼각파와 비교하여 V_1 , V_3 벡터에 삽입되고, 자동적으로 DC offset이 제거된다.

III. 시뮬레이션

제안된 방식의 성능과 특성을 확인하기 위하여 PSIM 시뮬레이션을 행하였다.

그림 9는 PSIM 시뮬레이션 모델을 보여준다.

Z-소스 인버터의 인덕터와 커패시터는 각각 3mH, 1mF이며, 3상 RL부하는 5Ω, 3mH로 설계하였다.

Z-소스 인버터의 입력전압은 10V이고 Z-소스 인버터의 출력 전압을 $\pm 10V_{ac}$ 의 정현파를 발생하기 위하여 shoot-through 시비율을 33%를 인가하였으며 스위칭 주파수는 10kHz이다.

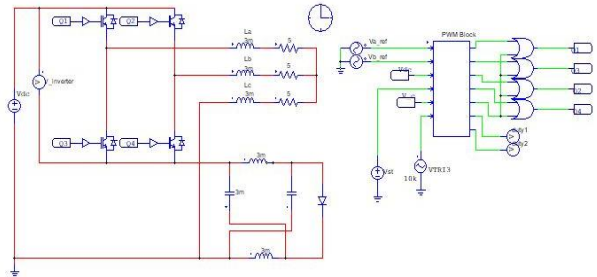
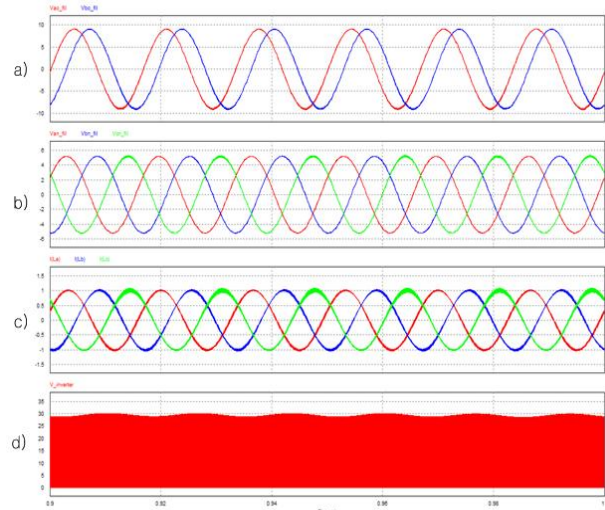


Fig. 9. PSIM Simulation Model of proposed Improved Z-Source B4 Inverter.

그림 9. 제안된 Z-소스 B4인버터의 PSIM 시뮬레이션 모델



a) pole voltages b) phase voltages
c) phase currents d) inverter input voltages
a) 극전압 b) 상전압 c) 상전류 d) 인버터 입력전압

Fig. 10. Simulation Waveforms of the Proposed system.

그림 10. 제안된 시스템의 시뮬레이션 파형

시뮬레이션 파형에서 shoot-through 시비율 33%에 의해 인버터 입력 전압이 30V로 증폭됨을 확인할 수 있으며, 또한 DC입력 10V로 일반적인 인버터의 경우 발생할 수 있는 출력전압의 최대값은 $\pm 5V$ 이지만 제안된 시스템의 경우 $\pm 9V$ 의 극전압을 생성하고 있음을 확인할 수 있다. 극전압 V_{ao} , V_{bo} 는 60° 의 위상차를 갖고 출력되고 있으며, 3상 상전압과 상전류는 120° 위상차를 갖고 offset 또는 왜형이 없이 정현파로 출력됨을 확인할 수 있다.

IV. 결론

Z-소스 인버터는 shoot-trough 백터라는 인버터 브릿지의 단락상태를 이용하여 입력 DC전압보다 높은 교류전압을 출력할 수 있다. 개선된 Z-소스 인버터는 Z-네트워크의 구조 및 위치를 변경하여 기존 Z-소스 인버터의 돌입전류와 커패시터 전압 stress를 감소시키는 장점을 가지고 있다. 스위칭 소자의 저감 또는 인버터 스위치의 고장시 4개의 스위치만으로 인버터를 동작하고자 하는 B4인버터의 적용을 위해 기존의 Z-소스 인버터에 대해서는 연구가 진행되었으나, 개선된 Z-소스 인버터에 대해서는 여태까지 연구결과가 없었다. 본 연구에서는 개선된 Z-소스 B4 인버터의 Topology를 제안하고 특성을 해석하였으며, 이에 적합한 PWM 패턴을 발생하기 위한 방법을 제시하였다. 제안된 방법은 PSIM 시뮬레이션을 통해 특성을 확인하였으며, Z-소스 인버터의 장점인 DC입력전압을 증폭하여 보다 큰 교류 출력을 발생할 수 있으면서, 4개의 스위치로 동작 가능함을 검증하였다.

References

- [1] F. Z. Peng, "Z-Source Inverter," *IEEE Trans. Ind. Appl.*, vol. 39, no. 2, pp. 504-510, 2003. DOI: 10.1109/TIA.2003.808920
- [2] F. Z. Peng, M. Shen, and Z. Qian, "Maximum Boost Control of the Z-Source Inverter," *IEEE Trans. Power Electron.*, vol. 20, no. 4, pp. 833-838, 2005. DOI: 10.1109/TPEL.2005.850927
- [3] Y. Tang, S. Xie and C. Zhang, "An Improved Z-Source Inverter," *IEEE Trans. Power Electron.*, vol. 26, no. 12, pp. 3865-3868, 2011. DOI: 10.1109/TPEL.2009.2039953
- [4] M. Correa, C. Jacobina, E. Silva and A. Lima, "A General PWM Strategy for Four-Switch Three-Phase Inverters," *IEEE Trans. Power Electron.*, vol. 21, No. 6, pp. 1618-1627, 2006. DOI: 10.1109/TPEL.2006.882964
- [5] G. Kim and T. Lipo, "VSI-PWM Rectifier/Inverter System with a Reduced Switch Count," *IEEE Trans. on Ind. Appl.*, vol. 32, no. 6, pp.

1331-1337, 1996. DOI: 10.1109/28.556635

- [6] E. Najimi, M. Nohamadian and S. Dehghan, "Z-Source Three-Phase Four-Switch Inverter with DC Link Split Capacitor and Comprehensive Investigation of Z-Source Three-Phase Four-Switch Inverters," *Electronics and Drive Systems Technology (PEDSTC)* pp. 25-31, 2012.

DOI: 10.1109/PEDSTC.2012.6183341

BIOGRAPHY

Seong-Hwan Kim (Member)



1991 : BS degree in Electrical Engineering, Korea University.
1995 : MS degree in Electrical Engineering, Korea University.
1998 : PhD degree in Electrical Engineering, Korea University.

1999~ : Professor, Mokpo National University

Tae-Sik Park (Member)



1994 : BS degree in Electrical Engineering, Korea University.
1996 : MS degree in Electrical Engineering, Korea University
2000 : PhD degree in Electrical Engineering, Korea University.

2000~2004 : Research Engineer, Samsung Electronics.

2005~2013 : Administrative Official at Korea Intellectual Property Office

2013~ Professor, Mokpo National University