

# FPGA 기반 저전력 및 저비용 휴대용 빔포머 설계

## (FPGA-Based Low-Power and Low-Cost Portable Beamformer Design)

정 갑 중<sup>1)</sup>, 박 철 영<sup>2)\*</sup>

(Jeong GabJoong and Park CheolYoung)

**요 약** 본 논문에서는 초음파 응용 영상 기술의 다양한 임상 진단 응용이 가능한 파이프라인 회로 구성 방식을 가지는 빔포밍 프론트 엔드 플랫폼을 개발한다. 하드웨어 설계에서는 전력, 통합 수준 및 복제 가능성이 중요한 확장 가능한 애플리케이션은 물론 압축 애플리케이션을 대상으로 한다. 펌웨어 디자인으로는 차세대 고수준의 합성 도구인 Vivado HLS 툴을 사용하여 최대의 생산성 향상으로 설계 생산성을 가속화하는 새로운 IP 및 시스템 중심 설계 환경 구축을 통하여 최적의 FPGA 병렬 처리 수준을 달성 하도록 구현하였다. 설계된 디지털 빔포머는 향후 시스템 사양의 재구성이나 변경시 적절한 수정 및 보완이 가능하고, 임의의 이미지 영역을 생성할 수 있는 스캔 데이터의 고속 관리 기능을 지원한다.

**핵심주제어** : 초음파 빔포머, FPGA, 테스트벤치

**Abstract** In this paper, we develop a beamforming front end platform with pipeline circuit configuration method that can apply various clinical diagnostic applications of ultrasound image technology. Hardware design targets compression applications as well as scalable applications where power, integration levels and replication possibilities are important. Firmware design was implemented to achieve optimal FPGA parallel processing level by constructing new IP and system-oriented design environment to accelerate design productivity with maximum productivity improvement using Vivado HLS tool, which is a next generation high level synthesis tool. Former supports the high-speed management function of scan data that can create an image area arbitrarily and can be appropriately corrected and supplemented when reconfiguring or changing system specifications in the future.

**Key Words** : FPGA, Test Bench, Ultrasonic Beamformer

### 1. 서 론

\* Corresponding Author : cypark@daegu.ac.kr

+ 이 논문은 2018학년도 대구대학교 학술연구비 지원에 의한 논문임.

Manuscript received October 30, 2018 / revised January 22, 2019 / accepted February 8, 2019

1) ㈜액티브네트웍스, 제1저자

2) 대구대학교 전자전기공학부, 교신저자

지난 60여 년간 여러 분야에서 사용된 실시간 초음파 이미지 시스템은 현대 의학의 관점에서 더욱 안전하고 중요한 진단 도구가 되고 있다. 초음파 기술은 의료 영상 기술 분야에서 심장질

환이나 산부인과 및 복부질환의 영상 진단 등에 매우 활발히 그리고 폭넓게 적용되고 있다. 특히 초음파 진단 영상은 방사선 없이 얻을 수 있는 매우 고화질 이미지를 제공한다. 또한 대부분 외과적인 신체 손상이나 혈관 손상 없이 얻어지는 고화질 영상을 이용하는 영상 진단 기술을 여러 가지 다양한 임상 응용 진료에 사용하기 위한 응용 요구가 점진적으로 증가하고 있다. 이외에도 골밀도 측정 등과 같은 비영상 응용 진단 기술 등에도 초음파의 속도나 시간차 측정을 이용하는 비 침습 진단 기술 활용도가 커지고 있다[1].

초음파 빔포머(Beamformer)는 다양한 임상 진단 및 여러 분야에서 응용이 가능한 기본 기술 중의 하나이며, 초음파의 전처리(스캐너)를 담당한다. 지난 30여 년간 아날로그 빔 형성기는 실시간 이미징 초음파 장비의 주류였다. 그러나 현대에는 여러 상용 시스템의 도입으로 디지털 빔 포메이션으로의 대대적인 변화를 겪고 있으며 [2-4], 기존에 하드웨어와 CPU로 처리하던 초음파 빔포밍 기술을 다수의 코어를 통해 처리하여 성능을 높이고 있다[5]. 또한, Xilinx의 Zynq SoC를 이용하여 초음파 신호의 포락선을 검출하기 위한 신호처리 시스템을 설계하는 연구도 소개되었다[6].

현재 초음파를 이용한 진단에 필요한 영상을 얻기 위한 영상 수신장치는 초음파를 응용하는 다양한 분야에서 요구된다. 예를 들어, 뼈의 두께 및 너비 등의 측정을 통한 치밀골 및 해면골 등의 골밀도 측정에도 초음파 진단 기술이 요구된다. 이 경우 기 개발된 기술로는 영상 구성 장치 구동 방식으로 인해 응용 임상 진단에 제한이 존재하여 여러 가지 임상 진단에 다양하게 응용할 수 없다. 이를 위해서는 구조적으로 간단하면서도 저가격에 구현할 수 있는 PoC(Point of Care) 시스템 적용이 가능한 휴대용 빔포머 설계가 요구된다. 이는 초음파를 이용한 복합적 임상 진단으로의 응용을 용이하게 할 수 있으며 기존 방식과 비교하여 훨씬 더 저렴한 공정 기술 구현이라는 장점을 가진다.

따라서 본 논문에서는 초음파 응용 영상 기술의 다양한 임상 진단 응용이 가능한 파이프라인 회로 구성 방식을 가지는 빔포밍(Beamforming)

프론트엔드 플랫폼을 개발한다. 먼저, 시스템 레벨의 하드웨어와 HDL 디자인 레벨에서 확장 가능한 빔포밍 아키텍처 설계를 구현한다. 하드웨어 설계에서는 전력, 통합 수준 및 복제 가능성이 중요한 확장 가능 애플리케이션은 물론 압축 애플리케이션을 대상으로 한다. 신호 처리 보드의 하드웨어 설계 및 시스템 성능에 가장 큰 영향을 미치는 세 가지 주요 구성 요소는 아날로그-디지털 변환기(ADC), 빔 형성기 송수신기 및 FPGA이다. TI의 AFE 시리즈 시스템 칩을 ADC 입력 채널 모듈로 사용하고 다중 채널에 대한 빔 디렉션 선정 및 초음파 제어 신호를 전송하는 통합 솔루션으로 LM96570 등의 초음파 송수신기를 사용함으로써 빔 형성을 위한 아날로그 프론트엔드로 활용할 수 있다. 이로 인해 제안된 디자인의 크기, 비용 및 전력을 획기적으로 줄여 저비용 초음파 이미징 장치에 이상적인 솔루션을 제공할 수 있다.

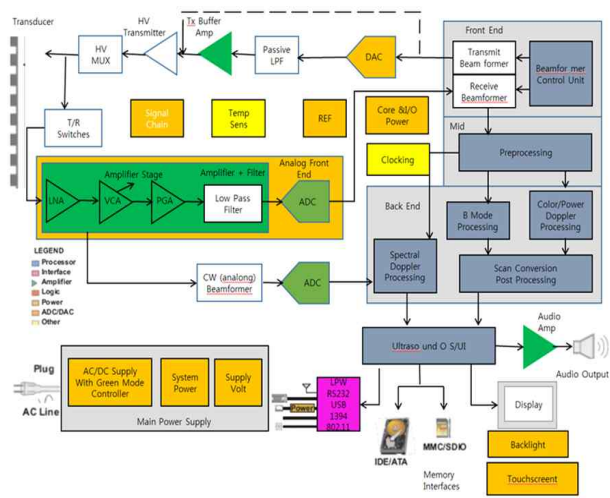
또한, 펌웨어 디자인으로는 차세대 고수준의 합성 도구인 Vivado HLS 툴[7]을 사용하여 최대의 생산성 향상으로 설계 생산성을 가속화하는 새로운 IP 및 시스템 중심 설계 환경 구축을 통하여 최적의 FPGA 병렬 처리 수준을 달성 하도록 구현 하였다. 마지막으로 디지털 빔 포메이션의 기술적 과제를 검토하고 개발된 디지털 빔포머를 시뮬레이션하고 성능을 살펴본다. 진보적 기능 및 추가 개발 필요 기능 등과 관련하여 디지털 빔포머의 향후 작업에 대해 기술한다.

## 2. 빔포밍 시스템 구성

초음파 영상 진단 시스템은 크게 하드웨어부와 소프트웨어부로 나누어져 있다. 하드웨어부는 트랜스듀서를 포함하여 프론트엔드 프로세싱 부와 미드엔드 프로세싱 부로 구성된다. 소프트웨어부는 프로세서 시스템, 초음파 시스템 운영체제, 디스플레이 및 오디오 출력 장치 등으로 구성된다. FPGA 기반의 하드웨어 빔포머는 아날로그 프론트엔드 멀티칩 모듈[8]과 고속 시리얼 데이터 및 패럴렐 제어신호 인터페이스를 지원하며 별도의 구동용 프로세서 없이 단독으로 소프트웨어부와

고속 인터페이스가 가능하며, 응용 시스템에 따른 지연 제어 기능을 이용한 가변 지연 구성이 가능해야 한다. 또한, 소프트웨어부에서의 고속 인터페이스 요구사항 및 제어 기능 인터페이스 사양 및 향후 요구기능을 만족할 수 있어야 한다. 본 논문에서는 수신 빔포머 기능 블록을 구현한다.

Fig. 1은 휴대용 초음파 시스템의 블록다이어그램을 나타내며, 트랜스듀서가 음파를 관심 영역의 주사선에 집중시키는 방법을 보여준다. 일반적으로 초음파 시스템은 2MHz~20MHz 주파수 범위에서 작동하지만 일부 시스템은 고조파 이미징(Harmonic Imaging)을 위해 40MHz에 근접한 주파수에서 작동한다. 원칙적으로 초음파 시스템은 특정한 스캔 라인을 따라 음파가 원하는 초점 지점에서 건설적으로 합산되도록 음파를 집중한다. 특정 초점을 향하여 음파를 집중시키기 위해, 트랜스듀서 요소 세트는 시간지연 펄스(Time-Delayed Pulses)로 활성화되며, 이는 원하는 기관 및 주변 조직인 관심 영역을 통해 전파되는 음파를 생성한다. 여러 음파를 사용하여 소리 빔을 조종하고 초점을 맞추는 이러한 과정을 일반적으로 빔포밍이라고 한다.



현대적인 새로운 통합 솔루션을 위하여 FPGA를 기반으로 하는 저전력 및 저비용 초음파 디지털

빔 형성기 개발이 필요하다. 완벽한 수신기 및 송신기 IC는 단일 장치에서 다양한 트랜스듀서에 대한 모든 요구를 수용할 수 있는 이상적인 플랫폼을 설계하는데 도움을 주었다. 이를 통해 빔의 폭을 제어하는데 무게 벡터의 디지털 제어를 통하여 초음파 이미지의 해상도 향상 및 수신기 지연 시간을 보다 정확하고 신속하게 변경할 수 있어서, 초점이 모든 조향 방향을 따라 되돌아오는 반사된 에코를 추적할 수 있다.

또한, 높은 에코 정보의 동적 범위를 저장할 수 있으며, 여러 개의 빔을 동시에 형성하여 프레임 속도를 높일 수 있다. 불필요한 개별 부품을 제거함으로써 초음파 이미징 장치의 비용을 절감하고 초음파 스캐너의 전력 소비를 줄인다. 단일 표준 FPGA 칩을 사용하여 완전한 32채널 초음파 빔포머를 통합 할 수 있으므로 원하는 휴대성을 달성할 수 있다.

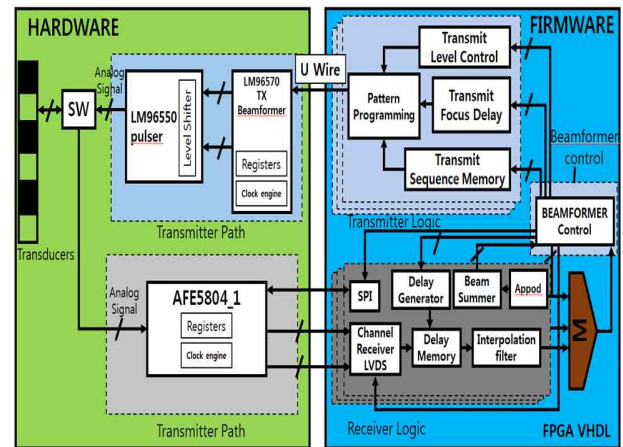


Fig. 2 Full Beamformer System and Related Components.

완벽한 시스템 설계를 위해서는 여러 영역에서 개발을 진행해야 한다. 기존 빔포머의 하드웨어는 일반적으로 제안 설계로 최소한의 비용으로 직렬 처리를 사용하여 실시간 2D 이미지 형성을 위해 설계되었다. 하드웨어 및 펌웨어 처리 단계의 구분을 포함한 초음파 시스템의 복잡한 전체 도면을 Fig. 2에 나타내었다. 두 가지 주요 부분은 하드웨어 및 펌웨어 설계이다.

하드웨어 설계에는 두 개의 구분된 경로가 포

합되며, 첫 번째 경로는 두 개의 IC, 송신기 빔 형성기 및 펄스 IC로 구성된 송신기 경로이다. 펌웨어 설계에는 제어유닛, 송신기 로직 및 수신기 로직의 세 가지 주요 구성요소가 있다. 송신기 및 수신기 코어 IP는 모두 VHDL로 작성되고 Vivado에 의해 합성되고 최적화 된다.

### 2.1 빔포머 하드웨어 설계 및 구현

여러 분야에서 탁월한 성능을 발휘하기 위한 빔포머의 설계에서는 몇 가지 요구되는 사항이 있다. 첫째, 임의의 이미지 영역을 생성할 수 있으면서 빔포밍 계산과 관련된 매개 변수를 변경할 수 있도록 재구성이 가능해야 한다. 둘째, 필요한 장치의 크기에 맞게 확장 또는 축소 설계가 가능해야 하며 하드웨어 내부에 대한 어떤 이해도 요구하지 않아야 한다. 셋째, 시스템은 현대적인 실시간 3D 이미지를 허용할 수 있도록 고속 동작이 필요하다. 마지막으로 주어진 작업에 필요한 채널수를 저비용으로 설계할 수 있어야 한다. 이러한 요구 사항 외에도 필요 기능을 가능하면 고품질로 만드는 것이 필요하다. 잘 설계된 하드웨어는 하나의 영역뿐만이 아니라 설계 프로세스의 모든 부분을 포함하기 때문에 중요하다.

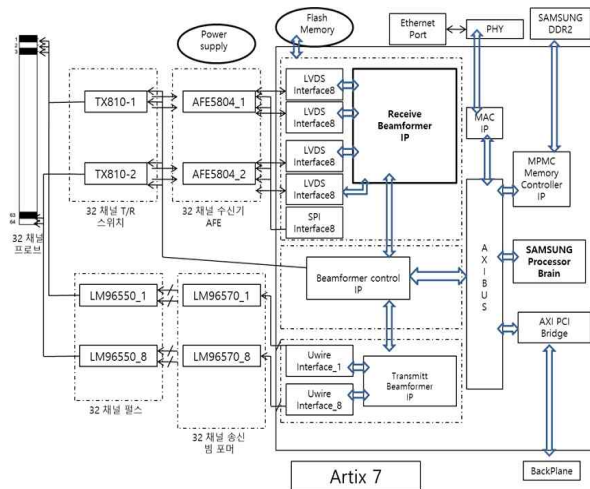


Fig. 3은 설계한 디지털 빔포머 시스템 아키텍

처를 보여준다. 제안된 시스템 아키텍처는 16개 빔 채널을 형성하도록 설계되었다. 송신기 회로는 2 개의 초음파 펄스 발생기 드라이버 IC(LM96550)와 펄스 패턴 제어용으로 작동하는 2 개의 송신 빔 형성기 IC(LM96570)로 구성된다. 수신기 회로의 경우 모든 수신기 AFE 기능을 포함하는 두 개의 IC(AFE804)가 있으며 두 회로는 HV 스위치로 절연되어 있다.

FPGA(Field Programmable Gate Array)에서는 수신기 및 송신기 회로의 두 가지 IP 코어 컨트롤러를 구현하고 있다. 이것은 HV 스위치 제어뿐만 아니라 송신 및 수신 간의 제어 IP 코어와 동기화된다. 또한, 백플레인과 인터페이스하기 위한 PCI 브리지가 있으며 DDR2 작동 제어를 위한 메모리 컨트롤러도 포함되어 있다. 마지막 인터페이스 부분은 MAC이며 MAC IP 코어를 통해 이루어진다. 모든 소프트웨어 작업은 버스를 통해 마이크로프로세서의 소프트웨어에 의해 관리되고, 디지털 빔포머 시스템에 전원을 공급하기 위한 다수의 DC-DC 레귤레이터로 구성된 커스텀 회로가 있다.

전원 시스템과 관련하여 디지털 빔포머 시스템에서 중요한 부분은 배전 시스템이다. 본 설계에서는 3 개의 스위치 모드 전원 공급 장치를 사용하고 있다. 스위치 모드 전력 변환기는 입력 DC 전원 공급 장치를 높은 변환 효율로 다른 전압으로 조정하기 위해 한 쌍의 정합된 전계 효과 트랜지스터를 사용하는 최신 DC-DC 변환기이다. 설계를 위한 입력 전원 레일은 Linear Technology의 5V 전압 레귤레이터 회로로 5V 메인 전원에서 각 부분에 필요한 3.3V, 2.5V, 1.8V, 1.0V 및 0.9V 전원을 생성한다. 스위치 모드 컨버터는 벽 컨버터 토폴로지를 사용한다.

### 2.2 빔포머 소프트웨어 설계 및 구현

빔포머 소프트웨어 설계는 샘플링된 변환기 에코신호의 빔을 형성하기 위해 FPGA를 기반으로 구현한다. ASIC 디자인과 달리 FPGA 디바이스는 다른 작업을 수행할 수 있도록 다시 프로그래밍할 수 있다. 시스템에서 HDL 하드웨어 블록 설계는 시스템 성능을 결정할 때 보드 설계만큼

중요하다. 시스템의 구성 요소에 대한 설계 사항을 세부적으로 기술함으로써 디지털 빔포머 설계를 상세하게 설명한다.

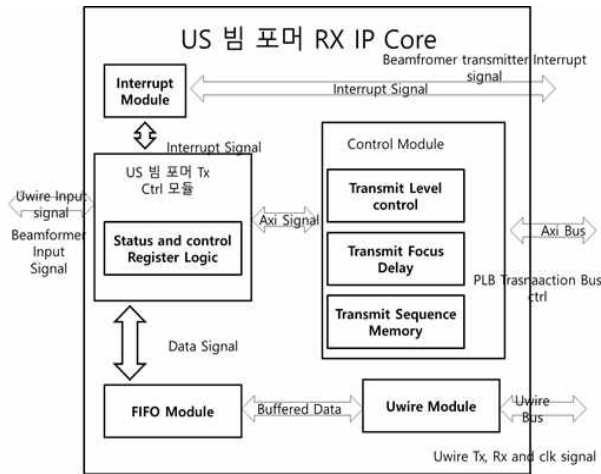


Fig. 4 Internal Structure of US Beamformer Receiver

Fig. 4는 US 빔포머 수신기의 내부 구조를 나타내고 있다. 빔포머 수신기의 IP 코어는 FPGA에서 HDL로 구현되며, 이러한 코어 구현은 하드웨어에 따라 다르다. 여기서는 FW에서 구현할 수 있는 방법에 대해 설명한다. 디지털 빔포머 수신기의 내부 구성 요소는 메인 모듈을 제외하고는 송신기와 거의 동일하며, 코어의 핵심인 빔포머 수신기의 모듈을 자세히 확인할 수 있다.

빔포머는 각 배열 요소에서 수신된 펄스 에코를 샘플링하고 딜레이가 적용되기 전에 저장된다. 전체 배열 요소에 저장된 샘플 및 특정 스티어링 방향에 대해서는 초점에 대한 수신 시간 지연에 따라 지연되고 간섭을 얻기 위해 합산되며 초점을 맞춘 신호의 엔벨로프 진폭은 해당 밝기와 함께 표시된다. 수신기의 기능은 트랜스듀서 요소로부터의 신호를 지연 및 합산하는 것이고, 각 변환기의 아날로그 신호가 디지털 샘플로 변환된다. 마지막으로 샘플을 양분화 인자로 스케일링하기 전에, 원하는 정수 및 분수 샘플 오프셋을 제공하도록 필터링한 다음, 함께 합산하여 빔 형성 샘플 시퀀스를 제공한다.

### 3. HDL 검증 및 테스트벤치

시스템의 주요 구성 요소는 Artix-7을 이용하여 설계한 FPGA이지만 상대적으로 저렴한 Spartan7[9]을 활용하여 FPGA의 주요 구성 요소와 CLB, LUT 및 BRAM의 의미를 검토하였다. 백엔드 시스템의 진단부 빔포밍 수신 모듈을 마이크로프로세서 구성하고 설계하여 백엔드 함수의 복잡성을 줄였다. 또한 추후 빔포머에 인터페이스를 추가하면 타사의 마이크로프로세서와 인터페이스가 가능하다. 설계한 IP 코어와 그 구성 요소인 LVDS 인터페이스를 사용하는 디지털 빔포머 IP 인터페이스의 주요 구성 요소와 동기화 및 버퍼링 기술에 대한 데모를 진행한다. 향후 필요한 추가 기능으로 보간 및 합산에 대한 최적화 기법의 방법을 설명하고, 사용 중인 DDR 메모리 코어에 대한 데모도 진행하였다.

먼저 합성된 DBF(Digital Beamformer) 회로 블록을 Vivado에서 시뮬레이션한 리포트를 요약하여 Table 1에 나타내었다.

Table 1 Characteristics of the Designed Beamformer Reported by Vivado

Verilog HDL lines	about 51,000 lines
Synthesized Cells	about 20,000 cells
Synthesized Nets	about 316,000 nets
Scan data Storage	256Mbits
Operating Clock Speed	100MHz
I/O Bandwidth for every 32 clock	32scan data×16bit-word
Total on Chip Static Power	0.084W

전체 Verilog HDL은 약 51,000 line, 합성된 Cell 수는 약 20,000개, 합성 Net의 수는 약 316,000개 그리고 전체 전력소비는 84mW로써 기존의 개별 부품을 사용하여 구현한 경우에 비해 저전력 설계가 가능하다.

빔포밍을 위해 구현된 회로의 기능은 Scan Data Register File에 입력 데이터를 Write할 때 각 센서단에서 수신된 값들을 필요 위치에 맞게 지연시켜서 합산하고 저장하는 기능을 하는 회로

이다. 또한 저장된 값을 읽어서 백엔드 프로세서에 출력해 주는 방식으로 동작한다.

합성된 회로의 검증을 위하여 먼저 StartScan Signal이 잘 생성된 파형을 Scan Data 시작 신호로 사용한다. 그리고 Web(Write Enable) In/Out Signals를 이용하여 Scan Data Register File에 입력으로 들어온 데이터를 저장하고 읽어내는데 사용한다. 합성된 회로가 정상적으로 동작함을 Fig. 5~Fig. 7에 나타내고 있다.

Fig. 5는 DBF 스타트 스캔 클럭 시그널의 생성 타이밍 테스트 벤치 및 그 동작 다이어그램을 나타내고 있다.

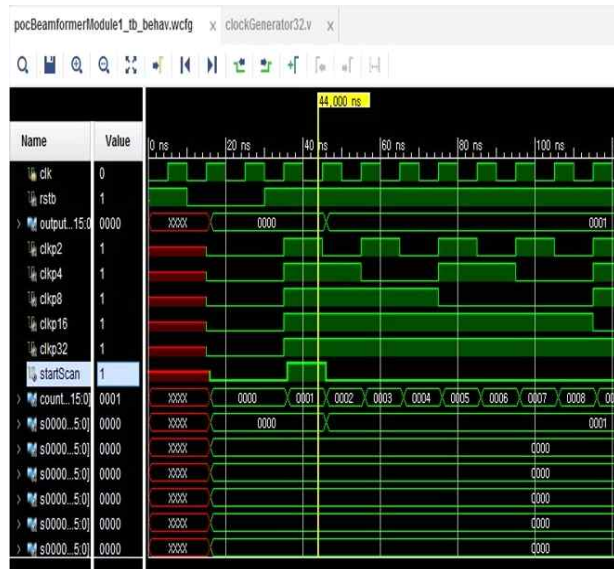


Fig. 5 Test Bench for Digital Beam Former Start Scan Clock Signal Generation

기본적으로 가변 입력 클럭 스피드를 활용하여 동작 클럭을 쉽게 변경할 수 있고 시스템 적응형 스캔 데이터 처리가 가능한 방법을 사용하였고, 4단 파이프라인 방법을 적용하여 DBF 기능을 구현하였다. 1단 파이프라인 단계에서는 디지털 스캔 데이터 정렬 및 시프트 레지스터로의 입력 기능을 수행한다. 2단 파이프라인에서는 모든 트랜스듀서 엘리먼트들로부터 입력되는 스캔 데이터를 이용하여 주어진 반향파 타임 지연 만큼의 시프팅 기능을 수행하고 시프트된 스캔 데이터의 합을 구한다. 3단 파이프라인에서는 계산된

스캔 데이터의 합을 출력 스캔 레지스터에 로딩하고 출력한다. 동시에 외부 DRAM 인터페이스를 통해 스캔 데이터 출력과 DRAM 저장을 수행할 수 있다. Reserved 4단 파이프라인에서는 외부 DRAM에 저장된 스캔 데이터를 읽어서 필요한 처리를 수행할 수 있다.

본 설계에서 출력단 데이터는 Webs(Write Enable Bar for startScan) 시그널에 의해서 모든 스캔 데이터는 처리된다. 각 스캔 데이터의 시간 지연에 따른 쉬프트 오퍼레이션과 쉬프트 후 저장할 쉬프트 레지스터의 동작 또한 webs에 동기가 되어 수행된다. Fig. 6에 webs에 동기화되는 스캔 Add 및 쉬프트 동작의 타이밍도를 나타내었다.

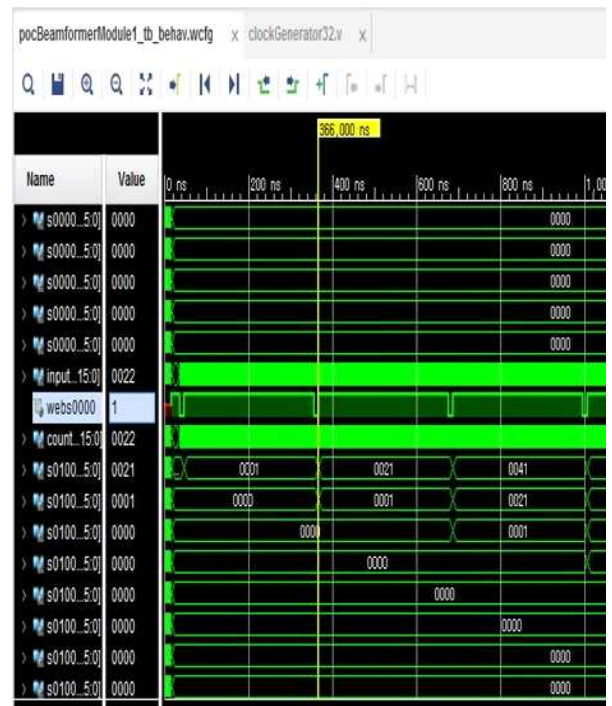


Fig. 6 Added scanData by webs(Write Enable Bar for startScan) signal

Fig. 7은 스캔 데이터의 시간지연 쉬프트 및 Add 결과 값의 출력 레지스터 로딩 타이밍과 동작 파형을 나타낸다.

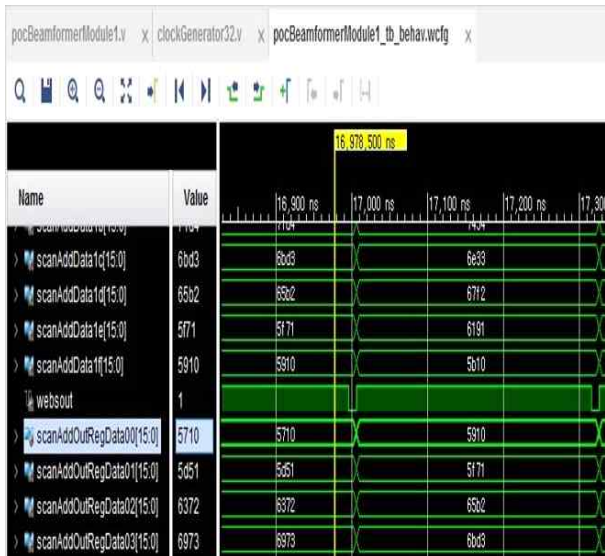


Fig. 7 Result of Loading Register Value of Scan Data by Webs Signal

#### 4. 결론

본 논문에서는 초음파 응용 영상 기술의 다양한 임상 진단 응용이 가능한 파이프라인 회로 구성 방식을 가지는 빔포밍 프론트 엔드 플랫폼을 구현하였다. 설계된 디지털 빔포머는 향후 시스템 사양의 재구성이나 변경시 적절한 수정 및 보완이 가능하고, 임의의 이미지 영역을 생성할 수 있는 스캔 데이터의 고속 관리기능을 지원한다.

시스템의 주요 구성 요소인 FPGA는 Xilinx사의 Artix7으로 설계하였다. 최신 하이레벨 합성 툴인 Vivado 개발 환경에서 Verilog HDL 코드를 이용하여 속도 병목 현상, 필요 메모리 고속 버퍼링 요구 사항 및 고급 수학적 모듈의 사용 필요성 감소와 같은 하드웨어의 최적화 문제를 해결하였다. 또한, Vivado 환경에서 제공되는 풍부한 High-level Synthesis 기능을 활용하여 개발 속도를 단축하고 최적 회로 구현을 할 수 있었고, 더욱 저렴한 Spartan7 을 사용하여 시스템을 구성할 수 있었다.

본 플랫폼은 향후 실제 시스템 적용 시에 필요한 주변부 시스템 인터페이스들 즉, LVDS 인터페이스, SERDES, 및 다양한 프로세서의 인터페이스

등의 구현시 신속한 추가 개발이 가능하다. 빔 포밍에 필요한 더욱 정확한 계산과 관련된 많은 매개 변수를 변경할 수 있도록 설계하였고 추후에는 목표하는 시스템에 맞게 매개 변수들의 자동 계산하고 수정할 수 있는 기능을 삽입할 필요가 있다.

향후 업그레이드된 시스템의 개선 방향으로는 해상도의 향상과 입체영상의 복원을 위한 DBF 회로기능 구현 등이 있다. 또한 의료정보관리의 클라우드 시스템화 및 빅데이터 활용을 위해 각 의료진단 장치들의 사물인터넷화가 필요하다.

이러한 미래의 요구사항을 반영한 PoC(Point of Care) 시스템의 사물인터넷 적용 기능 추가 등 IoHT (Internet of Healthcare Things) 시대를 위한 추가적인 기술 축적 및 신기술 개발이 필요한 실정이다.

#### References

- [1] Lee, Y. J., and Lee, H. H., "Ultrasonic Application and Recent Trends in Diagnostic Medical Imaging," The Magazine of the IEIE, Vol. 44, No. 3, pp. 40-50, 2017.
- [2] Ma, J., Karadayi, K., Ali, M., and Kim, Y., "Software-based Ultrasound Phase Rotation Beamforming on Multi-core DSP," in Proc. IEEE International Ultrasonics Symposium, pp. 503-506, 2011.
- [3] Basem Ahmed Hassan, "Low-Cost Digital Ultrasound Beamformer Design using Field Programmable Gate Arrays," Master's Thesis, Cairo University, 2012.
- [4] Chen, K., Lam, B., Sodini, C. G., and Chandrakasan, A. P., "System Energy Model for a Digital Ultrasound Beamformer with Image Quality Control," in Proc. IEEE International Ultrasonics Symposium, pp. 615-618, 2012.
- [5] Park, H. N., and Lee, J. G., "Ultrasonic Beamforming Design and CUDA Performance Comparison using OpenCL," in

- Proc. The Institute of Electronics and Information Engineers 2014 Summer Symposium, Vol. 37, No. 1, pp. 1103-1106, 2014.
- [6] Lim, B. G. and Kang, M. H., “HW/SW Co-design For an Ultrasonic Signal Processing System Using Zynq SoC,” Journal of The Institute of Electronics and Information Engineers, Vol. 51, No. 8, pp. 148-155, 2014.
- [7] Xilinx, Vivado Design Suite User Guide, Programming and Debugging, UG908, Apr 20, 2017.
- [8] Spaulding, J., Eldar, Y. C., and Murmann, B., “A Sub-Nyquist Analog Front-End with Subarray Beamforming for Ultrasound Imaging,” in Proc. IEEE International Ultrasonics Symposium, 2015.
- [9] Xilinx 7 Series FPGAs Data Sheet: Overview, DS180, Mar. 28, 2017.



정 갑 중(Jeong GabJoong)

- 경북대 전자공학과 공학학사
- 경북대 전자공학과 공학석사
- 연세대 전자공학과 공학박사
- (주)액티브네트웍스 대표
- 관심분야 : IoT, Cloud, 디지털

시스템설계



박 철 영(Park CheolYoung)

- 정회원
- 경북대 전자공학과 공학학사
- 경북대 전자공학과 공학석사
- 도호쿠대 공학과 공학박사
- 대구대 전자전기공학부 교수
- 관심분야 : 디지털시스템설계, 헬스케어, RFID