

<https://doi.org/10.7236/IIBC.2019.19.1.9>

IIBC 2019-1-2

소형 밀리미터파 추적 레이더용 고속 실시간 신호처리기 개발

Development of High-Speed Real-Time Signal Processing Unit for Small Millimeter-wave Tracking Radar

김홍락*, 박승욱**, 우선걸**, 김윤진**

Hong-Rak Kim*, Seung-Wook Park**, Seon-Keol Woo**, Youn-Jin Kim**

요약 소형 밀리미터파 추적 레이더는 저속으로 기동 중인 큰 RCS를 갖는 바다위의 함정 표적에 대하여 TWS(Track While Scan) 방식을 통하여 실시간으로 표적을 탐색, 탐지 하여 추적하는 펄스 방식의 레이더이다. 본 논문에서는 저속으로 기동을 하지만 채프, 디코이 등 다양한 기만체를 운영하는 함정 표적에 대하여 LPRF와 DBS, 및 HRR 신호처리 기법을 통하여 표적 정보를 획득하고 추적하기 위하여 고속의 CPU가 탑재된 보드 개발과 표적정보를 실시간 처리하기 위하여 FPGA(Field Programmable Gate Array)를 활용하여 실시간 FFT 연산이 가능한 DFT(Discrete Fourier Transform) 모듈 설계를 포함한 신호처리기 구조를 설계하고 성능시험을 통해 구현한 신호처리기를 검증하였다.

Abstract A small millimeter-wave tracking radar is a pulse-based radar that searches, detects, and tracks a target in real time through a TWS (Track While Scan) method for a traps target on the sea with a large RCS running at low speed. It is necessary to develop a board equipped with a high-speed CPU to acquire and track target information through LPRF, DBS, and HRR signal processing techniques for a trap target operating various kinds of dexterous objects such as chaff and decoy, We designed a signal processor structure including DFT (Discrete Fourier Transform) module design that can perform real - time FFT operation using FPGA (Field Programmable Gate Array) and verified the signal processor implemented through performance test.

Key Words : Millimeter-wave, Signal Processing Unit, LPRF, FPGA, CPU

1. 서 론

대양의 함정표적은 RCS는 크지만 상대적으로 전자전(EW, Electronic Warfare) 시스템이 잘 갖춰져 있기 때문에 소형 추적 레이더가 함정표적을 끝까지 추적하기 위해서는 함정에서 운용하는 채프, 디코이, 노이즈 제밍 등을 대응하기 위한 다양한 알고리즘 및 운영 파형을 탐

재해야 하므로 많은 연산량에 대한 실시간 처리가 요구되어 진다. 기존에 개발된 모노 펄스 방식의 소형 레이더용 신호처리기는 빠른 FFT 연산을 위하여 DSP 기반으로 개발되어 왔다.^[1] DSP 기반의 신호처리기는 많은 수의 DSP를 사용해야 하기때문에 사이즈가 커지고 비용이 증가하는 단점이 있다. 본 연구에서는 DBS와 같은 영상 처리가 가능한 소형 경량화 신호처리기 개발을 위해서는

*정회원, LIG넥스원(주) 감시정찰연구소 (교신저자)

**정회원, LIG넥스원(주) 감시정찰연구소

접수일자: 2018년 12월 10일, 수정완료: 2019년 2월 1일

게재확정일자: 2019년 2월 8일

Received: 10 December, 2018 / Revised: 1 February, 2019

Accepted: 8 February, 2019

*Corresponding Author: hongrak.kim@lignex1.com

Dept. of RF & IIR Seeker R&D Lab, LIG Nex1 Co., Ltd. Korea

고속의 멀티코어 프로세서가 필요로 하여 PPC(Power PC)를 적용하여 하나의 CPU로 많은 량의 연산을 실시간으로 처리하도록 설계 하였다. 또한 CPU의 연산량의 한계를 극복하기 위하여 FPGA를 활용하여 병렬처리를 함께 수행한다. FPGA에는 디지털 필터 설계, 디지털 주파수 하향 변환 설계, 광대역 채널 선택 기술을 구현하고 CPU에서는 표적 신호 탐지 및 추적 알고리즘을 구현함으로써 실시간 신호처리가 가능하도록 설계하였다. 또한 IF 대역의 수신신호를 기저대역으로 주파수 하향 변환하기 위하여 DDC(Digital Direct Converter)를 활용하기도 한다.^[2] 이경우 DDC를 설정하고 운용하기 위하여 추가적인 자원이 들어가기 때문에 최근에는 FPGA를 활용하여 주파수 하향 변환을 설계 한다.^[3]

레이다에서는 신호 분해능과 신호대 잡음비를 높이기 위하여 사용되는 신호처리 기술 중 하나로 펄스압축(pulse compression)기법을 수행한다. 기존의 noncoherent 시스템에서는 Log AMP 를 적용하여 Long Pulse 수신신호로 Log Video 신호를 생성하여 표적을 탐지 추적하고 있다.^[4] 또한 coherent 시스템에서는 펄스 압축을 CPU에서 처리하기도 한다.^{[1][2][5][6]} 본 연구에서는 CPU의 연산량 부담을 줄이고 보다 빠른 디지털 펄스 압축을 위하여 FPGA에서 구현을 하였다. 또한 탐지거리에 따라 가변 송신 펄스폭을 활용하여 동일한 시스템 규격에서 탐지거리를 향상시켰다.

레이다의 탐지거리 규격을 충족하기 위하여 매우 낮은 수신 신호에서 표적의 정보를 획득해야 하기 때문에 ADC(Analog Digital Converter) 동적 범위와 임피던스 매칭 설계가 중요하다.^[1] 수신신호의 입력과 분리를 위하여 1:1 Transformer를 적용하였고 ADC의 RC 회로 모델링을 통하여 임피던스 매칭 설계를 하였다.

본 논문에서는 신호처리가 적용되는 밀리미터파 소형 레이다의 사양에 대하여 설명하고 많은 데이터를 실시간 처리하기 위한 고속 프로세서와 FPGA를 포함하는 하드웨어 설계와 펌웨어 설계에 대하여 설명을 하고 끝으로 모의표적 신호를 이용한 시험 결과를 제시한다.

II. 신호처리기 설계

소형 밀리미터파 추적 레이다용 신호처리기의 주요 사양은 표 1과 같다.

표 1. 신호처리기 주요 사양

Table 1. Signal Processing Unit Main Spec.

항목	개발 사양	비고
수신 입력	4개 채널, 선형성오차 1dB 미만	
ADC	14 bit 이상, 샘플링 주파수 80MHz 이상	
DDC	14 bit 이상	
펄스 압축	압축 펄스폭 : 000 ns	
적분수	SNR 에 따른 가변 구조	
통신	RS232, GbE, RS485	
CUP	800MHz 이상	
RAM	DDR3 1Gb	
FPGA	Vertex 6 이상	

소형 밀리미터파 추적 레이다용 신호처리기는 하나의 보드에 수신신호 입력부, 디지털변환부, 전처리부, 운용 제어부, 인터페이스부로 나누어 지며 수신된 표적신호를 처리하여 표적을 탐지 및 추적 역할을 수행한다.

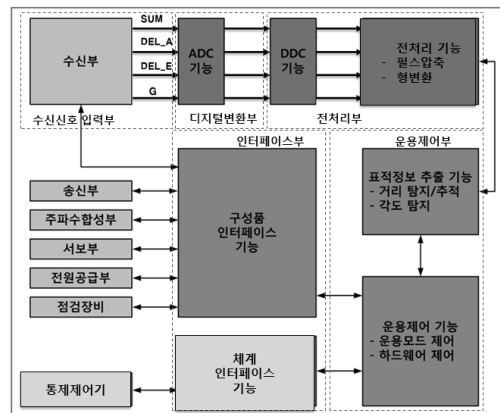


그림 1. 신호처리기 블록도

Fig. 1. Signal Processing Unit Block Diagram

수신신호입력부는 수신부로부터 00MHz의 IF 신호를 입력받아 디지털변환부로 전달하는 역할을 하며 수신신호 입력단 분리를 위하여 1:1 Transformer를 적용하였고 ADC의 RC 회로 모델링을 통하여 임피던스 매칭 설계를 하였다. 그림 2는 수신신호입력부의 회로도이며 입력되는 수신신호의 주파수와 임피던스 매칭을 고려하여 저항값을 선정하게 된다.

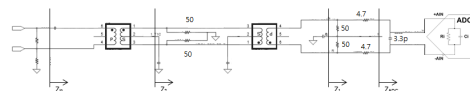


그림 2. 수신신호입력부

Fig. 2. Receive signal input section

$$Z_{in} = \frac{1}{j\omega 0.1 \times 10^{-6}} + \frac{9.4 + R_i + 9.4j\omega R_i C_i}{1.188 + 0.02R_i + j\omega(0.188R_i C_i + R_i C_i)} \quad (1)$$

전처리부는 FPGA에서 구현되며 DDC 모듈을 통하여 하향변환을 수행하고 펄스압축 및 CPU에서 처리가능하도록 디지털값의 형변환을 수행한다. 그림 3은 FPGA에서 구현된 DDC 모듈의 블록도이다. MATLAB에서 제공하는 System Generator를 이용하여 DDC 설계를 진행하였고 DDC 시뮬레이션 결과를 통하여 필터의 계수값을 적용하여 구현하였다. 수신 신호는 ADC에서 14bit의 0.0 MHz로 sampling 되고, DDC에서 0.0 MHz의 NCO 주파수와 mixing 되어 기저대역으로 옮겨진 후, Image Rejection Filter 및 Decimation Filter를 통과하여 CPU로 16bit의 0.0 MHz Data rate을 가지는 수신신호로 변환되어 펄스 압축 모듈로 전송한다. 모든 디지털 블록은 FPGA에서 제공하는 IP Core의 모델이며, 4채널의 수신신호에 대한 DDC 모듈은 모두 동일하게 설계하였다.

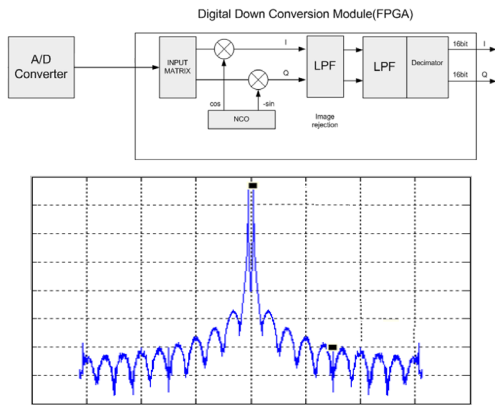


그림 3. 디지털 하향 변환 모듈
 Fig. 3. Digital Down Conversion Module

제한된 송신 펄스의 침투 전력에 대하여 송신 펄스 폭을 넓히고 펄스 압축을 통하여 신호 분해능과 신호대 잡음비를 높여 탐지거리를 확장한다. 먼거리, 중간거리, 단거리에 따른 송신 펄스 폭을 달리 함으로써 탐지거리와 추적성능을 동시에 만족하도록 FPGA에서 펄스 압축 모듈을 설계 하였다. 그림 4는 Time Domain에서의 펄스 압축에 대한 개념도를 보여주고 있다. 그림 5는 FPGA를 이용하여 FIR 필터를 적용한 정합 필터 구현으로 XILINX사의 VIVADO를 이용하여 통합 설계를 진행 하였다. 각 FIR Filter Core 3개를 사용하여 세가지 송신펄스 폭에 대한 펄스 압축을 구현하였다. 제일 짧은 펄스폭에 대하여 MPRF Mode를 함께 구현되었다.

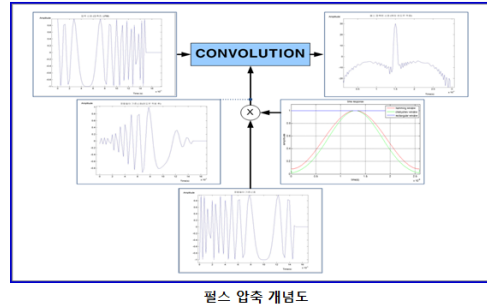
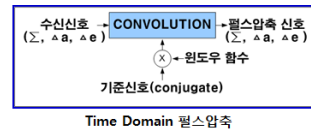


그림 4. 펄스 압축 개념도
 Fig. 4. Pulse Compression Conceptual diagram

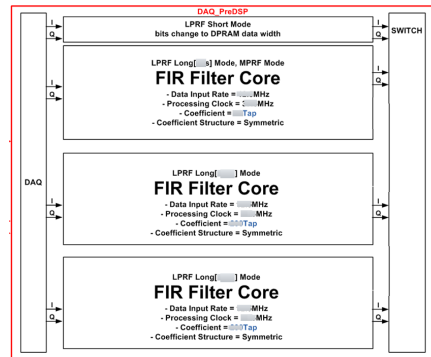


그림 5. 정합 필터 설계
 Fig. 5. Matched filter design

그림 6은 구현된 펄스압축 모듈에 대한 시뮬레이션 결과이다. 요구되는 분해능과 신호대잡음비를 만족하고 있음을 보유했다.



그림 6. 펄스 압축 시뮬레이션 결과
 Fig. 6. Pulse Compression Simulation Result

그림 7과 표 2에서 신호처리기의 연산량 분석을 통하여 1.0GHz Core Clock을 가지는 E2V(社) PowerPC QorIQ P2080로 선정을 하였고, DDR3 메모리, Flash 메모리, DPRAM 및 FPGA를 선정하였다. FPGA는 DDC, 펄스압축 등의 기능 설계를 고려하여 XILINX 사의 Kintex Ultrascale 로 선정을 하였다. 아날로그 4채널 입력은 전용 콤포 마이크로 D-SUB 컨넥터를 적용하였고, 시스템 클럭 수신을 위해서 Right Angle SMA 컨넥터를 적용, 외부로 Raw 데이터를 고속으로 보내기 위한 SRIO를 적용, 외부와 고속통신 및 안정적인 전원공급을 위하여 VPX 컨넥터 적용, 자체점검 및 프로그램 Update 등을 위하여 JTAG 포트를 적용 설계하였다. 외부 구성품들과의 인터페이스는 RS422 통신과 LVDS로 구성되었다. 그리고 PPC의 전원공급을 위한 주변회로들로 구성된다.

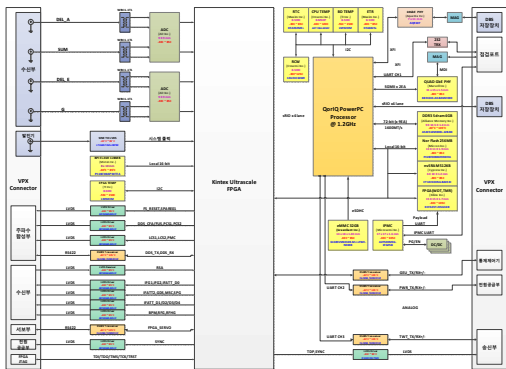


그림 7. 신호처리기 설계 블록도
Fig. 7. Signal Processing Unit Design Diagram

표 2. 신호처리기 HW 설계
Table 2. Signal Processing Unit Hard Ware Design

항목	설계 내용	비고
CPU	E2V(社) PowerPC QorIQ P2080	
DDR3 MEMORY	Alliance Memory(社) DDR3 SDRAM 4GB	
FLASH	Micron(社) Nor Flash 256MB	
NVRAM	Cypres(社) 512KB	
FPGA	Xilinx(社) FPGA Kintex Ultrascale	

III. 신호처리기 제작 및 측정 결과

상기의 설계 내용을 바탕으로 그림 8과 같이 신호처리기를 제작하였다.

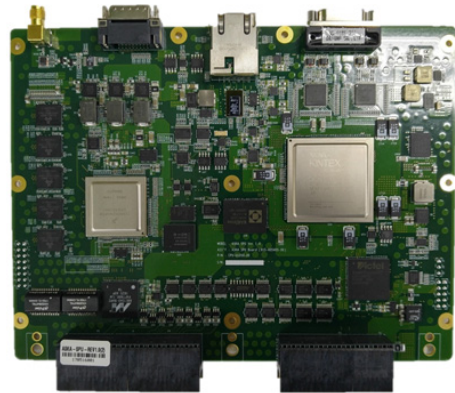


그림 8. 신호처리기 형상
Fig. 8. Signal Processing Unit shape

하나의 보드에 PPC와 FPGA를 중심으로 전원부, 외부 인터페이스와 내부 인터페이스 및 인터페이스용 IC부품을 배치하여 하나의 보드에 제작을 하였다. 그림 9는 신호처리기를 시험하기 위한 시험 구성도이다. 신호처리기에 전원을 공급하기 위한 전원 공급 모듈, 수신 동적 시험용 입력신호 생성을 위한 신호발생기, 펄스 압축 성능 확인용 LFM 신호를 생성하여 입력하기 위한 LFM 신호발생장치, 출력신호 타이밍 측정을 위한 오실로스코프, 시험 항목별 시험자의 편의를 위한 GUI 용 PC로 구성된다.

표 3은 선형성 오차 측정 결과이다. 신호 발생기 출력 신호를 4채널 동시 연결하여 CW 신호를 공급하고 결과 분석 시 I, Q 데이터를 complex FFT를 취하여 확인하였다. 규격을 만족함을 알 수 있다.

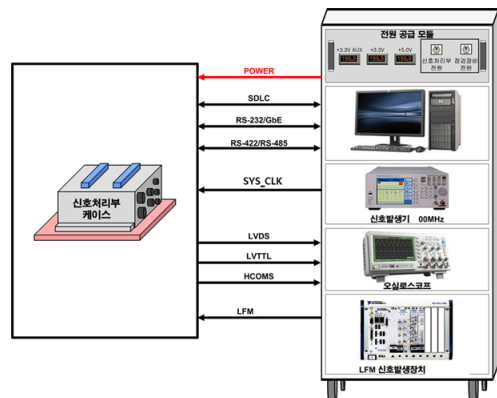


그림 9. 신호처리기 시험 구성
Fig. 9. Signal Processing Unit Test Configuration

표 3. 선형성 오차 측정 결과

Table 3. Test result of linearity error

신호발생기 입력 [dBm]	SUM	DEL_A	DEL_E	G
	선형성오차	선형성오차	선형성오차	선형성오차
+0dBm	-0.6	-0.6	-0.6	-0.6
+0dBm	-0.1	0	-0.1	0
+0dBm	-0.1	0	0	0
+0dBm	0	0	0	0
-0dBm	0	0	0	0
-0dBm	0	0	0	0
-0dBm	0	0	0	0
-0dBm	0	0	0	0
-0dBm	0	0	0	0
-0dBm	-0.2	-0.1	-0.4	-0.2
-0dBm	-0.3	-0.3	-0.3	-0.3
-0dBm	-0.4	-0.4	-0.4	-0.4
-0dBm	-0.1	0	0.5	0
-0dBm	-0.4	-0.1	0.1	-0.1

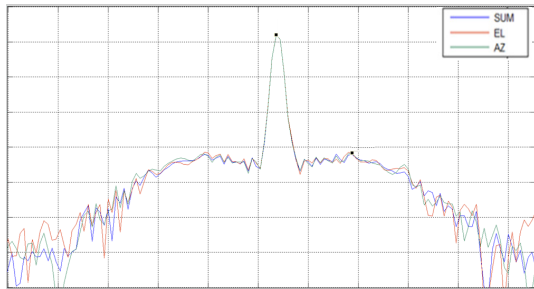


그림 10. 펄스압축 시험

Fig. 10. Pulse Compression Test

그림 10은 펄스압축 시험결과이다. 그림 9의 시험구성에서 LFM 신호발생장치를 통하여 약속된 펄스폭의 LFM 신호를 생성하여 신호처리기로 입력하여 FPGA를 거쳐 펄스압축과 형변환 후 PPC로 입력된 결과를 저장하였다. SUM, DEL_A, DEL_E에 대하여규격이 만족되는 거의 동일한 결과를 얻었다.

IV. 결론

본 논문에서는 소형 밀리미터파 추적 레이더용 고속 실시간 신호처리기를 개발하였다. 연산량 분석을 통하여 1.0GHz Core Clock을 가지는 E2V(社) PowerPC QorIQ P2080로 설계 제작하였고, DDR3 메모리, Flash 메모리, DPRAM 및 FPGA를 선정하였다. FPGA는 DDC, 펄스압

축 등의 기능 설계를 고려하여 XILINX 사의 Kintex Ultrascale 로 설계 제작 하였다. 기존과 달리 PPC 선정, DDC, 펄스 압축을 FPGA로 구현함으로써 하나의 보드로 구현을 하였다. 또한 전용 시험장비를 구성하여 성능 시험을 통하여 결과를 확인하였다.

References

- [1] Jin-Kyu Choi, Jun-Ho Yoon, "A Design of the High-Performance Signal Processor for a Small Tracking Radar", CICS 2012, pp191-192, Oct, 2012.
- [2] Doh Hyun Kim, Young Sung Lee, "Miniaturization of Signal Processor of Airborne Tracking Radar", The Korean Institute of Electrical Engineers Conference, pp114-117, Nov, 2002.
<http://www.dbpia.co.kr/Article/NODE01326985>
- [3] Jin-Kyu Choi, Han-Chun Ryu, "A Development of the High-Performance Signal Processor for the Compact Millimeter Wave Radar", The Journal of The Institute of Internet, Broadcasting and Communication, Vol. 17, No. 6, pp.161 - 167, Dec.31, 2017.
<https://doi.org/10.7236/JIIBC.2017.17.6.161>
- [4] Dariusz Budzinski, Jerzy Kampa, "DETECTOR LOG VIDEO AMPLIFIER WITH 60 dB LOGGING FUNGE", 14th International Conference on Microwaves, Radar and Wireless Communications, May 2002.
<https://doi.org/10.1109/MIKON.2002.1017847>
- [5] Lim Joong-Soo, Park Young Chul, "An Analysis of Operating Characteristics for Digital Pulse Compressor of Coherent Radar in Time Domain", 2006 Conference on Korea Academy Industrial Cooperation Society, pp397-400, May 2006.
- [6] Xinggan Zhang, Zhaoda Zhu, "A pulse compression processor implementation with DSP for airborne pulse Doppler radar", AIAA/IEEE Digital Avionics Systems Conference. 13th DASC, 30 Oct.-3 Nov. 1994.
<https://doi.org/10.1109/DASC.1994.369447>

[7] Jeong-Yeon Kim, "X-Band FMCW RADAR Signal Processing for small ship" Journal of the Korea Academia-Industrial cooperation Society(JKAIS), Vol. 10, No. 11, pp. 3121-3129, 2009

[8] Sangsik Lee, "Development of Signal Process Software for Electromyograph(EMG)" The Journal of KIIECT, Vol. 2, No. 2, pp. 17-22, 2009.

[9] Jongbok Lee, "Design and Simulation of ARM Processor using VHDL", The Journal of The Institute of Internet, Broadcasting and Communication(JIIBC), Vol. 18, No. 5, pp.229-235, Oct. 31, 2018.
<https://doi.org/10.7236/JIIBC.2018.18.5.229>

[10] J. Davidson, "FPGA Implementation of a Reconfigurable Microprocessor," IEEE Custom Integrated Circuits Conference, 1993, pp.3.2.1-3.2.4.

[11] A.A. Morgan, M.E. Allam, M.A. Salama, and H.A.K Mansourm "Implementation of an ARM Compatible Processor Core for SOC Designs," 2005 International Conference on Information and Communication Technology, Dec. 2005.

우 선 결(정회원)



- 2001년 2월: 광운대학교 전자공학부 (공학사)
- 2003년 2월: 광운대학교 전파공학과 (공학석사)
- 2007년 7월: 광운대학교 전파공학과 (공학박사)
- 2007년 8월~현재: LIG넥스원(주) 수석 연구원
- 주 관심분야: 레이더 신호처리, 밀리미터파 탐색기 등

김 윤 진(정회원)



- 1997년 2월: 서울대학교 전기공학부 (공학사)
- 1999년 2월: 서울대학교 전기공학부 (공학석사)
- 1999년 3월~현재: LIG넥스원(주) 수석연구원
- 주 관심분야: 밀리미터파 탐색기 시스템 등

저자 소개

김 홍 락(정회원)



- 1995년 2월: 대구대학교 전자전기컴퓨터학부 (공학사)
- 1997년 8월: 대구대학교 전자공학과 (공학석사)
- 1997년 7월~현재: LIG넥스원(주) 수석 연구원
- 주 관심분야: 밀리미터파 신호처리, 전원공급기, 밀리미터파 탐색기 등

박 승 욱(정회원)



- 2007년 2월 : 고려대학교 전기전자전파공학부(공학사)
- 2007년 1월~현재 : LIG넥스원(주) 선임 연구원
- 주요관심분야 : 임베디드 시스템, 디지털 신호처리