

# 직렬 커패시터 D/A 변환기를 갖는 저전력 축차 비교형 A/D 변환기

## Low Power SAR ADC with Series Capacitor DAC

이 정 현\* · 진 유 린\* · 조 성 익\*  
(Jeong-Hyeon Lee · Yu-Rin Jin · Seong-Ik Cho)

**Abstract** - The charge redistribution digital-to-analog converter(CR-DAC) is often used for successive approximation register analog-to-digital converter(SAR ADC) that requiring low power consumption and small circuit area. However, CR-DAC is required 2 to the power of N unit capacitors to generate reference voltage for successive approximation of the N-bit SAR ADC, and many unit capacitors occupy large circuit area and consume more power. In order to improve this problem, this paper proposes SAR ADC using series capacitor DAC. The series capacitor DAC is required  $2(1+N)$  unit capacitors to generate reference voltage for successive approximation and charges only two capacitors of the reference generation block. Because of these structural characteristics, the SAR ADC using series capacitor DAC can reduce the power consumption and circuit area. Proposed SAR ADC was designed in CMOS 180nm process, and at 1.8V supply voltage and 500kS/s sampling rate, proposed 6-bit SAR ADC have signal-to-noise and distortion ratio(SNDR) of 36.49dB, effective number of bits(ENOB) of 5.77-bit, power consumption of 294uW.

**Key Words** : Successive approximation ADC, Charge redistribution DAC, Capacitor type DAC, Low power DAC

### 1. 서 론

각종 사물에 센서와 통신 기능을 내장하여 인터넷에 연결하는 기술인 사물인터넷(IoT : Internet of things) 시스템이 현실의 아날로그 세계와 상호작용하기 위해선 아날로그 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기(ADC : Analog-to-digital converter)가 필수적이다. 이러한 IoT 시스템에서 다양한 아날로그 정보를 받아들이는 센서 네트워크에는 플래시(Flash) ADC, 파이프라인(Pipeline) ADC, 델타-시그마(Delta-sigma) ADC, 축차 비교형(SAR : Successive approximation register) ADC 등, 다양한 구조의 ADC들이 사용될 수 있다[1]. 그러나, 대부분의 센서들은 배터리를 이용하여 전원을 공급하므로 오랜 시간 동안 동작하기 위해선 시스템의 낮은 전력 소모량이 요구되는데[2], SAR ADC는 높은 에너지 효율을 가지면서도 전력 소모가 적어 IoT 시스템의 센서 네트워크에 적합한 ADC 구조로 많이 선택되고 있다[3-5]. 또한, 구조가 간단하고 아날로그 회로가 차지하는 비중이 크지 않아 작은 면적으로 설계하기 유리하다[6].

SAR ADC는 디지털-아날로그 변환기(DAC : Digital-to-

analog converter)를 이용하여 아날로그-디지털 변환에 필요한 기준전압을 생성하는데, 커패시터 배열로 구성된 전하 재분배 DAC는 작은 면적과 적은 전력 소모를 요구하는 SAR ADC에 주로 사용되는 구조이다[7]. 하지만, SAR ADC의 해상도가 높아질수록 전하 재분배 DAC에 사용되는 단위 커패시터의 수는 증가하게 된다. 즉, 8-bit 해상도의 SAR ADC를 설계한다면 전하 재분배 DAC는  $2^8(256)$ 개의 단위 커패시터가 필요하며 해상도가 1-bit 증가할 때마다 요구되는 단위 커패시터의 수는 2배씩 증가한다. 많은 수의 단위 커패시터는 회로에서 큰 면적을 차지하고 스위치의 스위칭 동작에서 흐르는 전류를 증가시켜 SAR ADC의 소형화 및 고속 동작에 제한을 줄 뿐만 아니라 IoT 시스템의 센서 네트워크에서 요구하는 낮은 전력 소모라는 조건을 충족하기 어렵게 한다.

이로 인해 SAR ADC에 요구되는 단위 커패시터의 수를 줄이기 위한 연구들이 계속되어 왔으며 스플릿 커패시터(Split-capacitor)를 이용한 스플릿 커패시터 DAC[8], Main-DAC와 Sub-DAC로 구성된 Master-Slave DAC[9] 등, 여러 가지 DAC 구조들이 SAR ADC의 단위 커패시터 수를 줄이기 위하여 사용되었다. 하지만 앞서 언급한 구조들은 여전히 전하 재분배 DAC를 기반으로 구성되기 때문에 축차 근사를 위한 기준전압을 충전할 시 많은 수의 단위 커패시터를 충전해야 한다는 문제를 갖는다.

본 논문은 기존 연구들에서 나타나는 문제점을 개선하기 위하여 직렬 커패시터 DAC를 이용한 SAR ADC를 제안한다. 제안하는 회로는 커패시터를 직렬연결하여 구성된 직렬 커패시터 DAC를 사용함으로써 단위 커패시터 수와 축차 근사를 위한 기준전압 충전 시 사용되는 단위 커패시터의 수를 줄일 수 있다. 본 논문

† Corresponding Author : Dept. of Electronic Engineering, Chonbuk National University, Korea.

E-mail: [sicho@jbnu.ac.kr](mailto:sicho@jbnu.ac.kr)

ORCID : <https://orcid.org/0000-0001-9172-225X>

\* Dept. of Electronic Engineering, Chonbuk National University, Korea.

ORCID : <https://orcid.org/0000-0002-9797-0446>

Received : August 31, 2018; Accepted : December 17, 2018

의 구성 순서는 다음과 같다. 2장에서 전하 재분배 DAC를 이용한 SAR ADC에 대해 간단한 배경지식을 제공하고 3장에서는 제안하는 SAR ADC의 구조 및 동작에 대하여 설명한다. 4장에서는 제안하는 SAR ADC에 대한 모의실험 결과를 보이면서 마지막으로 5장에서 본 논문을 결론짓는다.

### 2. 전하 재분배 DAC를 이용한 축차 비교형 ADC

전하 재분배 DAC를 이용한 SAR ADC는 그림 1과 같이 구성할 수 있으며 전하 재분배 DAC는 이진 가중치(Binary weighted)를 가지는 커패시터들과 양자화 오차를 교정하기 위한 더미(Dummy) 커패시터로 구성된 커패시터 배열을 이용하여 SAR ADC의 축차 근사를 위한 기준전압을 생성한다. N-bit SAR ADC를 위한 전하 재분배 DAC는 각각 양(+)-단 및 음(-)-단의 최상위비트(MSB : Most significant bit) 커패시터가  $2^{N-2}$ 의 가중치를 가지며 사용되는 모든 가중치 커패시터를 합하면  $2^N$ 개의 단위 커패시터로 구성됨을 알 수 있다. 또한, 커패시터 배열을 사용하여 입력 신호를 표본화하므로 별도의 표본화 회로가 필요하지 않다[10].

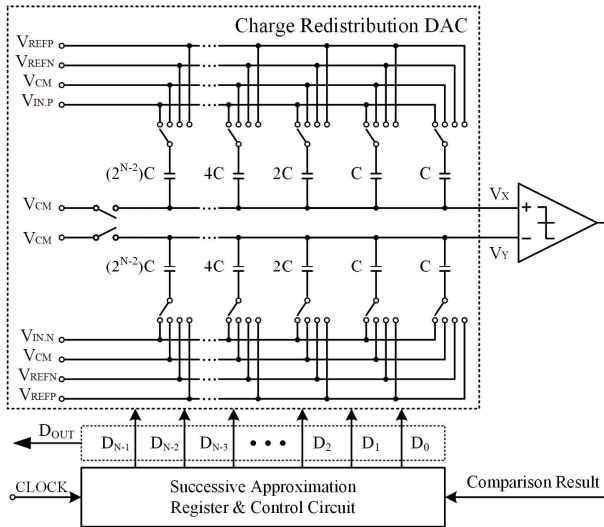


그림 1 전하 재분배 DAC를 이용한 SAR ADC  
**Fig. 1** SAR ADC using charge redistribution DAC

전하 재분배 DAC를 이용한 SAR ADC의 아날로그-디지털 변환은 다음과 같은 과정을 따른다. 먼저, 전하 재분배 DAC에 입력 전압을 표본화하기 위하여 양(+)-단 커패시터들과 음(-)-단 커패시터들의 하판(Bottom plate)은 각각 양의 입력 전압( $V_{INP}$ )과 음의 입력 전압( $V_{INN}$ )에 연결되며 비교기와 연결된 커패시터들의 상판(Top plate)은 공통 모드 전압( $V_{CM}$ )에 연결된다. 다음, 모든 커패시터의 하판이 공통 모드 전압에 연결되고 상판의 스위치가 해제되면서 입력 신호가 표본화된다. 비교기는 이때의  $V_X$ 와  $V_Y$ 를 비교하여 첫 번째 비교를 시행하는데,  $V_X$ 가  $V_Y$ 보다 크다면 디지털 논리 0을 출력하며  $V_X$ 가  $V_Y$ 보다 작다면 디지털 논리 1을 출

력한다. 비교기의 출력은 축차 근사 레지스터에 저장됨과 동시에 축차 근사 제어 회로의 다음 행동을 결정한다. 축차 근사 제어 회로는 이전 단계에서 결정된 비교 결과를 받아들이고 이를 기반으로 전하 재분배 DAC를 제어하여 표본화된 입력 전압에 축차 근사를 위한 기준전압을 더해준다. 이때, 표본화된 입력 신호에 더해지는 전압( $V_{REF-DAC}$ )은 식 (1)과 같이 표현된다.

$$V_{REF-DAC} = \frac{C_A}{C_A + C_B} V_{REF} \quad (1)$$

여기서  $C_A$ 는 양의 기준전압( $V_{REFP}$ ) 또는 음의 기준전압( $V_{REFN}$ )에 연결된 커패시터의 정전용량 합이며  $C_B$ 는 공통 모드 전압에 연결된 커패시터의 정전용량 합이다. 예를 들어, 이전의 비교 결과가 논리 1이라면 전하 재분배 DAC의 양(+)-단과 음(-)-단의 MSB 커패시터는 각각 양의 기준전압과 음의 기준전압에 연결된다. 이 과정에서 양의 기준전압이나 음의 기준전압에 연결된 커패시터와 공통 모드 전압에 연결된 커패시터들의 정전용량 비율은 1:1이므로  $V_X$ 와  $V_Y$ 에 각각 충전된 기준전압의 절반이 더해진다. 비교기는 변화된  $V_X$ 와  $V_Y$ 를 비교하여 결과를 출력하고 마찬가지로 이 결과는 축차 근사 레지스터에 저장됨과 동시에 축차 근사 제어 회로의 다음 행동을 결정한다. 이 과정은 최하위비트(LSB : Least Significant bit)가 결정될 때까지 계속되며 결과적으로 아날로그-디지털 변환을 진행할수록 그림 2와 같이  $V_X$ 와  $V_Y$ 의 전압 차이는 작아지게 되어 점차 공통 모드 전압으로 수렴하게 된다[11].

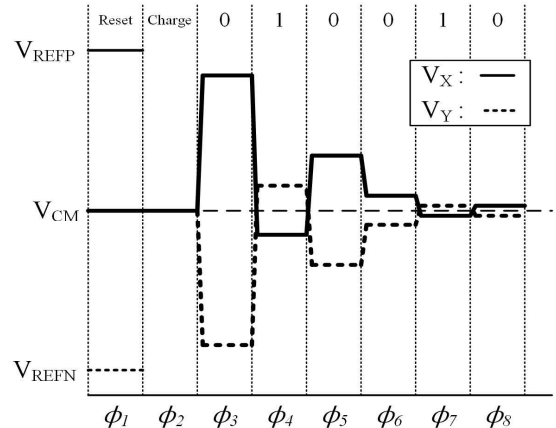


그림 2 전하 재분배 DAC의 출력  
**Fig. 2** Output of the charge redistribution DAC

앞서 언급한 대로, N-bit SAR ADC의 전하 재분배 DAC는  $2^N$ 개의 단위 커패시터가 필요하며 해상도가 높아질수록 단위 커패시터의 수는 지수함수적으로 증가하게 된다. 이는 SAR ADC의 회로 면적을 증가시킬 뿐만 아니라 축차 근사를 위한 기준전압을 생성하기 위해 충전해야 할 단위 커패시터의 수가 증가한다는 뜻이므로 많은 수의 단위 커패시터는 회로의 면적뿐만 아니라 전력 소모 면에서도 불리하다.

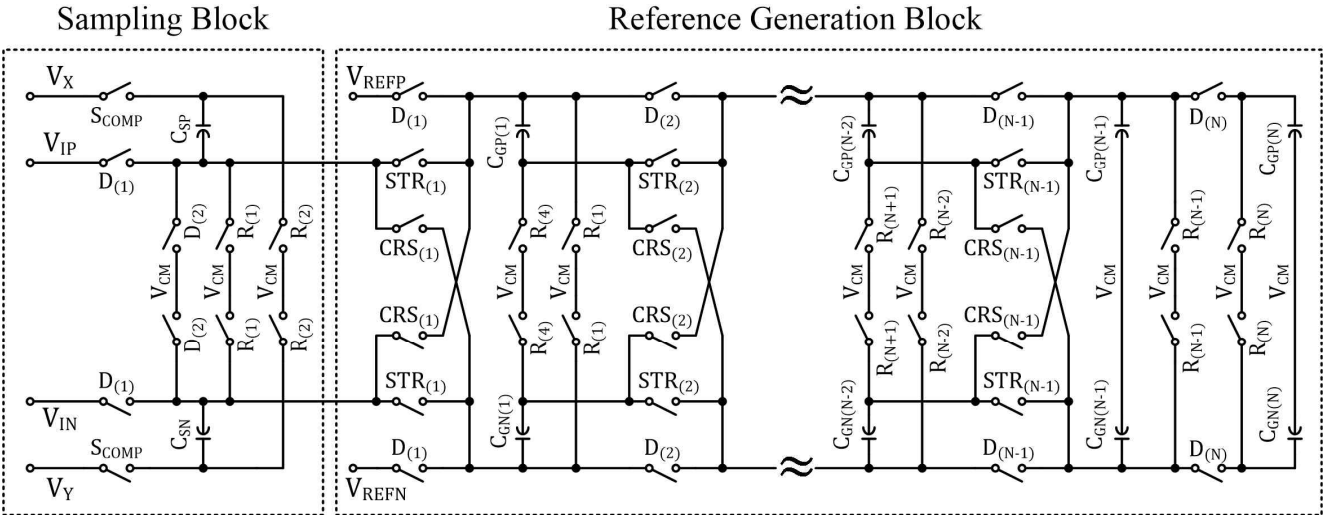


그림 3 커패시터들의 직렬연결을 이용한 직렬 커패시터 DAC  
 Fig. 3 Series capacitor DAC using series connection of capacitors

### 3. 제안하는 구조의 축차 비교형 ADC

전하 재분배 DAC를 이용한 SAR ADC는 축차 근사를 위한 기준전압의 생성을 위해  $2^N$ 개의 단위 커패시터가 필요하다. 많은 수의 단위 커패시터는 회로의 면적을 증가시키고 기준전압 충전 시 많은 전력을 소모하므로, DAC에 사용되는 단위 커패시터 수를 줄여 SAR ADC의 회로 면적과 전력 소모를 감소시키기 위하여 본 논문은 직렬 커패시터 DAC를 이용한 SAR ADC를 제안한다.

#### 3.1 직렬 커패시터 DAC

제안하는 SAR ADC에 사용된 직렬 커패시터 DAC는 커패시터의 직렬연결을 이용하여 구성되며 아날로그 입력 전압을 표분화하는 표분화부와 축차 근사를 위한 기준전압을 생성하는 기준생성부로 구분된다. 그림 3은 제안하는 SAR ADC에 사용된 직렬 커패시터 DAC를 보여주며 각각 양(+)-단 및 음(-)-단은 1개의 표분화 커패시터와 N개의 기준 커패시터로 구성된다. N-bit SAR ADC를 위한 직렬 커패시터 DAC에 사용되는 단위 커패시터의 수는 식 (2)와 같이 표현할 수 있다.

$$C_{total} = 2(1 + N)C_{unit} \quad (2)$$

또한, 전하 재분배 DAC는 축차 근사를 위한 기준전압 생성을 위해 DAC 구성에 사용되는 모든 단위 커패시터가 충전에 관여하지만, 직렬 커패시터 DAC는 기준생성부의 최상위 커패시터인 양의 제1 기준 커패시터( $C_{GP(1)}$ )와 음의 제1 기준 커패시터( $C_{GN(1)}$ )만을 충전하기 때문에 전력 소모 면에서 유리하다. 커패시터의 정전용량과 소모 전력의 관계는 식 (3)과 같다[12].

$$P_{switching} = CV_{DD}^2 f_{sw} \quad (3)$$

제안하는 SAR ADC는 아날로그-디지털 변환 동작을 수행하기 위해 다음과 같은 과정을 따른다. 변환은 [초기화, 충전, 비교] 단계로 구분되며 비교 단계는 해상도에 따라서 제 N 비교 단계까지 진행되므로 변환은 총 N+2 단계까지 진행된다. 먼저, 초기화 단계( $\Phi_1$ )에서 직렬 커패시터 DAC의 모든 커패시터는 제1 리셋 스위치( $R_{(1)}$ )부터 제 N 리셋 스위치( $R_{(N)}$ )까지의 모든 리셋 스위치가 활성화됨에 따라 공통 모드 전압( $V_{CM}$ )으로 초기화된다. 이때, 공통 모드 전압으로 초기화된 커패시터는 특정한 동작이 요구되기 전까지 계속 초기화 상태를 유지한다.

다음, 충전 단계( $\Phi_2$ )에선 입력 신호를 표분화하고 기준전압을 충전하기 위해 제1 리셋 스위치( $R_{(1)}$ )는 해제되며 제1 연결 스위치( $D_{(1)}$ )가 활성화된다. 이때, 표분화부의 양의 표분화 커패시터( $C_{SP}$ )와 음의 표분화 커패시터( $C_{SN}$ )의 하판은 각각 양의 입력 신호( $V_{IP}$ )와 음의 입력 신호( $V_{IN}$ )가 인가되며 동시에, 기준생성부의 양의 제1 기준 커패시터( $C_{GP(1)}$ )에는 양의 기준전압( $V_{REFP}$ )이 인가되어 ( $V_{REFP} - V_{CM}$ )의 전압이 충전되고 음의 제1 기준 커패시터( $C_{GN(1)}$ )에는 음의 기준전압( $V_{REFN}$ )이 인가되어 ( $V_{REFN} - V_{CM}$ )의 전압이 충전된다. 앞서 언급한 것처럼, 직렬 커패시터 DAC는 기준전압을 충전하기 위해 양의 제1 기준 커패시터와 음의 제1 기준 커패시터만을 사용한다.

다음, 첫 비교 단계인 제1 비교 단계( $\Phi_3$ )에선 표분화부의 제2 리셋 스위치( $R_{(2)}$ )와 제1 연결 스위치가 해제되고 제2 연결 스위치( $D_{(2)}$ )와 비교 스위치( $S_{COMP}$ )가 활성화됨에 따라 양의 DAC 출력( $V_X$ )은 ( $2V_{CM} - V_{IP}$ )의 전압을 가지며 음의 DAC 출력( $V_Y$ )은 ( $2V_{CM} - V_{IN}$ )의 전압을 가진다. 직렬 커패시터 DAC의 표분화부와 연결되는 비교기는 이때의  $V_X$ 와  $V_Y$ 를 비교하여 최초 디지털 논리를 결정하는데,  $V_X$ 가  $V_Y$ 보다 크다면 0의 디지털 논리를 출력하며  $V_X$ 가  $V_Y$ 보다 작다면 1의 디지털 논리를 출력한다. 결정된 디

지될 논리는 축차 근사 레지스터에 저장되고 동시에 축차 근사 제어 회로에 입력되어 직렬 커패시터 DAC의 다음 행동에 영향을 미친다. 비교기가  $V_X$ 와  $V_Y$ 를 비교하는 동안, 기준전압이 충전된 양의 제1 기준 커패시터와 음의 제1 기준 커패시터는 양의 제2 기준 커패시터( $C_{GP(2)}$ )와 음의 제2 기준 커패시터( $C_{GN(2)}$ )에 각각 병렬연결되어 전압 분배 동작을 진행한다. 정전용량이 같은 두 커패시터는 병렬연결 시, 전압을 반으로 나눠 가지게 되며 결과적으로, 양의 제1 기준 커패시터와 양의 제2 기준 커패시터는  $(V_{REFP}-V_{CM})/2$ 의 전압을 가지고 음의 제1 기준 커패시터와 음의 제2 기준 커패시터는  $(V_{REFN}-V_{CM})/2$ 의 전압을 가진다.

다음, 제2 비교 단계( $\Phi_4$ )에서 직렬 커패시터 DAC는 표본화 커패시터에 연결될 기준 커패시터의 직렬연결 방식을 결정한다. 커패시터의 직렬연결은 교차 스위치(CRS)와 직행 스위치(STR)의 활성화 여부에 따라서 결정되는데, 축차 근사 제어 회로에 입력된 비교기의 이전 결과에 따라서 스위치의 활성화 상태가 결정된다. 교차 스위치는  $V_X$ 가  $V_Y$ 보다 큰 경우에 활성화되며 표본화 커패시터와 기준 커패시터, 또는 기준 커패시터와 후방의 기준 커패시터의 극성이 서로 반대되도록 교차연결을 할 때 사용한다. 이와 반대로, 직행 스위치는  $V_X$ 가  $V_Y$ 보다 작은 경우에 활성화되며 표본화 커패시터와 기준 커패시터, 또는 기준 커패시터와 후방의 기준 커패시터의 극성을 동일하게 연결할 때 사용한다. 예를 들어, 제1 교차 스위치( $CRS_{(1)}$ )가 활성화된다면, 양의 제1 기준 커패시터는 음의 표본화 커패시터에 연결되어  $(V_{REFP}-V_{CM})/2$ 의 전압을 더해주며 음의 제1 기준 커패시터는 양의 표본화 커패시터에 연결되어  $(V_{REFN}-V_{CM})/2$ 의 전압을 더해준다. 제1 교차 스위치가 활성화된  $V_X$ 와  $V_Y$ 는 식 (4)와 식 (5)처럼 표현할 수 있다.

$$V_X = V_{CSP} + V_{CGN(1)} \quad (4)$$

$$V_Y = V_{CSN} + V_{CGP(1)} \quad (5)$$

반대로, 제1 교차 스위치 대신 제1 직행 스위치( $STR_{(1)}$ )가 활성화되면, 양의 제1 기준 커패시터는 양의 표본화 커패시터에 연결되어  $(V_{REFP}-V_{CM})/2$ 의 전압을 더해주며 음의 제1 기준 커패시터는 음의 표본화 커패시터에 연결되어  $(V_{REFN}-V_{CM})/2$ 의 전압을 더해준다. 제1 직행 스위치가 활성화된  $V_X$ 와  $V_Y$ 는 식 (6)과 식 (7)처럼 표현할 수 있다.

$$V_X = V_{CSP} + V_{CGP(1)} \quad (6)$$

$$V_Y = V_{CSN} + V_{CGN(1)} \quad (7)$$

제1 교차 스위치 혹은 제1 직행 스위치가 활성화되는 동안, 기준생성부의 제2 기준 커패시터들은 전압 분배 동작을 진행한다. 이때, 양의 제2 기준 커패시터는 양의 제3 기준 커패시터( $C_{GP(3)}$ )에 병렬연결되며 음의 제2 기준 커패시터는 음의 제3 기준 커패시터( $C_{GN(3)}$ )에 병렬연결된다. 결과적으로, 양의 제2 기준 커패시터와 양의 제3 기준 커패시터는  $(V_{REFP}-V_{CM})/4$ 의 전압을 가지고 음의 제2 기준 커패시터와 음의 제3 기준 커패시터는  $(V_{REFN}-V_{CM})/4$ 의 전압을 가진다.

다음, 제3 비교 단계( $\Phi_5$ )에서는 제2 비교 단계에서 결정된 디지털 논리에 의하여 커패시터의 직렬연결 방식이 결정된다.

예시를 위하여 제2 비교 단계에선 제1 직행 스위치가 활성화되었다고 가정한다. 이때, 제2 교차 스위치( $CRS_{(2)}$ )가 활성화되면 양의 제2 기준 커패시터는 음의 제1 기준 커패시터에 연결되어  $(V_{REFP}-V_{CM})/4$ 의 전압을 더해주며 음의 제2 기준 커패시터는 양의 제1 기준 커패시터에 연결되어  $(V_{REFN}-V_{CM})/4$ 의 전압을 더해준다. 제2 교차 스위치가 활성화된  $V_X$ 와  $V_Y$ 는 식 (8)과 식 (9)처럼 표현할 수 있다.

$$V_X = V_{CSP} + V_{CGP(1)} + V_{CGN(2)} \quad (8)$$

$$V_Y = V_{CSN} + V_{CGN(1)} + V_{CGP(2)} \quad (9)$$

반대로, 제2 교차 스위치 대신 제2 직행 스위치( $STR_{(2)}$ )가 활성화되면, 양의 제2 기준 커패시터는 양의 제1 기준 커패시터에 연결되어  $(V_{REFP}-V_{CM})/4$ 의 전압을 더해주며 음의 제2 기준 커패시터는 음의 제1 기준 커패시터에 연결되어  $(V_{REFN}-V_{CM})/4$ 의 전압을 더해준다. 제2 직행 스위치가 활성화된  $V_X$ 와  $V_Y$ 는 식 (10)과 식 (11)처럼 표현할 수 있다.

$$V_X = V_{CSP} + V_{CGP(1)} + V_{CGP(2)} \quad (10)$$

$$V_Y = V_{CSN} + V_{CGN(1)} + V_{CGN(2)} \quad (11)$$

제2 비교 단계와 마찬가지로, 제2 교차 스위치 혹은 제2 직행 스위치가 활성화되는 동안, 기준생성부의 제3 기준 커패시터들은 전압 분배 동작을 진행한다. 이때, 양의 제3 기준 커패시터는 양의 제4 기준 커패시터( $C_{GP(4)}$ )에 병렬연결되며 음의 제3 기준 커패시터는 음의 제4 기준 커패시터( $C_{GN(4)}$ )에 병렬연결 된다. 결과적으로, 양의 제3 기준 커패시터와 양의 제4 기준 커패시터는  $(V_{REFP}-V_{CM})/8$ 의 전압을 가지고 음의 제3 기준 커패시터와 음의 제4 기준 커패시터는  $(V_{REFN}-V_{CM})/8$ 의 전압을 가진다.

제안하는 SAR ADC는 LSB가 결정될 때까지 이와 같은 과정을 반복하여 아날로그-디지털 변환을 진행한다. 비교를 진행할수록,  $V_X$ 와  $V_Y$ 의 차이는 전하 재분배 DAC를 이용한 SAR ADC와 같이 점차 공통 모드 전압에 수렴하게 되며 변환의 마지막 단계에서 모든 커패시터가 직렬연결된  $V_X$ 와  $V_Y$ 는 식 (12)와 식 (13)과 같이 표현할 수 있다.

$$V_X = V_{CSP} + \sum_{n=1}^{N-1} [V_{CGP(n)}STR_{(n)} + V_{CGN(n)}CRS_{(n)}] \quad (12)$$

$$V_Y = V_{CSN} + \sum_{n=1}^{N-1} [V_{CGP(n)}CRS_{(n)} + V_{CGN(n)}STR_{(n)}] \quad (13)$$

### 3.2 비교기

그림 4는 제안하는 SAR ADC에 사용된 비교기이다. 일반적인 래치 비교기(Latched comparator)를 사용할 경우, 클록이 인가되는 MOSFET의 스위칭 동작으로 비교기의 전류 패스가 끊기게 되므로 클록으로 인해 주입된 전하가 MOSFET의 기생 커패시터로 넘어가게 된다. 이 전하는 비교기와 연결되는 표본화 커패시터에 영향을 미치게 되어 아날로그-디지털 변환 오류를 발생시

키는데, 이를 최소화하기 위하여 전치 증폭기(Preamplifier)를 사용하였으며 S-R 래치(Latch)를 이용하여 출력을 동기화한다.

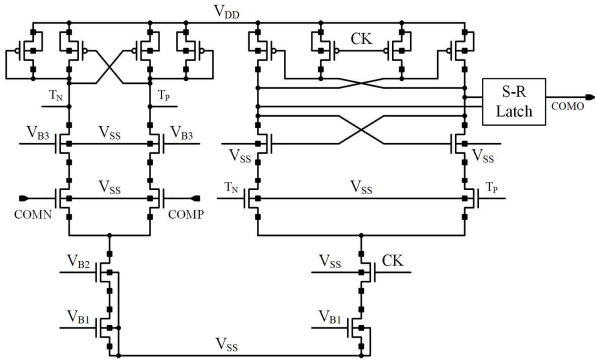


그림 4 전치 증폭기를 가지는 동적 비교기  
Fig. 4 Dynamic comparator with preamplifier

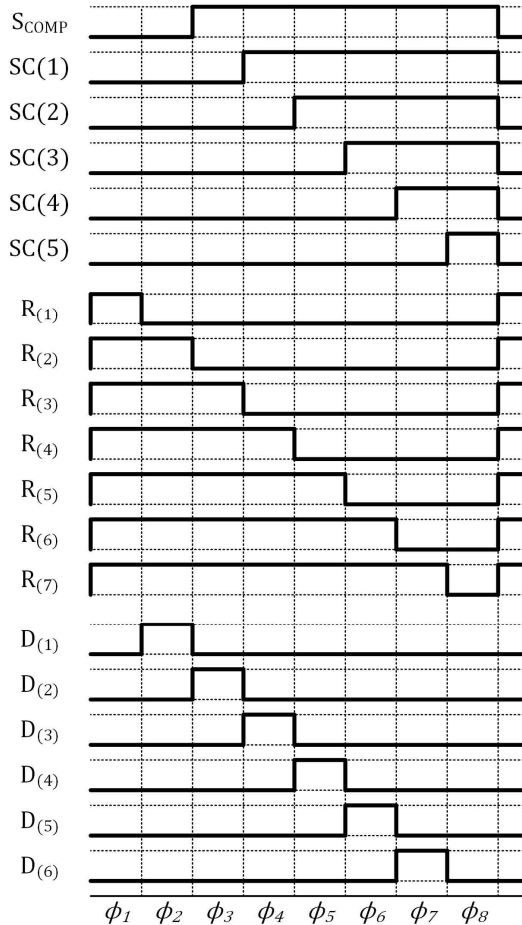


그림 5 제안하는 6-bit SAR ADC를 위한 직렬 커패시터 DAC의 제어 신호들  
Fig. 5 Control signals of the series capacitor DAC for proposed 6-bit SAR ADC

### 3.3 축차 근사 제어 회로

제안하는 SAR ADC의 직렬 커패시터 DAC는 커패시터들을 직렬연결하여 축차 근사를 위한 기준전압을 생성하며, 커패시터들을 병렬연결하여 기준전압을 반으로 나누는 전압 분배 동작을 진행한다. 이러한 동작들은 커패시터와 연결되어있는 스위치들에 의하여 이루어지는데, 축차 근사 제어 회로는 이 스위치들을 제어하기 위한 제어 신호를 생성한다. 제안하는 SAR ADC를 6-bit 해상도로 구현하였을 때 필요한 제어 신호들은 그림 5와 같이 구성할 수 있다.

여기서 직렬연결 제어 신호(SC)는 비교기의 이전 비교 결과에 따라서 커패시터의 직렬연결 방식을 결정한다. 예를 들어, 커패시터를 교차 연결해야 한다면 교차 스위치(CRS)에 직렬연결 제어 신호가 인가되며 직행 스위치(STR)는 비활성 상태를 유지한다. 제어 회로 설계에 있어 가장 유의해야 할 점은 제어 신호들을 서로 비중첩(Non-overlapping) 신호로 만들어주어야 한다는 것이다. 만약, 제어 신호가 그림 6과 같이 서로 겹치게 된다면 직렬 커패시터 DAC는 그림 7과 같이 기준 커패시터가 후방 기준 커패시터와 병렬연결 되어 전압 분배 동작을 진행함과 동시에 전방 기준 커패시터와 직렬연결되는 상황이 발생할 수 있다. 이러한 상황에선 직렬 커패시터 DAC의 정확한 동작을 보장하기 어려우며, 이진 탐색 알고리즘을 기반으로 하는 SAR ADC의 아날로그-디지털 변환에 필요한 기준전압이 아닌, 부정확한 기준전압이 더해지게 되므로 제안하는 SAR ADC의 아날로그-디지털 변환에 치명적인 영향을 미친다.

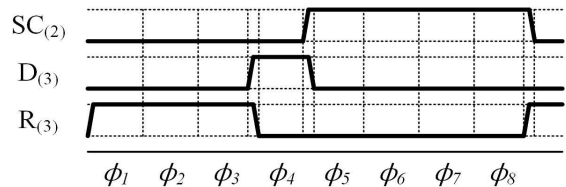


그림 6 중첩된 제어 신호의 예시  
Fig. 6 Example of overlapped control signals

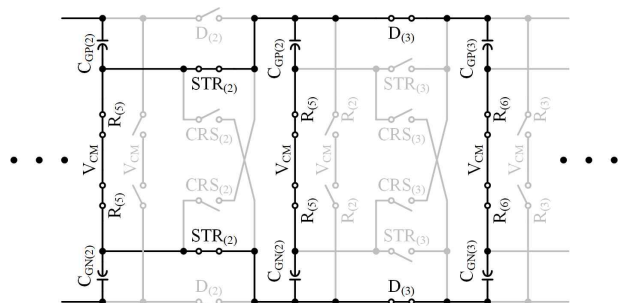


그림 7 중첩된 제어 신호가 인가된 직렬 커패시터 DAC의 동작  
Fig. 7 Operation of the series capacitor DAC with overlapped control signals applied

### 4. 모의실험 결과

제안하는 SAR ADC의 모의실험은 CMOS 180nm 공정에서 6-bit 해상도로 진행되었다. 이때, 공급 전압은 1.8V, 공통 모드 전압은 0.9V가 인가되었으며 아날로그 입력 신호 범위는 1.8V<sub>p-p</sub>이다. 그림 8은 500kS/s 표본화율에서 SAR ADC의 동적(Dynamic) 특성을 위한 전력 스펙트럼 밀도(PSD : Power spectrum density)를 나타낸다. 이를 통해 측정된 신호 대 잡음 및 왜곡비(SNDR : Signal-to-noise and distortion ratio)는 36.51dB이며 유효 비트 수(ENOB : Effective number of bits)는 5.77-bit, 그리고 스퓨리어스 없는 동작 대역(SFDR : Spurious free dynamic range)은 42.04dB가 측정되었다. 다음, SAR ADC의 정적(Static) 특성인 차동 비선형성(DNL: Differential non-linearity)과 적분 비선형성(INL : Integral non-linearity)의 모의 실험 결과는 그림 9와 같으며 이때 측정된 DNL은 -0.5[LSB] / 0.1094[LSB]이며 INL은 -0.4375[LSB] / 0.5[LSB]이다. 모의 실험으로 측정된 전체 회로의 소모 전력은 294uW이며 그중 직렬

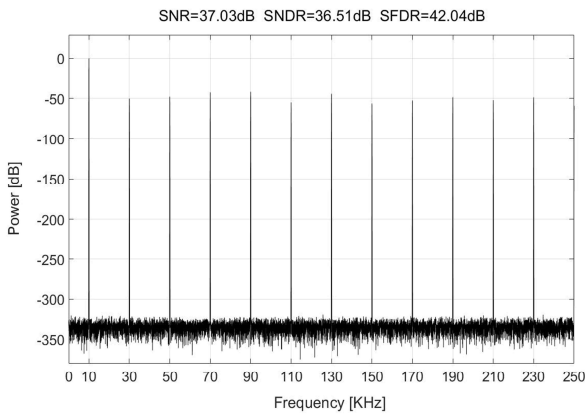


그림 8 동적 특성 모의실험을 위한 전력 스펙트럼 밀도  
Fig. 8 PSD for dynamic characteristics simulation

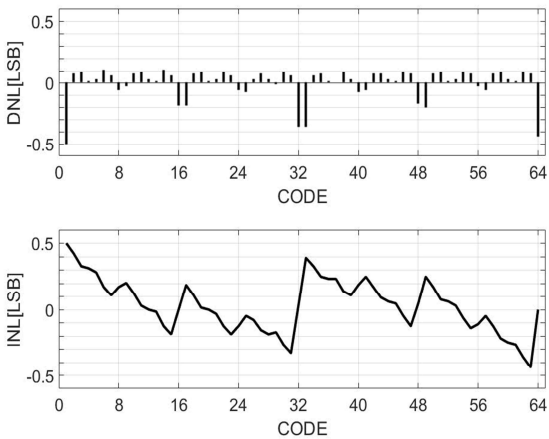


그림 9 DNL과 INL의 모의실험 결과  
Fig. 9 Simulation results of DNL and INL

커패시터 DAC의 소모 전력은 8.7uW이다.

마지막으로, 제안하는 SAR ADC와 이전 연구들의 성능을 표 1을 통하여 비교하였다.

표 1 제안하는 SAR ADC와 이전 연구들의 성능 비교

Table 1 Comparison of performance between proposed SAR ADC and previous studies

	[9]	[13]	[14]	This work
Process[nm]	180	180	180	180
Supply voltage[V]	1	1	1.8	1.8
Resolution[bit]	10	10	8	6
Sampling rate[KS/s]	500K	500K	20M	500K
SNDR[dB]	59.2	58.4	43.2	36.51
ENOB[bit]	9.54	9.4	6.88	5.77
SFDR[dB]	75.1	75	--	42.04
DNL[LSB]	+0.93/ -0.85	+0.76/ -0.8	-0.55/ +0.68	-0.5/ +0.11
INL[LSB]	+0.95/ -0.94	+0.76/ -0.76	+0.1/ +0.65	-0.44/ +0.5
Power consumption [uW]	28	42	2360	294

### 5. 결 론

전하 재분배 DAC를 이용한 SAR ADC는 해상도에 따라 요구되는 단위 커패시터의 수가 지수함수적으로 증가하게 된다. 단위 커패시터의 수가 증가하면 SAR ADC의 회로 면적이 증가할 뿐만 아니라 더 많은 전력을 소모한다. 이러한 문제점을 개선하기 위하여 본 논문은 직렬 커패시터 DAC를 이용한 SAR ADC를 제안하였다. 제안하는 SAR ADC에 사용된 직렬 커패시터 DAC는 커패시터의 직렬연결을 이용하여 구성하며 동일한 해상도의 SAR ADC를 설계한다면 다른 구조의 DAC에 비해 적은 수의 단위 커패시터를 사용한다. DAC의 구조에 따른 단위 커패시터의 수를 비교한 결과는 표 2에 나타내었다. 또한, 제안하는 SAR ADC는

표 2 DAC에 따른 단위 커패시터의 수 비교

Table 2 Comparison of the number of unit capacitors according to the DAC

DAC type	No. of unit capacitors
Charge redistribution	$2^N$
Split capacitor[8]	$2^{N-3}-2$
Master-slave[9]	$2^{N-2}+2^{N/2-1}$
Energy-saving[13]	$2^N$
This work	$2(1+N)$

축차 근사를 위한 기준전압을 생성하기 위해 직렬 커패시터 DAC의 기준생성부에 사용되는 최상위 기준 커패시터만을 충전한다. 따라서, 직렬 커패시터 DAC를 이용한 SAR ADC는 같은 크기의 단위 커패시터를 사용한 기존의 SAR ADC와 비교해 회로의 면적과 전력 소모를 상당히 감소시킬 수 있을 것이라 예상된다.

### 감사의 글

본 연구는 교육부와 한국연구재단의 재원으로 지원을 받아 수행된 사회맞춤형 산학협력 선도대학(LINC+) 육성사업의 연구결과입니다.

### References

- [1] Qianying Tang, Won Ho Choi, Luke Everson, Keshab K. Parhi and Chris H. Kim, "A Physical Unclonable Function based on Capacitor Mismatch in a Charge-Redistribution SAR-ADC", *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1-5, May 2018.
- [2] Yusuke Tsukamoto, Koji Obata, Kazuo Matsukawa, Koji Sushihara, "High Power Efficient and Scalable Noise-Shaping SAR ADC for IoT Sensors", *2016 IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK)*, pp. 1-2, June 2016.
- [3] Ming Ding, Guibin Chen, Pieter Harpe, Benjamin Busze, Yao-Hong Liu, Christian Bachmann, Kathleen Philips, Arthur van Roermund, "A Circuit-Design-Driven Tool With a Hybrid Automation Approach for SAR ADCs in IoT", *2018 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, pp. 672-675, March 2018.
- [4] Khuram Shehzad, Hye-Young Kang, Deeksha Verma, Young Jun Park, Kang-Yoon Lee, "Low-Power 10-Bit SAR ADC using Class-AB type Amplifier for IoT Applications", *2017 International SoC Design Conference (ISOCC)*, pp. 224-225, November 2017.
- [5] Hao-Chiao Hong, Yi Chiu, "A 0.20-V to 0.25-V, Sub-nW, Rail-to-Rail, 10-Bit SAR ADC for Self-Sustainable IoT Applications", *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1-4, May 2018.
- [6] S. Meguellati, N. E. Bouguechal, R. Arnold, O. Manck "A Charge Redistribution SAR ADC for a Pressure Correction ASIC", *2005 12th IEEE International conference on Electronics, Circuits and Systems*, pp. 1-4, December 2005.
- [7] A. J. C. Lanot, T. R. Balen, "Reliability Analysis of a 130nm Charge Redistribution SAR ADC under Single Event Effects", *2014 27th Symposium on Integrated Circuits and Systems Design (SBCCI)*, pp. 1-7, December 2014.
- [8] Xiucheng Zhou, Ying Zhang, Yun Su, "An 8-bit 35-MS/s successive approximation register ADC", *2015 IEEE International Conference on Progress in Informatics and Computing (PIC)*, pp. 531-533, December 2015.
- [9] Yi-Long Yu, Fu-Chen Huang, Chong-Kuang Wang, "A 1V 10-Bit 500KS/s Energy-Efficient SAR ADC Using Master-Slave DAC Technique in 180nm CMOS", *Technical Papers of 2014 International Symposium on VLSI Design, Automation and Test*, pp. 1-4, April 2014.
- [10] Xingyuan Tong, Zhangming Zhu, Yintang Yang, "Low-power Capacitor Arrays for Charge Redistribution SAR A/D Converter in 65nm CMOS", *2009 Pacific-Asia Conference on Circuits, Communications and Systems*, pp. 293-296, September 2009.
- [11] Chun-Cheng Liu, Soon-Jyh Chang, Guan-Ying Huang, Ying-Zu Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure", *IEEE Journal of Solid-State Circuits*, Vol. 45, No. 4, pp. 731-740, March 2010.
- [12] Neil H. E. Weste, David Money Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4th Edition, Pearson, 2011.
- [13] Wen-Yi Pang, Chao-Shiun Wang, You-Kuang Chang, Nai-Kuan Chou, Chong-Kuang Wang "A 10-bit 500-KS/s Low Power SAR ADC with Splitting Comparator for Bio-Medical Applications", *2009 IEEE Asian Solid-State Circuits Conference*, pp. 149-152, November 2009.
- [14] E. Atkin, D. Normanov, "Area-efficient Low-Power 8-bit 20-MS/s SAR ADC in 0.18um CMOS", *2014 29th International Conference on Microelectronics Proceedings-MIEL 2014*, pp. 451-454, May 2014.

### 저 자 소 개



#### 이 정 현 (Jeong-Hyeon Lee)

2017년 전북대학교 전자공학부 졸업(공학사).  
2017년~현재 전북대학교 전자공학부 석사과정  
E-mail : ljh6208@daum.net



**진 유 린 (Yu-Rin Jin)**

2016년 전북대학교 전자공학부 졸업(공학사).  
2018년 전북대학교 전자공학부 졸업(공학석사). 현재 전북대학교 전자공학부 박사과정  
E-mail : 201650164@jbnu.ac.kr



**조 성 익 (Seong-Ik Cho)**

1994년 전북대학교 전기공학과 졸업(공학박사). 1996년~2004년 하이닉스 반도체 근무.  
2004년~현재 전북대학교 전자공학부 교수  
E-mail : sicho@jbnu.ac.kr