

논문 2019-14-05

TMS320F28377D 기반 아날로그-디지털 신호 처리 시스템 (Analog-Digital Signal Processing System Based on TMS320F28377D)

김형우, 남기곤, 최준영*

(Hyoung-Woo Kim, Ki Gon Nam, Joon-Young Choi)

Abstract : We propose an embedded solution to design a high-speed and high-accuracy 16bit analog-digital signal processing interface for the control systems using various external analog signals. Choosing TMS320F28377D micro controller unit (MCU) featuring high-performance processing in the 32-bit floating point operation, low power consumption, and various I/O device supports, we design and build the proposed system that supports both 16-bit analog-digital converter (ADC) interface and high precision digital-analog converter (DAC) interface. The ADC receives voltage-level differential signals from fully differential amplifiers, and the DAC communicates with MCU through 50 MHz bandwidth high-fast serial peripheral interface (SPI). We port the boot loader and device drivers to the implemented board, and construct the firmware development environment for the application programming. The performance of the entire implemented system is demonstrated by analog-digital signal processing tests, and is verified by comparing the test results with those of existing similar systems.

Keywords : Analog signal processing, Analog-digital converter, Digital-analog converter, Microcontroller unit, Serial peripheral interface

1. 서 론

오늘날 임베디드 시스템은 산업, 가전, 의료 등 다양한 분야에서 수요가 증가하면서, 특수 목적의 응용프로그램 수행을 위한 높은 수준의 성능과 안정성이 요구되고 있다 [1]. 또한 저비용으로 저전력 고효율의 성능을 확보할 수 있도록 다양하게 출시되는 특수 목적 임베디드 CPU를 중심으로 임베디드 하드웨어 아키텍처 및 시스템 설계의 방향은 처리속도, 지연시간, 유연성, 비용 등의 균형을 최적화

하는 쪽으로 점차 변화하고 있다 [2].

다양한 아날로그 신호처리를 포함하는 제어용 임베디드 시스템 [3, 4]은 아날로그-디지털 신호처리의 신속성과 정밀성이 시스템의 성능을 결정하는 중요한 요인이 됨으로써, 다양한 응용 분야에 적합한 샘플링 주기와 분해능, 잡음 등의 성능으로 대표되는 솔루션이 제공되는 추세이다 [5].

본 논문에서는 부동소수점 연산 성능의 극대화를 위해 Trigonometric Math Unit (TMU) 가속기 및 Viterbi, Complex Math, and CRC Unit (VCU) 가속기 등을 내포하고 있어 고속의 펌웨어 제어용 임베디드 CPU로 가장 많이 사용되고 있는 TI社의 TMS320 계열 Microcontroller Unit (MCU) [6] 중 C28x 코어를 기반으로 하는 TMS320F28377D MCU [7]를 이용하여 저비용, 고효율의 16비트 아날로그-디지털 신호 처리부를 설계한다.

설계한 시스템은 임베디드 하드웨어 형태로 구현하였으며, 성능 평가를 위하여 펌웨어 형태로 제

*Corresponding Author (jyc@pusan.ac.kr)

Received: July 16 2018, Revised: Aug. 29 2018,

Accepted: Sep. 6 2018.

H.-W. Kim, K.G. Nam, J.-Y. Choi: Pusan National University

※ 본 논문은 BK21플러스, IT기반 융합산업 창의 인력양성사업단에 의하여 지원되었고 부산대학교 기본연구지원사업 (2년)에 의하여 연구되었음.

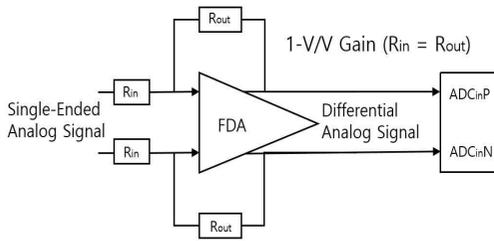


그림 1. THS4551을 이용한 차동 신호 변환

Fig. 1 Differential signal conversion using THS4551

작된 사용자 정의 매개변수 기반으로 동작하는 소프트웨어를 이용하여 Analog-Digital Converter (ADC), Digital-Analog Converter (DAC) 및 통합 아날로그 신호 처리 인터페이스에 대한 성능을 시험하였다.

설계한 ADC 인터페이스의 경우 지연시간 최소화를 위한 고속 데이터 광 전송용 ADC [8]가 갖는 $3\mu\text{s} \sim 6\mu\text{s}$ 수준 보다 3~6배 줄어든 지연이 측정됨으로 그 설계의 우수성을 확인할 수 있다. 본 논문에서는 [8, 9]의 경우와 같이 ADC 혹은 DAC 단일 인터페이스에 대한 성능 시험만 하지 않고, ADC를 통한 아날로그 신호 입력으로부터, MCU 연산을 거쳐 DAC를 통한 아날로그 신호 출력까지의 전체 시스템 동작에 대한 통합 지연 및 정밀 성능을 시험한다.

DAC의 경우 소자의 출력 특성 [10]에 기재된 $6\mu\text{s}$ (0V~2V 전압 합성 시, 무부하 상태)와 $8.57\mu\text{s}$ (0V~2V 전압 합성 시, $1\text{M}\Omega$ 부하) 보다 줄어든 $3.7\mu\text{s}$ (0V~2V 전압 합성 시)의 출력 전압 정착 시간(Settling time)이 측정되었으며, 소자의 최대 클럭 속도인 50MHz SPI 통신을 이용하여 데이터 업데이트 주기는 500ns (48Mbps)로 측정되었다.

또한, 설계한 아날로그 신호 처리 인터페이스를 이용, ADC로 입력된 아날로그 신호를 DAC로 출력하는 시험을 통해, MCU와 SPI 통신에서의 각각의 처리 지연 평균 $1.283\mu\text{s}$, 500ns 를 포함하되, FDA (Fully differential amplifier) [11]와 DAC에서의 전압 합성 정착시간을 고려하여 입, 출력 차가 1V의 경우 $3.9\mu\text{s}$, 2V의 경우 $5.8\mu\text{s}$ 의 처리 지연이 측정되었다.

또한 ADC 입력 신호를 1V/V 이득을 가진 채 DAC로 출력하는 시험을 통해 측정된 오차 성능의 경우, 서로 다른 입력신호에 대해 16비트 분해능 대비 30비트의 일정한 오차 값을 나타내어 오차율 0.04%로 측정 되었으며, 각각의 입, 출력 영역에서

의 선형성을 확인할 수 있었다.

ADC 인터페이스 관련 선행 연구 사례인 고속 데이터 광 전송용 ADC 인터페이스 [8]의 경우 최소 $3\mu\text{s}$ ~ 최대 $6\mu\text{s}$ 의 처리지연 시간과 오차율 3%의 성능을 보장하며, SOC 형태로 구성된 고정밀 고속의 ADC 임베디드 시스템을 이용한 시스템 [12]에서는 4000개 이상의 샘플링 테스트를 통해 평균 $5\mu\text{s}$ 의 처리지연시간에 3%의 오차율의 성능을 보장한다.

또한, 저비용으로 저전력 고정밀의 DAC 처리가 가능한 TI社의 동 시스템 [11]의 경우 평균 $8.57\mu\text{s}$ 의 처리지연 시간과 선형성 오차율 0.2%를 달성하였으며, CMOS를 이용한 14비트 DAC 인터페이스 연구 사례 [13]에서는 오차율 0.35%를 달성하고 있다.

한편 본 논문에서 개발된 시스템은 ADC 인터페이스의 경우 $1\mu\text{s} \sim 3\mu\text{s}$ 의 처리지연과 0.04%의 오차율을 달성하고, DAC 인터페이스의 경우 $3.578\mu\text{s}$ 의 평균 지연시간과 0.04%의 선형성 오차율을 달성하였다. 이러한 결과는 기존 시스템 보다 우수한 성능을 나타내며 개발된 시스템은 결과적으로 보다 높은 응답성 및 정밀성을 요구하는 임베디드 시스템에 적용될 수 있다.

본 논문에서는 먼저 제한한 아날로그 신호 처리 부 설계 방법을 제시하고, 성능 검증을 위한 시험에 대해 서술하고, 결론을 제시한다.

II. 아날로그 신호 처리 부 설계

제안하는 시스템의 16 비트 ADC 인터페이스는 처리지연의 최소화 및 높은 정밀성을 보장하기 위해 DSP 내부의 16비트 ADC를 이용하되, 별도의 완전 차동 증폭기 [11]를 이용하여 외부 단일 신호 입력에 대한 차동 입력을 인가해주도록 함으로써, 최소 오차의 성능이 가능하도록 설계하였다.

1. 차동 신호 변환 인터페이스

TMS320F28377D의 내부의 아날로그 부 시스템의 아날로그-디지털 컨버터는 12비트와 16비트 두 가지의 분해능 중 한 가지를 선택할 수 있도록 되어 있다. 16비트 분해능의 ADC를 사용하기 위해서는 아날로그 입력을 단일 (Single-ended) 신호의 형태가 아닌 차동 (Differential) 신호의 형태로 인가해줘야 선형성을 보장할 수 있어 [7], 그림 1과 같이 FDA [11]를 ADC 입력 단계 인터페이스 한다.

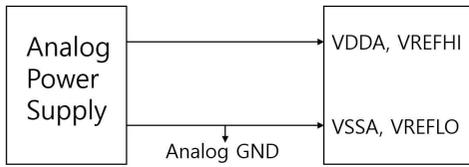


그림 2. 아날로그 부 시스템 공급 전압 설정
Fig. 2 Analog subsystem supply voltage configuration

2. MCU 아날로그 부 시스템 인터페이스

선정한 프로세서 내 16비트 ADC는 차동 신호 입력을 위한 별도의 공통모드 전압(Common-mode voltage)을 설정하는 하드웨어 레벨의 신호 입력 인터페이스가 없고, 아날로그 부 시스템에 공급되는 전압의 절반 값을 선정하길 권장하고 있다 [5].

디지털 신호 처리 시 발생하는 잡음의 영향을 최소화하기 위해 그림 2와 같이 아날로그 부 시스템 공급 전압을 별도로 설정하되, 같은 공급 전압원을 FDA에 인터페이스 해줌으로써 공통모드 전압을 일치시키고 동시에 FDA와 MCU ADC 인터페이스의 공급 전압 차에서 발생하는 노이즈를 최소화 할 수 있는 형태로 결선하였다.

ADC 인터페이스로의 차동 입력에 의한 MCU측 디지털 샘플링 값은 수식 (1)과 같은 관계로 얻어진다. 수식 (1)은 아날로그 부 시스템에 대한 공급전압과 두 가지 차동 입력 신호로 정의 된다.

$$adc_{result} = \left(\frac{adcin^p - adcin^n + V_{ref}^{hi}}{2 \times V_{ref}^{hi}} \right), \quad (1)$$

$$-V_{ref}^{hi} < adcin^p - adcin^n \leq V_{ref}^{hi}$$

V_{ref}^{hi} 는 공급전압 값이 되며, $adcin^p$ 는 양의 차동 신호 입력 핀으로 공급되는 아날로그 전압값, $adcin^n$ 은 음의 차동 신호 입력 핀으로 공급되는 아날로그 전압 값을 나타내고, adc_{result} 는 디지털 값으로 얻어진 샘플링 전압을 나타낸다. 수식 (1)을 통해 최초의 아날로그 단일 신호의 입력 범위는 결과적으로 $-V_{ref}^{hi} \sim V_{ref}^{hi}$ 가 되어, 각각 0~65535의 값으로 샘플링 된다는 것을 알 수 있다.

3. DAC8562 디지털-아날로그 컨버터

제안하는 시스템 내 16비트 DAC 인터페이스는 선정한 프로세서를 포함, TI社, NI社, STM社와 같은 주요 임베디드 솔루션 회사에서 출시하는 32

비트 MCU와 같이 12bit 분해능 만을 지원한다. 따라서, 일반적인 3.3V의 공급전압 기준 비트당 0.8mV 단위로 출력됨으로써, 16비트의 0.05mV 단위보다 16배 낮은 출력 정밀도를 가진다는 점을 보완하여, DAC 인터페이스를 설계하였다.

별도의 DAC 인터페이스 구성을 위해 분해능, 샘플링 주기, 전력소모량 등을 기준으로 다양한 분류군으로 나누어진 DAC 소자 중 4달러 수준의 비용에 (3달러~220달러 수준으로 분포) 0.5mW 전력소모량 (0.33mW~3800mW 수준으로 분포)으로 16비트 분해능을 갖는 TI社 DAC8562 [10]를 MCU와 고속 SPI 통신을 이용하여 연결하였다.

DAC 칩들은 일반적으로 고속 DAC (High Speed DAC)와 정밀 DAC (Precision DAC)의 두 가지 군으로 분류된다. 분류 기준은 샘플링 주기로써 단위는 MSPS (Mega Samples Per Second)를 사용한다. 샘플링 주기가 10MSPS 이상일 때, 고속 DAC 군으로 분류하며 일반적으로 이것이 1MSPS 이하일 때 정밀 DAC 군으로 분류한다.

10MSPS 이상의 샘플링 주기를 확보하려면 분해능이 16bit 미만이 되어야 하며, 16bit 이상의 전압 출력형 DAC 칩의 경우 1MSPS 이상의 샘플 획득 속도의 확보가 불가능하다. 이에 따라 본 논문에서는 정밀 DAC 군에 속한 컨버터 중 다양한 분야에 적용이 용이하며 저전력으로 높은 신뢰성을 보여주는 DAC8562 [10]를 이용하여 MCU를 포함한 DAC 인터페이스를 설계한다.

4. 디지털-아날로그 컨버터 인터페이스 설계

마이크로컨트롤러와 DAC 칩 간 통신 인터페이스의 분류로는 일반적으로 고속 디지털 인터페이스인 LVDS (Low Voltage Differential Signaling, 낮은 전압 차분 신호), 최대 12.5Gbps의 속도를 지원하는 고속 직렬 인터페이스인 JESD204B, 직렬 주변장치 인터페이스 버스를 사용하는 SPI (Serial Peripheral Interface)와 McBSP (Multi channel buffered serial port)가 그것이다.

DAC8562의 경우 TMS320 계열 마이크로프로세서와의 통신인터페이스로 McBSP를 권장하고 있다. DAC8562는 24bit 프레임 크기의 직렬 통신 인터페이스를 채택하고 있는데, 이는 8bit의 명령어와 주소에 16bit 데이터를 포함하는 크기이다. TMS320 계열 마이크로프로세서의 경우 최대 16bit 크기의 직렬통신을 지원하지만 McBSP의 경우 원하는 크기의 프레임임을 보낼 수 있다.

그림 3은 DAC8562와 TMS320 시리즈 DSP 간

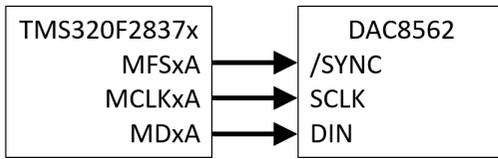


그림 3. DAC8562와 TMS320 간 McBSP 인터페이스

Fig. 3 McBSP interface between DAC8562 and TMS320

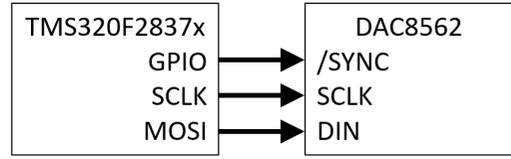


그림 4. DAC8562와 TMS320 간 일반적인 SPI 인터페이스

Fig. 4 General SPI interface between DAC8562 and TMS320

의 McBSP를 이용한 인터페이스를 나타내는 블록 다이어그램이다. MFSxA (McBSP frame sync signal transmit A channel)는 프레임 출력 제어용 신호로 사용되며 MDxA (McBSP transmit A channel)을 통하여 전송된 데이터는 MCLK (McBSP clock signal)을 통해 연결되는 McBSP 클럭의 상승 엣지 또는 하강 엣지일 때 샘플링이 이루어진다. TMS320F28377D의 경우 McBSP 모듈의 최대 클럭이 시스템 클럭의 주기만큼 할당이 가능하며, 고속 직렬 통신의 경우 100MHz 만큼 할당 가능하다.

16비트 DAC 외부 소자들의 경우 일반적으로 16비트를 초과하는 직렬 통신 인터페이스를 호스트로부터 요구하게 되는데, TMS320 계열을 포함, 다양한 32 비트 MCU의 경우 기본적으로 16 비트 크기의 직렬 통신 인터페이스까지는 제공하나, McBSP 인터페이스와 같이 프레임 크기의 제한이 없는 직렬 통신 인터페이스를 보유하지 않은 경우가 많아 이런 경우를 포함하면 McBSP를 사용한 통신은 범용성이 다소 떨어진다고 볼 수 있다.

그림 4는 DAC8562와 TMS320 시리즈 DSP 간의 SPI를 이용한 인터페이스를 나타내는 블록 다이어그램이다. DAC8562의 경우 인식 가능한 클럭 속도를 50MHz로 제한하고 있어, 고속의 SPI 통신을 사용할 경우 McBSP를 사용한 것과 같은 성능을 낼 수 있고 SPI 통신을 지원하지 않는 32비트 MCU는 없으므로 범용성을 고려할 경우 고속의 SPI 통신을 이용한 인터페이스가 적합한 방법이 될 수 있다.

다만, 50MHz의 클럭 속도로 데이터를 원하는 시점에 보내기 위해서는 MCU에서 출력 제어 신호를 범용 입, 출력 포트를 통해 보내는 방식에는 한계가 있으며, 기 설정된 SPI 클럭을 공유하는 신호를 사용하여 제어 해주어야 한다.

III. 신호 처리 시험

1. 시험 환경 구성

제안한 신호 처리 시스템을 위해 제작한 하드웨어를 이용한 신호처리 실험을 위한 소프트웨어 제작을 위해 Windows 운영체제 기반 호스트 PC에 CCS (Code composer studio) 통합 개발 환경을 이용하였다. CCS 통합 개발 환경을 이용하여, FDA를 통해 차동 신호 형태로 변환된 입력 신호를 MCU ADC 인터페이스를 통해 16비트 분해능으로 디지털 신호로 샘플링하고, 샘플링 한 디지털 신호를 MCU의 SPI 통신 모듈을 통해 8비트 명령어와 16비트 데이터로 이루어진 프레임을 DAC8562로 전송하도록 하는 펌웨어를 제작하였다. 제작한 펌웨어는 xds100v3 디버거 툴을 이용, 구현한 임베디드 하드웨어에 다운로드 하여 그 동작을 검증한 후, 각각의 인터페이스에 대한 성능 검증에 활용하였다.

아날로그 부 시스템을 위한 아날로그 전원과 디지털 전원 공급을 위해 보드 내 별도의 SMPS (Switching mode power supply)를 각각 탑재하였다. 또한, 시험 시 필요한 외부 신호를 인가해주기 위해 LG社의 DC Power Supply 인 GP-4303TP 모델을 사용하였으며, 각각의 부분에서의 전압 파형을 측정하기 위해 Rohde&Schwarz사의 RTE1034 오실로 스코프를 사용하였다. 그림 5는 상기 기술한 실험환경을 나타낸다.

2. 아날로그-디지털 변환부 시험

단일 신호 형태의 아날로그 신호를 차동 신호 형태로 변환 해주기 위해서 구성한 THS4551 FDA를 포함하는 인터페이스를 시험 한 결과는 그림 6과 같다.

그림 6의 파형 중 가장 상단에 위치한 파형이 입력 해준 단일 신호를 나타내며, 그 아래 두 파형

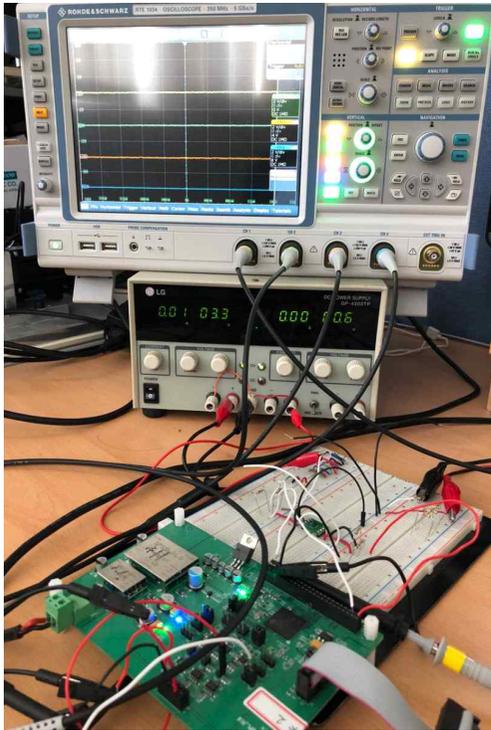


그림 5. 아날로그 신호 처리 시험 환경
Fig. 5 Analog signal processing test environment

은 THS4551을 통과한 뒤 출력되는 차동 신호 파형을 나타낸다.

MCU의 아날로그 부 시스템으로 인가될 신호의 정밀도와 지연 시간을 측정하기 위한 시험으로써 그림 6에 표시된 바와 같이, 3V의 신호를 FDA로 인가시켜 주면, 공통모드 전압을 기준으로 오차없이 인가됨을 알 수 있고, 그때, 0V의 신호를 3V의 신호로 인가하는 동안 걸리는 시간은 834.8ns이며, FDA 소자에 의해 지연되는 시간은 대략 40ns임을 알 수 있다.

[8]에서 제안된 지연시간 최소화를 위한 고속 데이터 광전송용 ADC는 $3\mu s \sim 6\mu s$ 시간지연을 나타내었고 본 논문에서 설계한 ADC의 경우 이보다 3~6배 줄어든 최대 $1\mu s$ 의 지연을 달성하였는데, 이는 본 논문에서 제안된 ADC 인터페이스의 우수성을 증명한다.

3. 디지털-아날로그 변환부 시험

원하는 아날로그 신호를 전압형태로 출력하기 위해 MCU SPI로 전송한 프레임에 대한 DAC8562 칩 출력을 측정한 결과는 그림 7과 같다.

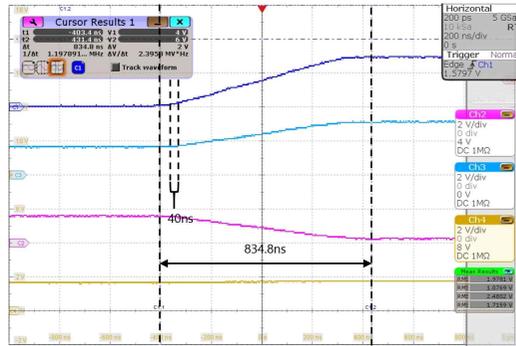


그림 6. 차동 입력 신호 변환 시험 결과
Fig. 6 Test result of differential input signal conversion

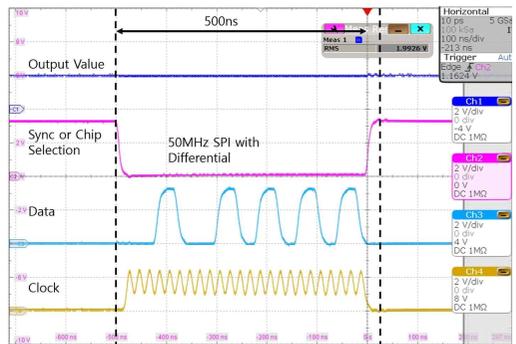


그림 7. 아날로그 신호 출력 시험 결과
Fig. 7 Test result of analog signal output

그림 7의 상단 첫 번째 파형은 출력을 나타내고, 두 번째 파형은 DAC8562에 대한 출력 제어 신호를 나타낸다. 세 번째 파형은 명령어와 데이터를 포함한 24비트 데이터 프레임의 파형을 나타내며, 네 번째 파형은 인가되는 클럭을 나타낸다.

50MHz SPI로 DAC 소자를 제어하였을 때, 최종 아날로그 출력까지의 경과 시간은 500ns로 측정되며, [10]에 표기된 지연 기대 값인 480ns~520ns 내의 값으로 측정된 상기 지연 값으로부터, 설계한 디지털-아날로그 변환부가 MCU의 고속 SPI 통신을 이용하여 최적의 성능을 달성함을 확인하였다. 이를 통해, 제안한 고속 SPI 통신 기반 아날로그 신호 출력 인터페이스가 최소한의 지연을 갖고, 예측 가능한 시점에 출력됨을 알 수 있다.

4. 통합 시스템 지연 측정 시험

아날로그-디지털 인터페이스를 통해 얻어진 단일 입력 형태의 아날로그 값에 대한 디지털 값을

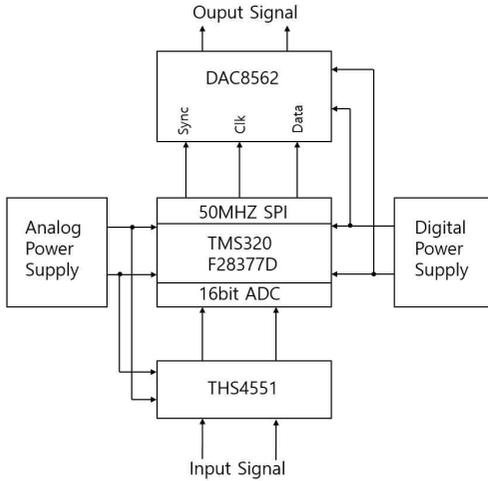


그림 8. 아날로그 신호 입 출력 통합 시험 구성
Fig. 8 Configuration of integrated analog signal input/output test

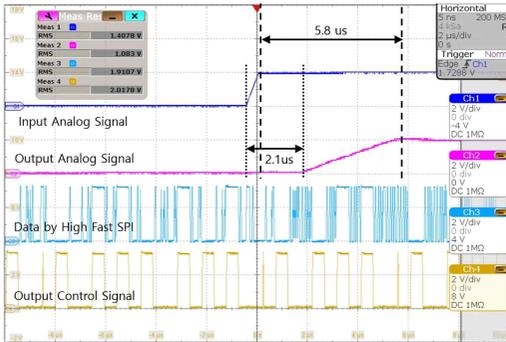


그림 9. 아날로그 신호 입, 출력 지연 측정 시험 결과
Fig. 9 Test result of analog signal input/output delay measurement

디지털-아날로그 인터페이스를 통해 그대로 출력할 때, 입, 출력 처리 지연을 측정하는 시험을 그림 8과 같은 구성의 시험을 통해 수행한다.

아날로그 신호 처리 통합 시스템의 입, 출력 지연시간을 측정하기 위해 0V의 입력을 유지 하다가, 2V의 아날로그 단일 신호를 입력 해주었을 때 입력부와 출력부의 신호 형태는 그림 9와 같다.

그림 9의 상단 첫 번째 파형은 입력 아날로그 신호이며, 두 번째 신호는 출력 신호이다. 세 번째 파형은 SPI 통신을 통해 DAC 소자로 전송되는 명령어와 데이터를 포함한 프레임의 의미하며 네 번째 파형은 그때의 출력 제어 신호를 나타낸다.

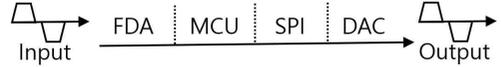


그림 10. 아날로그 신호 입, 출력 처리 지연 요소
Fig. 10 Delay components of analog signal input/output process

표 1. 아날로그 신호 입, 출력 지연 측정 결과 (단위:microsecond)

Table 1. Measurement result of analog signal input/output delay

	1V voltage difference	2V voltage difference
FDA	0.278	0.556
MCU	1.322	1.244
SPI	0.5	0.5
DAC	1.8	3.5
Total	3.9	5.8

그림 8과 같이 구성된 제한한 시스템을 이용한 시험의 아날로그 신호의 입, 출력 지연을 발생시키는 요소는 그림 10에 도시한 바와 같이 FDA에서의 차동 신호로의 변환 과정, MCU 연산 처리, SPI 통신 송 수신 시간, DAC 소자에서 원하는 전압값을 합성하는데 소요되는 Settling time의 네 가지 부분으로 나타낼 수 있다. 초기값과 결과값이 1V의 전압차를 갖는 경우와 2V 전압차를 갖는 경우, 각각의 부분에서의 처리 지연 측정값은 표 1과 같다.

5. 통합 시스템 오차 측정 시험

아날로그-디지털 인터페이스를 통해 얻어진 단일 입력 형태의 아날로그 값에 대한 디지털 값을 디지털-아날로그 인터페이스를 통해 그대로 출력할 때, 입, 출력 처리 오차를 측정하는 시험을 그림 8과 같은 구성의 시험을 통해 수행 하였을 때 그 결과는 그림 11과 12를 통해 알 수 있다.

그림 11과 12에서 첫 번째, 두 번째 파형은 각각 입력과 출력 신호를 나타내고, 세 번째와 네 번째 파형은 각각 고속 SPI 데이터와 출력 제어 신호를 나타낸다. 그림 11에서 표시된 바와 같이 RMS (Root Mean Square) 값 기준으로 1.0167V의 신호를 입력 시켜 주었을 때, RMS 1.0197V가 출력되는 것을 확인 할 수 있다.

그림 12는 동일 조건에서 입력 신호를 RMS 2.0019V로 인가해주었을 때의 결과를 나타낸다. 이

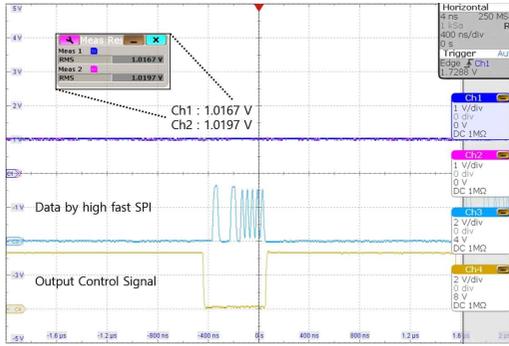


그림 11. 아날로그 신호 입, 출력 오차 측정 결과 (1.0167V 입력)

Fig. 11 Measurement result of analog signal input/output error (1.0167V input)

표 2. 아날로그 신호 입, 출력 오차 측정 결과
Table 2. Measurement result of analog signal input/output error

Input signal	1.0167V	2.0019V
Output signal	1.0197V	2.0049V
Voltage error	0.003V	0.003V
No. of error bit	30 bit	30 bit
Error rate	+0.04%	+0.04%

때의 출력 값은 RMS 2.0049V로 측정이 되며, 두 가지 경우에 대한 입, 출력 오차 값에 대한 결과는 표 2와 같이 정리 될 수 있다.

오차 측정 시험 결과를 정리한 표 2에서 볼 수 있듯이 임의의 두 가지 입력 신호에 대해 6.6V 영역 내 (-3.3V~3.3V) 16비트 분해능 기준 30비트의 오차가 동일하게 나타나는데, 오차율로 산정할 경우, +0.04%로 일정한 값을 가진다. 이는 공급전압 조건을 포함하여 구현 과정에서 발생하는 오프셋 오차로 간주 할 수 있으며, 설계한 시스템의 MCU 인터페이스를 통해 보정 될 수 있는 형태이다.

또한, 표 2에 도시된 바와 같이 FDA를 포함한 아날로그-디지털 변환 부와 DAC8562 소자를 포함한 디지털-아날로그 변환 부 구현 시 발생하는 오프셋 오차가 동일한 값으로 얻어지므로, 본 논문에서 제안한 아날로그-디지털 신호처리 시스템의 우수한 정밀성을 확인 할 수 있다.

상기 실험을 통하여 [8]에서 제안한 고속 데이터 광 전송용의 ADC 인터페이스 대비 최소 3배에서 최대 6배 줄어든 처리 지연을 확인 할 수 있다

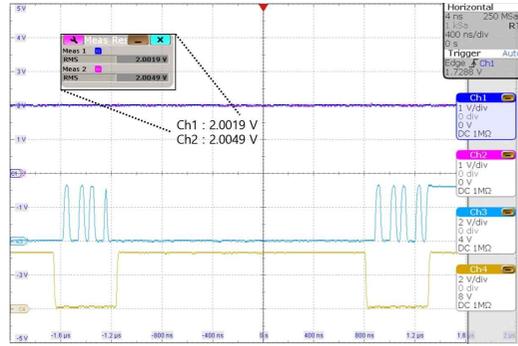


그림 12. 아날로그 신호 입, 출력 오차 측정 결과 (2.0019V 입력)

Fig. 12 Measurement result of analog signal input/output error (2.0019V input)

표 3. ADC 처리 지연 및 선형성 비교
Table 3. Comparison of ADC processing delay and linearity

Items	ADC for high speed data transmission [8]	Proposed ADC Interface
Minimum delay	3μs	1μs
Maximum delay	6μs	3μs
Error rate	3%	0.04%

표 4. DAC 처리 지연 및 선형성 비교

Table 4. Comparison of DAC processing delay and linearity

Items	TI DAC8562 [11]	Proposed DAC Interface
Average delay	8.57μs	3.7μs
Error rate	0.2%	0.04%

며, 이는 표 3에 도시된 바와 같다. 또한, DAC 인터페이스의 경우 저 비용으로 운용 가능한 TI社 DAC8562 IC를 이용한 시스템 [10] 및 관련 선형 시스템 [14, 15] 대비 약 2.3배 줄어든 처리지연을 가짐과 동시에 선형성에 대한 오차 시험에서 0.04%의 오차율을 측정 할 수 있었다. 이는 표 4에 도시된 바와 같다.

IV. 결론

본 논문에서는 다양한 분야에서 그 수요가 증가하고 있는 임베디드 시스템 중 다양한 외부신호를 포함한 제어시스템을 위한 임베디드 시스템에 적합

한 용도로써 저비용으로 고속, 고정밀의 아날로그-디지털 신호처리 인터페이스를 설계하는 솔루션을 제안한다.

32비트 부동소수점 연산을 위한 마이크로컨트롤러 유닛 중 대표적으로 많이 사용하는 TMS320 계열의 MCU 중 TMS320F28377D를 기반으로 16비트 아날로그-디지털 신호 처리 시스템을 설계하되, 아날로그 신호 입력단에 차동 신호 변환 인터페이스가 필요하다는 점과 출력단에 별도의 16비트 디지털 아날로그 인터페이스가 필요하다는 점을 보완하였다.

설계 한 전체 시스템을 하드웨어로 구현하여 직접 진행한 시험 결과 입, 출력 전압 차에 따라 변경되는 전압 합성 시간에 종속적으로 최소한의 지연만으로 아날로그 신호를 처리하는 성능과 함께, 디지털 부와 아날로그 부에 공급되는 전원의 위상차에 종속적으로 나타나는 오차율로써 MCU 연산처리 부에서 보상하여 제거가 가능한 측정 오차 만을 갖는 우수한 성능을 나타냄을 검증하였다.

제안한 아날로그 신호처리 시스템은 다양한 임베디드 시스템 분야 중 고속, 고정밀의 아날로그 신호처리가 요구되는 분야에서 사용자의 요구사항에 맞도록 적용되어 그 활용성이 높을 것으로 사료된다.

References

- [1] G. Linden, B. Smith, J. York, "Embedded Systems Secure Path Verification at the Hardware/Software Interface," *Journal of IEEE Design & Test*, Vol. 34, No. 5, pp. 38-46, 2017.
- [2] H.W. Kim, B.H. Sheen, H.S. Wi, J. Y. Choi, "Development of Low-Cost Solar Embedded Systems for Sun Light Systems", *Journal of Korean Institute of Information Technology*, Vol. 14, No. 1, pp. 19-26, 2016. (in Korean)
- [3] D.S. Jang, "Development of Falling-sensing Terminals and a System with Relay Function," *IEMEK J. Embed. Sys. Appl.*, Vol. 11, No. 3, pp. 173-181, 2016 (in Korean).
- [4] H. Xing, H. Jiang, D. Chen, and R. Geiger, "A Fully Digital-compatible BIST Strategy for ADC Linearity Testing," *Proceedings of IEEE International Test Conference*, pp. 1-10, 2007.
- [5] T.S. Kang, M.S. Kim, S.Y. L, Y.C. Kim, "Modeling and a Simple Multiple Model Adaptive Control of PMSM Drive System", *Journal of Power Electronics*, Vol. 17, No. 2, pp. 442-452, 2017.
- [6] Y. Hoon, M.A.M. Radzi, M.K. Hassan, N.F. Mailah, N.I.A. Wahab, "A Simplified Synchronous Reference Frame for Indirect Current Controlled Three-level Inverter-based Shunt Active Power Filters", *Journal of Power Electronics*, Vol. 16, No. 5, pp. 1964-1980, 2016.
- [7] Available on : <http://www.ti.com/lit/ug/spruhm8g/spruhm8g.pdf>
- [8] J.D. Park, "Development of the ADC for Mobile Communication Repeater with in $3\mu\text{s}$ Delay Time", *Journal of Korean Institute of Information Technology*, Vol. 15, No. 2, pp. 61-67, 2017 (in Korean).
- [9] S.U. Sung, S.H. Shin, C.Y. Joo, S.J. Kim, K.S. Yoon, "I-Q Channel 12bit 1GS/s CMOS DAC for WCDMA," *Journal of the Institute of Electronics Engineers of Korea-Semiconductor and Devices*, Vol. 45, No. 1, pp. 56-63, 2008 (in Korean).
- [10] Available on : <http://www.ti.com/lit/ds/symlink/dac7562.pdf>
- [11] Available on : <http://www.ti.com/lit/ds/symlink/th54551.pdf>
- [12] S. M. Max, "Testing High Speed High Accuracy Analog to Digital Converters Embedded in Systems on a Chip," *Proceedings of IEEE International Test Conference*, pp. 763-771, 1999.
- [13] John Hyde, Todd Humes, Chris Diorio, Mike Thomas, Miguel Figueroa, "A 300-MS/s 14-bit Digital-to-Analog Converter in Logic CMOS," *Journal of IEEE Solid-State Circuits*, Vol. 38, No. 5, pp. 734-740, 2003.
- [14] Mike P. Tiilikainen, "A 14-bit 1.8-V 20-mW 1mm²CMOSDAC," *Journal of IEEE Solid-State Circuits*, Vol. 36, No. 7, pp. 1144-1147, 2001.
- [15] Yonghua Cong, Randall L. Geiger, "A 1.5-V 14-Bit 100MS/s Self-Calibrated DAC," *Journal of IEEE Solid-State Circuits*, Vol. 38 No. 12, pp. 2051-2060, 2003.

Hyoungh-Woo Kim (김형우)

He received the M.S. degree in Electronics Engineering from Pusan National University in 2015. He is currently a Ph.D. candidate in Electronics Engineering at Pusan National University. His research interests include embedded system and control system.
Email: hwkim0314@pusan.ac.kr

Ki Gon Nam (남기곤)

He received the Ph.D. degree in Electronics and Electric Engineering from Pusan National University in 1989. He is currently a professor of Electronics Engineering at Pusan National University, Busan, Korea. His research interests include computer vision and pattern recognition.
Email: kgnam@pusan.ac.kr

Joon-Young Choi (최준영)

He received the Ph.D. degree in Electronics and Electric Engineering from Pohang University of Science and Technology in 2002. He is currently a professor of Electronics Engineering at Pusan National University, Busan, Korea. His research interests include embedded system and control system.
Email: jyc@pusan.ac.kr