

힘을 고려한 칩 패키지의 EMC/PCB 계면 접합 에너지 측정

김형준¹ · 안광호¹ · 오승진¹ · 김도한² · 김재성² · 김은숙² · 김택수^{1,†}

¹KAIST 기계공학과, ²㈜심텍 연구개발그룹

Measurement of EMC/PCB Interfacial Adhesion Energy of Chip Package Considering Warpage

Hyeong Jun Kim¹, Kwang Ho Ahn¹, Seung Jin Oh¹, Do Han Kim²,
Jae Sung Kim², Eun Sook Kim², and Taek-Soo Kim^{1,†}

¹Department of Mechanical Engineering, Korea Advanced Institute of Science and Technology (KAIST),
291, Daehak-ro, Yuseong-gu, Daejeon 34141, Korea

²R&D Group, SIMMTECH Co., 73, Sandan-ro, Heungdeok-gu, Cheongju-si, Chungcheongbuk-do 28582, Korea

(Received December 6, 2019: Corrected December 24, 2019: Accepted December 27, 2019)

초 록: 칩 패키지에는 생산 공정 및 운송, 보관 과정에서 발생하는 외부 환경 변화로부터 인쇄 회로 기판(printed circuit board, PCB)을 보호하기 위해 에폭시 몰딩(epoxy molding compound, EMC)이 사용된다. PCB와 EMC의 접합 신뢰성은 제품의 품질 및 수명에 중요한 요소이며 이를 보충하기 위해 제품 설계 및 생산 단계에서 그 접합 에너지를 정밀하게 측정하고, 이에 영향을 끼치는 요소를 통제하여 공정을 최적화 시켜야 한다. 본 논문은 이중 외팔보(double cantilever beam, DCB) 시험을 이용하여 휨(warpage)이 있는 칩 패키지의 EMC와 PCB의 계면 접합 에너지를 측정하고 보정하는 방법에 대해 소개한다. DCB 시험법은 이중 재료의 계면 접합 에너지를 측정하는 전통적인 방법이며 정밀한 접합 에너지 측정을 위해 평평한 기판이 필수적이다. 그러나 칩 패키지는 내부 구성 요소들의 열팽창 계수 차이로 인해 휨이 발생하기 때문에 평평한 기판을 제작하여 정밀한 접합 에너지를 측정하는데 어려움이 있다. 이를 극복하고자 본 연구에서는 휨이 있는 칩 패키지로 DCB 시험법을 위한 시편을 제작하고, 기판의 복원력을 보정하여 접합 에너지를 계산하였다. 보정된 접합 에너지는 동일 조건에서 제작된 칩 패키지 중 휨이 없는 시편을 선별하여 측정된 접합 에너지와 비교, 검증하였다.

Abstract: The adhesion reliability of the epoxy molding compound (EMC) and the printed circuit board (PCB) interface is critical to the quality and lifetime of the chip package since the EMC protects PCB from the external environment during the manufacturing, storage, and shipping processes. It is necessary to measure adhesion energy accurately to ensure product reliability by optimizing the manufacturing process during the development phase. This research deals with the measurement of EMC/PCB interfacial adhesion energy of chip package that has warpage induced by the coefficient of thermal expansion (CTE) mismatch. The double cantilever beam (DCB) test was conducted to measure adhesion energy, and the spring back force of specimens with warpage was compensated to calculate adhesion energy since the DCB test requires flat substrates. The result was verified by comparing the adhesion energy of flat chip packages come from the same manufacturing process.

Keywords: Chip Package, EMC, PCB, Adhesion, Warpage

1. 서 론

칩 패키지는 솔더 레지스트(solder resist, SR), 동박(copper clad laminate, CCL) 등으로 구성되어 있는 인쇄 회로 기판(printed circuit board, PCB)과 솔더 조인트, 에폭시 몰드(epoxy molding compound, EMC) 등 다양한 재

료가 적층된 형태를 갖는다. 적층된 계면의 접합 신뢰성은 제품의 품질에 영향을 끼치는 핵심적인 요소이며 특히 EMC/PCB 계면은 에폭시 몰딩 이전에 PCB가 외부 환경에 노출되기 때문에 공정 상황에 따라 계면의 품질이 많은 영향을 받는다.¹⁾ 따라서 제품 설계 및 생산 단계에서 각 공정이 계면에 미치는 영향을 파악하고 공정을 최

[†]Corresponding author
E-mail: tskim1@kaist.ac.kr

© 2019, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

적화하기 위해 계면의 접합 상태를 정량적으로 평가 하는 것이 필수적이다.

계면 접합 신뢰성은 계면의 접합 에너지를 측정하여 평가할 수 있다. 접합 에너지를 측정하는 다양한 방법이 있으나²⁻³⁾ 이중 재료에 대한 접합 에너지 측정 방법이 잘 정립되어 있고,⁴⁾ 정밀도가 높으며 시편 제작이 단순한 이중 외팔보(double cantilever beam, DCB) 시험법을 선택하였다. DCB 시험법은 인장을 통해 시편의 모드 I 파단을 유도하여 재료의 파괴 인성을 측정하는 시험법이다. Si 웨이퍼(wafer), 유리 등 물성이 잘 알려진 기관의 변형을 통해 기관 위에 증착, 도포되어 있는 이중 재료 박막의 계면 접합 에너지를 정밀히 측정하는 사례가 많이 보고되고 있으며,⁵⁻⁷⁾ 다층 구조의 복합재에서 취약 계면을 잘 따라 균열 전진이 이루어지며 기관의 영향을 배제할 수 있다는 장점이 있어 계면 접합 에너지를 측정하는데 각광받고 있는 시험법이다. DCB 시험법을 이용하여 EMC/SR 계면 접합 에너지를 측정하는 사례가 보고된 바 있으나, 비대칭적 구조로 인해 모드 혼합이 발생해 추가적인 해석이 요구되고 알루미늄 기관을 사용함으로써 원치 않는 계면의 박리가 발생하는 등 계면 접합 에너지 측정에 어려움이 있다.¹⁾

칩 패키지는 다양한 재료들의 열팽창 계수 차이로 인해 상온에서 휨(warpage)이 발생하기 때문에,⁸⁻¹¹⁾ 평평한 기관을 필요로 하는 DCB 시험법을 수행하기 위해서는 휨에 대한 고려가 필수적이다. 산업 및 학계에서는 칩 패키지의 휨을 제어하기 위해 많은 노력을 기울이고 있으나^{8,9,12)} 제품 설계 및 개발 단계에서 휨이 없는 시편을 일관되게 제작하여 접합 신뢰성을 평가하는 것은 현재까지도 큰 어려움을 겪고 있다.

본 연구에서는 이러한 한계를 극복하기 위하여 휨이 없는 칩 패키지의 복원력을 보정하여 접합 에너지를 측정하는 방법을 구축하였다. 물체를 변형한 후 접합할 경우 전체 구조물은 변형된 물체의 복원력에 영향을 받는다. 휨이 있는 패키지에 압력을 가해 모든 면을 완전히 접합했을 때 패키지에 작용하는 복원력은 휨이 없는 칩 패키지에 동일한 양의 휨을 발생시키기 위해 가하는 힘과 동일하다고 가정하였다¹³⁾. 단순한 고체 역학적 해석으로 휨의 정도에 따른 복원력을 계산하였으며 이를 이용하여 측정된 계면 접합 에너지를 보정해 주었다.

2. 실험방법

2.1 시편 준비 및 DCB 시험법

EMC와 PCB의 계면 접합 에너지를 측정하기 위해 패턴이 없는 SR이 사용되었다. CCL 양면에 SR이 코팅된 PCB(100 μm) 위에 EMC/PCB 계면으로 균열을 유도하기 위한 취약 계면(weak layer)을 도포하였다. 취약 계면은 전체 구조물에 영향을 끼치지 않는 얇은 두께(약 100 μm)로 도포 되어야 하며 공정 중에 재료가 변성되어 주변 환

경에 영향을 끼치지 않아야 한다. 또한 취약 계면은 접합력이 매우 약하고 강성이 낮아 타 재료를 구속할 수 없고, 기계적 하중을 견디지 않아 시편의 휨에 관여하지 않는 재료를 선정하여야 한다. 취약 계면으로는 발림성이 뛰어나고 열에 강한 silicone sealant(HS-4914-W, Shinetsu)가 사용되었다. 취약 계면이 도포되어 있는 PCB 위에 EMC 몰딩(1,000 μm)을 진행하고, 취약 계면을 반으로 잘라 칩 패키지를 제작하였다(Fig. 1(a)). 칩 패키지 시편은 길이 30 mm, 폭 10 mm로 가공하였다. 모드 혼합도(mode mixity)를 최소화 하고 모드 I 파단을 유도하기 위해 칩 패키지를 샌드위치 형태로 접합하여 대칭 구조를 갖는 DCB 시험용 시편을 제작하였다(Fig. 1(b)).

EMC를 DCB 시험법을 위한 기관으로 사용하여 칩 패키지를 제외한 구조물의 영향을 배제하고 EMC/PCB 계면의 접합 에너지를 직접적으로 측정할 수 있도록 하였다. 시편 끝단에 탭(Tap)을 붙여 시편을 인장할 수 있도록 하였다. 시편 제작에는 모두 동일한 에폭시 접착제(DP420, 3M)를 사용하였으며 대류(convection) 오븐에서 110°C, 45분간 경화 하였다.

시편을 지그에 거치한 후 양쪽으로 인장하여 시편의 모드 I 파단을 유도하였다(Fig. 2(a)). 인장 시에 기관은 탄성 거동을 보이며 임계 하중 이후 균열이 진전하며 하중이 감소한다. 균열을 일정 수준 진전시킨 이후 시편을 압축/인장하여 탄성 변형 구간을 유도하고 이를 바탕으로 균열 길이를 정밀하게 측정하였다(Fig. 2(b)). EMC/SR 계면 박리가 시작될 때 과도한 하중으로 인해 급격한 계면 박리가 진행되는 것을 방지하고자 매우 느린 속도(0.2 $\mu\text{m/s}$)로 인장하였고, 이후 균열 길이에 따라 속도를 조절하였다. 초당 균열 길이의 만분의 일을 움직이는 속도로

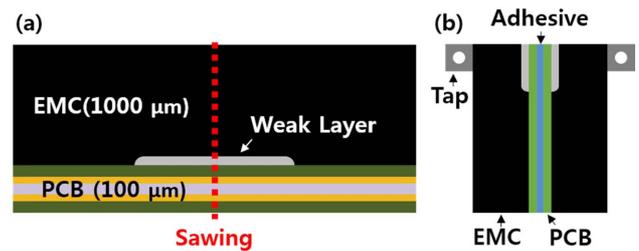


Fig. 1. Specimen preparation. (a) Structure of chip package. (b) Structure of DCB test specimen.

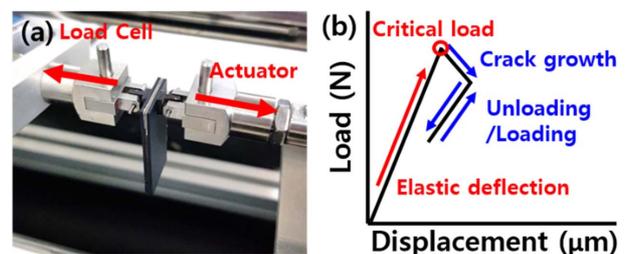


Fig. 2. DCB test procedure. (a) DCB test instrument. (b) Load-Displacement curve.

인장/압축 과정을 수행하였다.

계면 접합 에너지(G_c)는 다음과 같은 식으로 유도 될 수 있다.³⁾

$$G_c = \frac{12P_c^2 a^2}{E' b^2 h^3} \left(1 + \frac{0.64h}{a}\right)^2 \quad (1)$$

$$a = \left(\frac{CE'bh^3}{8}\right)^{\frac{1}{3}} - 0.64h \quad (2)$$

$$C = \delta/P \quad (3)$$

(P_c : 임계 하중, P : 하중, δ : 변형량, a : 균열 길이, E' : plane strain modulus, b : 시편 폭, $2h$: DCB 시편 두께, C : compliance)

반복적으로 인장/압축 과정을 수행하며 균열을 진전시킴으로써 하나의 시편에서 많은 구간의 접합 에너지를 측정할 수 있고, 탄성 거동 구간을 이용하여 정밀하게 균열 길이를 계산함으로써 특정 위치에서의 접합 에너지를 파악할 수 있다.

2.2 칩 패키지의 휨(warp) 보정

칩 패키지는 내부 소재들의 열팽창 계수 차이로 인해 상온에서 휨이 발생한다. 본 연구에서 사용된 칩 패키지 시편은 30 mm 길이에 약 0.6 mm의 휨이 발생한 시편이었다(Fig. 3).

휨이 있는 칩 패키지에 압력을 가해 평평하게 만들고 접합하게 되면 접합된 구조물은 칩 패키지의 휨 양에 따라 원래 형상으로 돌아가고자 하는 복원력을 내재하게 된다(Fig. 4). 복원력은 외팔보의 굽힘 변형 식을 이용하여 계산하였다.

DCB 시험을 수행하며 시편에 가해지는 힘이 임계점을 넘으면 균열이 진전한다. 이때 DCB 시편은 복원력을 내재하고 있기 때문에 실제 균열 진전에 필요한 외력보다 작은 힘에도 균열이 진전된다. 따라서 진전된 균열 길이에 따른 복원량을 가정하여 복원력을 계산하고, DCB 시

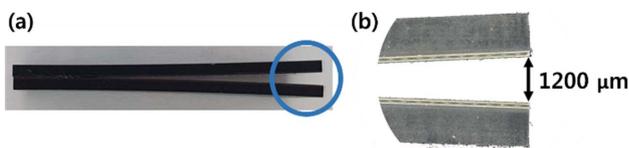


Fig. 3. (a) Warpage of the chip package. (b) Optical microscope image.

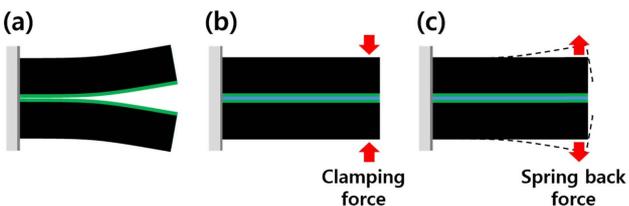


Fig. 4. (a) Specimens with warpage. (b) Joining two specimens with clamping force. (c) Specimen with spring back force.

험을 통해 측정된 외력에 더하여 계면 접합 에너지를 보정한다.

칩 패키지는 이상적인 호의 형태로 휨을 가지는 것으로 가정하였고, 균열 길이에 대한 복원량의 곡률과 칩 패키지의 전체 길이에 대한 전체 휨 량의 곡률은 같다고 가정하였다(Fig. 5).

아래 식을 통해 전체 칩 패키지의 곡률을 계산할 수 있고, 계산된 곡률을 이용하여 균열의 복원량을 계산할 수 있다.

$$R \sin \theta_a = L \quad (4)$$

$$R - R \cos \theta_a = \Delta \quad (5)$$

$$\theta_b = \sin^{-1} \frac{a}{R} \quad (6)$$

$$\delta = R - R \cos \theta_b \quad (7)$$

(R : 칩 패키지 곡률, L : 시편 길이, Δ : 시편의 휨량, δ : 균열 진전에 따른 복원량, a : 균열 길이, θ : 중심각)

복원량과 균열 길이로부터 외팔보의 굽힘 변형 식을 통해 복원력을 계산하였다. 외팔보의 변형량 및 복원력은 다음과 같은 식으로 계산될 수 있다.

$$\delta = \frac{Pa^3}{3EI} \quad (8)$$

$$P = \frac{3\delta EI}{a^3} \quad (9)$$

(δ : 복원량, P : 복원력, a : 외팔보의 길이 E : 기판의 탄성 계수, I : 단면 관성 모멘트)

DCB 시험법을 수행하며 측정된 균열 길이를 이용하여 복원력을 계산하고, 이를 측정된 임계 하중에 합산하여 최종 접합 에너지를 도출한다.

2.3 보정된 접합 에너지 검증

본 연구에 사용된 휨 보정법에 대한 검증은 동일하게 제작된 칩 패키지 중 휨이 없는 칩 패키지를 선별하여 측정한 접합 에너지와 비교하여 검증하였다.

3. 실험결과 및 고찰

DCB 시험에서 기판이 되는 EMC의 물성을 3점 굽힘 시험으로 측정하였다. EMC는 제조사에서 제작 시에 사용하는 필러 물질의 조성에 따라 물성이 변하기 때문에 직접적인 측정이 필요하다. 측정 결과 20.64 GPa의 굴곡

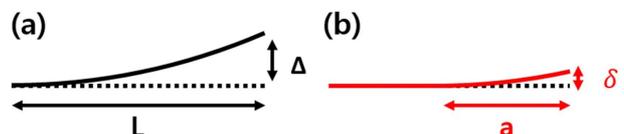


Fig. 5. (a) Warpage of specimen. (b) Spring back of crack.

탄성 계수(flexural modulus)가 측정되었고, 이를 DCB 시험에 적용하기 위해 평면 변형 조건의 탄성 계수(plane strain modulus)로 변환 하여 25.9 GPa의 탄성계수를 얻었다. 변환에 사용된 푸아송 비(Poisson's ratio)는 0.45로 가정하였다.¹⁴⁾

Fig. 6는 휨을 가진 칩 패키지의 접합 에너지 측정 및 복원력 보정 결과이다. 시험 장비에서 측정된 결과를 검은색 선으로 표시 하였고, 각각의 균열 길이로부터 계산된 복원력을 합산한 결과를 파란색 선으로 표시 하였다. 균열 길이를 통해 복원력을 계산 할 수 있기 때문에 복원력은 압축/인장 과정을 통해 균열 길이를 확인할 수 있는 위치에서만 계산 되었다. 보정 전 접합 에너지는 시편 (a)의 경우 $58.5 \pm 1.0 \text{ J/m}^2$, 시편 (b)의 경우 $63.2 \pm 1.1 \text{ J/m}^2$ 이다. 보정 이후에 접합 에너지는 시편 (a)의 경우 $97.2 \pm 1.8 \text{ J/m}^2$ 이고 시편 (b)의 경우 $103.3 \pm 1.6 \text{ J/m}^2$ 으로 계산되었다.

Fig. 7에서 EMC/PCB 박리 계면을 확인할 수 있다. (a)의 경우 휨이 있는 시편의 박리 계면, (b)의 경우 휨이 없는 시편의 박리 계면이다. 두 시편 모두 균열이 EMC/PCB 계면을 따라 진행되었으며, EMC와 SR 모두 실리카와 같은 보강재가 섞여있는 복합재이므로 표면 조도에 의해 강한 접합이 발생하여 EMC 표면에 SR 잔여물이 다소 남아 있게 된다. 이는 EMC 표면이 옅은 녹색을 띠는 것과 XPS 분석을 통해 박리된 EMC면에 SR 성분이 검출된 것을 통해 확인할 수 있었다. 시편의 끝단에서 균열이 SR의 내부로 파고들어 SR/Cu 계면으로 진전하였으므로 이

구간의 접합 에너지는 EMC/PCB 계면 접합 에너지에서 제외 하였다.

Fig. 8은 동일 공정에서 제작된 시편 중 휨이 없는 칩 패키지의 접합 에너지 측정 결과이다. 측정된 계면 접합 에너지는 시편 (a)의 경우 $86.7 \pm 3.8 \text{ J/m}^2$, 시편 (b)의 경우 $86.2 \pm 2.4 \text{ J/m}^2$ 이며 시편 간 반복성이 매우 높게 나타났다. 휨이 있는 시편의 보정된 접합 에너지와 비교하였을 때 약 16% 감소된 에너지가 측정되었다.

휨이 있는 시편의 복원력을 보정해 계산된 접합 에너지는 다음과 같은 이유로 오차가 발생할 수 있다. 첫째, 시편의 휨이 이상적인 호를 그린다고 가정하였으나 실제 휨은 제조 공정 및 가공 상황에 따라 다양한 방향 및 크기로 나타날 수 있다. 복원력을 정밀하게 계산하기 위해

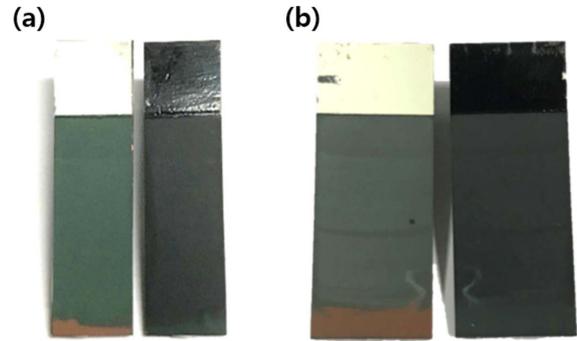


Fig. 7. Delaminated interface. (a) Specimen with warpage. (b) Specimen without warpage.

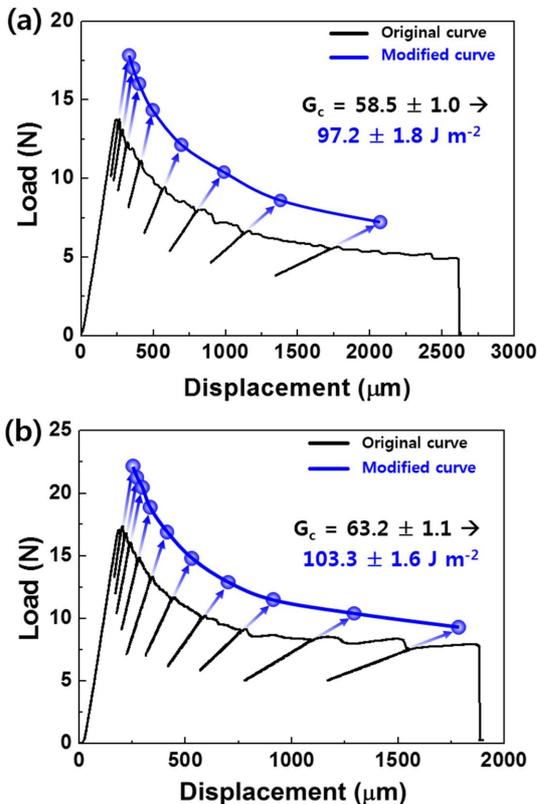


Fig. 6. DCB test result of chip packages with warpage.

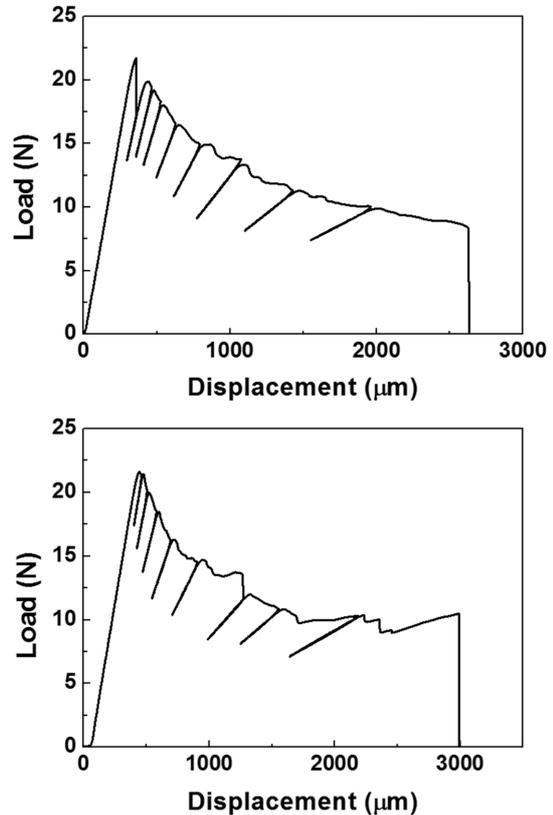


Fig. 8. DCB test result of chip packages without warpage.

서는 균열 길이당 복원량을 정밀하게 측정해야 하므로 이러한 가정은 계산된 복원력에 오차를 발생시키고, 접합 에너지 계산에 오차 원인이 된다. 둘째, 힘이 있는 시편의 균열 길이를 정확하게 계산할 수 없다. 시편을 압축/인장하며 선형 구간을 얻고, 이를 통해 균열길이를 계산하는 DCB 시험법은 평평한 기판을 변형시키는 것을 전제로 하기 때문에 휘어있는 시편의 경우 계산된 균열 길이에 오차가 발생한다. 식 (9)에서 알 수 있듯이 복원력을 계산하는 과정에서 균열전단의 길이가 세제곱으로 들어가기 때문에 복원력에 큰 차이를 야기해 보정된 접합 에너지 계산에 주요한 오차가 될 수 있다.

그러나 신속히 이루어져야 하는 제품 개발 및 공정 최적화 단계에서 힘이 없는 칩 패키지를 제작, 선별해서 접합 에너지를 측정하는 것은 낮은 수율과 선별의 부정확성이 있어 신뢰성 높은 품질 평가에 많은 어려움이 있다. 본 연구 결과는 경제적이고 신속한 방법으로 제품 신뢰성을 향상시킬 수 있다는 점에서 큰 의의를 가진다.

4. 결 론

본 연구를 통해 휨(warpage)을 가진 칩 패키지의 EMC/PCB 계면 접합 에너지를 DCB 시험을 이용하여 정밀하게 측정하였다. 휨을 가진 시편을 평평하게 압착했을 때 시편이 가지는 복원력은 평평한 시편을 동일한 휨 양을 갖게 하기 위해 가해야 하는 힘과 같다는 가정을 통해 시편의 복원력을 계산하였다. 이를 이용하여 힘이 있는 시편에 대한 복원력을 계산 및 보정하여 계면 접합 에너지를 측정하는 방법을 구축하였다. 측정 결과 100 J/m²의 접합 에너지가 도출되었고, 이는 동일 조건으로 제작된 칩 패키지 중 휨이 없는 시편을 선별하여 측정된 접합 에너지인 86 J/m²와 비교하여 약 16%의 오차를 보이나 보정 전 과소평가된 접합 에너지와 비교하였을 때 높은 정확도를 보이는 것을 알 수 있었다. 공정에 대한 신속한 평가가 이루어져야 하는 제품 개발 단계에서 휨을 제거한 시편을 제작하기 어렵다는 점을 고려했을 때, 본 연구 결과를 이용한다면 칩 패키지의 EMC/PCB 계면 품질 향상 및 신뢰성에 많은 기여를 할 수 있을 것으로 기대된다.

감사의 글

본 연구는 (주)심텍의 “EMC/SR 계면 접합력 측정기술 개발” 과제의 지원을 받아 수행된 연구결과입니다.

References

1. D. K. Shin, Y. H. Song, and J. Im, “Effect of PCB surface

modifications on the EMC-to-PCB adhesion in electronic packages”, *IEEE Transactions on Components and Packaging Technologies*, 33(2), 498 (2010).

2. D. R. Moore, A. Pavan, and J. G. Williams, “Fracture Mechanics Testing Methods for Polymers Adhesives and Composites”, Elsevier Science, ch. 3, Oxford, U.K (2001).

3. G. Kim, J. Lee, S.-H. Park, S. Kang, T.-S. Kim, and Y.-B. Park, “Comparison of Quantitative Interfacial Adhesion Energy Measurement Method between Copper RDL and WPR Dielectric Interface for FOWLP Applications (in Korean)”, *J. Microelectron. Packag. Soc.*, 25(2), 41 (2018).

4. M. F. Kanninen, “An augmented double cantilever beam model for studying crack propagation and arrest”, *International Journal of fracture*, 9(1), 83 (1973).

5. I. Lee, S. Kim, J. Yun, K. Park

6. , and T.-S. Kim, “Interfacial toughening of solution processed Ag nanoparticle thin films by organic residuals”, *Nanotechnology*, 23(48), 485704 (2012).

7. T. Yoon, W. C. Shin, T. Y. Kim, J. H. Mun, T.-S. Kim, and B. J. Cho, “Direct Measurement of Adhesion Energy of Monolayer Graphene As-Grown on Copper and Its Application to Renewable Transfer Process”, *Nano Letters*, 12(3), 1448 (2012).

8. W. Kim, J. Choi, J.-H. Kim, T. Kim, C. Lee, M. Kim, B. J. Kim, and T.-S. Kim, “Comparative Study of the Mechanical Properties of All-Polymer and Fullerene-Polymer Solar Cells: The Importance of Polymer Acceptors for High Fracture Resistance”, *Chemistry of Materials*, 30(6), 2102 (2018).

9. C. Kim, T.-I. Lee, M. S. Kim, and T.-S. Kim, “Mechanism of warpage orientation rotation due to viscoelastic polymer substrates during thermal processing”, *Microelectronics Reliability*, 73, 136 (2017).

10. M.-Y. Tsai, H.-Y. Chang, and M. Pecht, “Warpage analysis of flip-chip PBGA packages subject to thermal loading”, *IEEE Transactions on Device and Materials Reliability*, 9(3), 419 (2009).

11. H.-W. Liu, Y.-W. Liu, J. Ji, J. Liao, A. Chen, Y.-H. Chen, N. Kao, and Y.-C. Lai, “Warpage characterization of panel fan-out (P-FO) package”, *Proc. 64th Electronic Components and Technology Conference (ECTC)*, IEEE (2014).

12. G. Kelly, C. Lyden, W. Lawton, J. Barrett, A. Saboui, H. Pape, and H. J. B. Peters, “Importance of molding compound chemical shrinkage in the stress and warpage analysis of PQFPs”, *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part B*, 19(2), 296 (1996).

13. C. Kim, H. Choi, M. Kim, and T.-S. Kim, “Packaging Substrate Bending Prediction due to Residual Stress (in Korean)”, *J. Microelectron. Packag. Soc.*, 20(1), 21 (2013).

14. S. C. Liu, and S. J. Hu, “Variation simulation for deformable sheet metal assemblies using finite element methods”, *Journal of manufacturing science and engineering*, 119(3), 368 (1997).

15. D.-L. Chen., T.-C. Chiu, T.-C. Chen, M.-H. Chung, P.-F. Yang, and Y.-S. Lai, “Using DMA to simultaneously acquire Young’s relaxation modulus and time-dependent Poisson’s ratio of a viscoelastic material”, *Procedia Engineering*, 79, 153 (2014).