

4비트 ADC 반복구조를 이용한 저전력 전류모드 12비트 ADC

박소연* · 김형민** · 이대니얼주현** · 김성권***

A Low Power Current-Mode 12-bit ADC using 4-bit ADC in cascade structure

So-Youn Park* · Hyung-Min Kim** · Daniel-Juhun Lee** · Seong-Kweon Kim***

요약

본 논문에서는 디지털 회로와 저소비전력 및 고속연산의 장점을 가진 아날로그 회로를 혼용하기 위하여, 저전력 전류모드 12비트 ADC(Analog to Digital Converter)를 제안하였다. 제안하는 12비트 ADC는 4비트 ADC의 cascade 구조를 사용하여 소비전력을 줄일 수 있었으며, 변환 current mirror 회로를 사용해 칩면적을 줄일 수 있었다. 제안된 ADC는 매그나칩/SK하이닉스 350nm 공정으로 구현하였고, Cadence MMSIM을 사용하여 post-layout simulation를 진행하였다. 전원전압 3.3V에서 동작하고, 면적은 $318\mu\text{m} \times 514\mu\text{m}$ 를 차지하였다. 또한 제안하는 ADC는 평균 소비전력 3.4mW의 저소비전력으로 동작하는 가능성을 나타내었다.

ABSTRACT

In this paper, a low power current mode 12-bit ADC(Analog to Digital Converter) is proposed to mix digital circuits and analog circuits with the advantages of low power consumption and high speed operation. The proposed 12 bit ADC is implemented by using 4-bit ADC in a cascade structure, so its power consumption can be reduced, and the chip area can be reduced by using a conversion current mirror circuit. The proposed 12-bit ADC is SK Hynix 350nm process, and post-layout simulation is performed using Cadence MMSIM. It operates at a supply voltage of 3.3V and the area of the proposed circuit is $318\mu\text{m} \times 514\mu\text{m}$. In addition, the ADC shows the possibility of operating with low power consumption of 3.4mW average power consumption in this paper.

키워드

ADC, Current mode, Low Power consumption, Voltage Swing
ADC, 전류 모드, 저소비 전력, 전압 변화폭

* 서울과학기술대학교 전자IT미디어공학과
(pmat9669@naver.com)

** 서울과학기술대학교 대학원 석사과정
(currentmemory@seoultech.ac.kr,
daniellee0691@gmail.com)

*** 교신저자 : 서울과학기술대학교 전자IT미디어공
학과

• Received : Oct. 10, 2019, Revised : Nov. 12, 2019, Accepted : Dec. 15, 2019

• Corresponding Author : Seong-Kweon Kim

Dept. of Electronics and IT Media Engineering, Seoul National University of
Science & Technology

Email : kim12632@seoultech.ac.kr

• 접수일 : 2019. 10. 10

• 수정완료일 : 2019. 11. 12

• 게재확정일 : 2019. 12. 15

I. 서 론

기존의 프로세서는 디지털 회로를 사용하여 신호처리를 한다. 그러나 디지털 회로를 사용하면 식 (1)과 같이 주파수에 비례하여 dynamic 전력소비가 증가하는 특성이 있기 때문에 높은 주파수에서 작동할 때의 전력소비가 매우 크다.

$$P_D = fCV_{DD}^2 \quad (1)$$

따라서 기존과 달리 프로세서의 일부분은 디지털 회로를 보다 작은 소비전력으로 동작할 수 있는 아날로그 회로로 대체하여 아날로그·디지털 병합 프로세서로써 전력소비를 줄일 수 있다[1-2]. 두 회로의 병합은 프로세서에서 디지털 회로가 효율적인 부분에서는 디지털 회로로 처리하고, 아날로그 회로가 효율적인 부분에서는 아날로그 회로로 처리함으로써 프로세서의 성능 또한 높일 수 있게 한다.

이렇게 아날로그와 디지털의 이점을 선택적으로 사용하여 위해서는 ADC(Analog to Digital Converter)와 DAC(Digital to Analog Converter)가 필수적이다. 하지만 이전 ADC 기술의 소비전력은 약 수백~수천 mW로[3-4], 새로운 프로세서 아키텍처 설계에 고비용의 문제로 많은 제한이 될 수 있다[5]. 제한된 비용에서 높은 소비전력의 ADC는 프로세서 아키텍처에 필요한 ADC의 개수를 제한할 수 있고 칩 내의 다른 회로에 저전력 동작을 요구하는 등의 한계를 갖는다. 그러므로 본 논문에서는 4비트 ADC를 cascade로 연결하여 소비전력을 대폭 줄인 전류모드 12비트 ADC를 제안한다.

II. 저전력 회로 구현

2.1 전류모드 회로의 저전력 동작 가능성

CMOS 회로에서의 소비전력은 회로의 트랜지션(transition) 신호로 인해 발생하는 동적전력(dynamic power)과 회로의 신호가 정지된 신호일 때의 소비전력인 정적전력(static power)으로 나눌 수 있다. 따라서 아날로그 회로의 소비전력을 줄이기 위해 동적전력과 정적전력, 두 가지 측면에서 저전력 회로를 설계

할 수 있다.

입력신호가 시간에 따라 변화할 때, 순시전압은 식 (2)와 같으므로, 시간에 따른 순시전압의 변화율은 식 (3)과 같다.

$$V_{out}(t) = V_{\infty} - (V_{\infty} - V_{0+})e^{-\frac{t}{RC}} \quad (2)$$

$$\frac{dV_{out}(t)}{dt} = \frac{1}{RC}(V_{\infty} - V_{0+})e^{-\frac{t}{RC}} \quad (3)$$

전압 V_{0+} 는 초기 전압, V_{∞} 는 변화 후의 전압을 나타낸다.

이때, 순시전력은 V_{DD} 와 순시전류의 곱이므로 식 (4)와 같이 된다.

$$P(t) = CV_{DD} \frac{dV_{out}(t)}{dt} = \frac{1}{R} V_{DD}(V_{\infty} - V_{0+})e^{-\frac{t}{RC}} \quad (4)$$

따라서 변화한 시간 T 동안의 평균전력은 식 (5)와 같다.

$$P_{avg} = \frac{CV_{DD}(V_{\infty} - V_{0+})}{T}(1 - e^{-\frac{T}{RC}}) \quad (5)$$

이는 트랜지션 신호가 발생할 때 소비되는 전력이므로 동적전력을 나타낸다. 따라서 주어진 전원전압 V_{DD} 에서, 전력소비를 줄이기 위해서는 CMOS 트랜지스터의 channel width를 작게 사용하여 캐패시터(C) 값을 작게 하거나, 초기전압 V_{0+} 와 변화 후의 전압 V_{∞} 의 차, 즉 전압의 변화폭을 줄여야 한다.

본 논문은 캐패시터(C) 값을 작게 하는 대신에 전압의 변화폭을 조정하여 동적전력을 작게 하는 설계를 목표로 한다.

아날로그 신호는 전압모드 신호와 전류모드 신호로 나누어지는데, MOSFET transistor의 saturation region일 때의 전류신호를 사용하면 전압 신호를 사용할 때보다 낮은 전압의 변화폭을 가질 수 있게 된다[6]. saturation region에서의 전압 $V_{OV}(=V_{GS} - V_T)$ 는 식 (6)과 같이 전류의 제곱근에 비례하는 특성을 가지고 있기 때문이다.

$$V_{GS} - V_T = \sqrt{\frac{2i_D}{k_{n,p}}} \quad (k_{n,p} = \mu_{n,p} C_{ox} \frac{W}{L}) \quad (6)$$

예를 들어, 전압모드 N비트 ADC의 경우, 입력신호가 $x V_{LSB}$ ($0 \leq x < 2^N$)에서 다른 전압 $(x + \Delta x) V_{LSB}$ 으로 변화할 때, 전압의 변화폭은 식 (7)과 같다.

$$V_{\infty} - V_{0+} = \{(x + \Delta x) - x\} V_{LSB} = \Delta x V_{LSB} \quad (7)$$

이때, V_{LSB} 는 Δx 에 대하여 상수이기 때문에 전압의 변화폭은 Δx 에 비례한다.

반면, 전류모드 N비트 ADC의 경우, 입력신호가 $x I_{LSB}$ 에서 다른 전류 $(x + \Delta x) I_{LSB}$ 로 변화할 때, 전압 V_{OV} 의 초기 전압 V_{0+} 는 $\sqrt{\frac{2x I_{LSB}}{k_{n,p}}}$ 이고, 변화 후 전압 V_{∞} 는 $\sqrt{\frac{2(x + \Delta x) I_{LSB}}{k_{n,p}}}$ 으로 나타낼 수 있다. 따라서 전류모드 ADC일 때 전압 변화폭은 식 (8)과 같이 나타낼 수 있다.

$$V_{\infty} - V_{0+} = \sqrt{\frac{2I_{LSB}}{k_{n,p}}} (\sqrt{x + \Delta x} - \sqrt{x}) \quad (8)$$

이때, $\sqrt{\frac{2I_{LSB}}{k_{n,p}}}$ 와 x 는 Δx 에 대하여 상수이기 때문에 전압의 변화폭은 Δx 의 제곱근을 Δx 축으로 $-x$ 만큼, 전압 변화폭 축으로 $-\sqrt{x}$ 만큼 평행이동한 것에 비례한다.

그림 1은 전압모드와 전류모드 ADC의 신호 변화에 따른 전압 변화폭을 나타낸 그래프이다. 전압모드 ADC에서 최대 전압 변화폭은 V_{ref} 이며, 전류모드 ADC에서 최대 전압 변화폭은 $\sqrt{\frac{2I_{ref}}{k_{n,p}}}$ 이다. 일반적으로 전압모드 ADC의 최대 전압 V_{ref} 는 V_{DD} 이므로 전압모드에서의 최대 전압 변화폭은 수 V 에 해당한다 [7]. I_{ref} 가 $50\mu A$ 인 전류모드의 최대 전압 변화폭은 전자의 이동성 μ_n 이 $480cm^2/V \cdot s$, 홀의 이동성 μ_p 가 $1350cm^2/V \cdot s$, oxide capacitance C_{ox} 를 $8.6 \times 10^{-3} F/m^2$, 그리고 $\frac{W}{L} = \frac{10\mu m}{0.35\mu m}$ 이라고 가정하면, 수십 mV 에 해당한다[8].

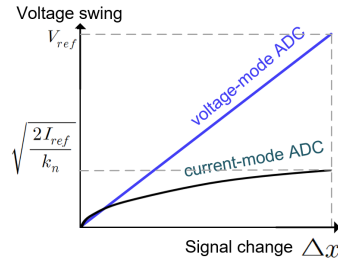


그림 1. 입력신호 변화 ($x \rightarrow x + \Delta x$)에 따른 전압모드 ADC와 전류모드 ADC 전압의 변화폭

Fig. 1 Voltage swing of voltage-mode ADC and current-mode ADC at different input signals($x \rightarrow x + \Delta x$)

따라서 전압모드 ADC보다 전류모드 ADC에서 전압의 변화폭이 작으므로 전류모드 신호를 사용하면 저전력의 가능성이 높아진다.

2.2 전류모드 소비전력 평가

전류모드 ADC의 소비전력은 전류모드 ADC에 최대 정적전류 I_{ref} 를 ADC 회로에 입력하고 그때 발생하는 일정한 패턴의 정적전력 합을 비교함으로써 판단할 수 있다. 그림 2는 일반적인 전류모드 ADC의 k번째 비트에서의 회로 블록도를 나타낸 것이다[9-10]. $I_{i,k}$ 는 k번째 비트에서 아날로그 입력전류를, $I_{ref,k}$ 는 k번째 비트의 기준전류를 나타낸다. 비교단에서는 k번째 비트에서 입력되는 전류와 k번째 비트의 기준전류를 비교하여 디지털 연산결과를 출력하며, 연산단에서는 비교단으로부터 디지털 출력을 입력받아 다음 비교단 수행을 가능하게 한다.

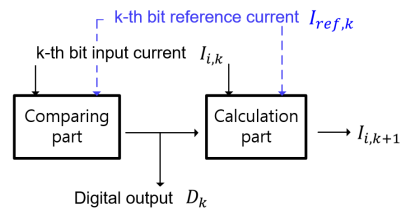


그림 2. 일반적인 전류모드 ADC에서의 k번째 비트 블록도

Fig. 2 Block diagram of k-th bit at basic current-mode ADC

그림 3은 일반적인 전류모드 N비트 ADC의 회로 블록도이다[10]. 그림 2의 1비트 ADC가 cascade로 연

결된 구조로, 한 비트의 연산단에서 출력된 전류가 다음 1비트 ADC의 입력전류가 되어 순차적으로 총 N 비트의 디지털 출력이 결정된다.

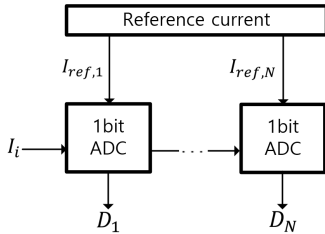


그림 3. 일반적인 전류모드 N비트 ADC의 회로 블록도

Fig. 3 Circuit block diagram of basic current-mode N-bit ADC

이 ADC에서 정적전력소비를 고려해야 하는 블록은 크게 2가지로, 입력전류와 기준전류를 비교하는 비교단, 다음 비트를 변환하기 위해 전류신호를 연산하는 연산단으로 나눌 수 있다. 입력전류로 인한 전력소비는 입력전류가 매우 적은 전류량이므로, 소비전력 계산에서 제외한다. 또한 기준전류를 공급하기 위해 Current Source로 입력되는 바이어스 전류 역시 매우 적은 전류량으로 소비전력의 계산에서 제외된다.

따라서 전력소비를 평가하는 기준을 ‘ SP_{max} ’이라 정의하고 그 표현은 식 (9)과 같이 나타낼 수 있게 된다.

$$SP_{max} = P_{비교단} + P_{연산단} \tag{9}$$

비교단의 전력은 입력전류와 기준전류를 비교하는 부분이므로 기준전류와 전원전압 V_{DD} 의 곱으로 나타내지며, 연산단의 전력은 다음 단계의 입력전류로 출력하는 부분이므로 그 단계의 입력전류와 전원전압 V_{DD} 의 곱으로 나타내어진다.

그러므로 SP_{max} 를 식 (10)과 같이 나타낼 수 있다.

$$SP_{max} = V_{DD} \left(\sum_{k=1}^N I_{ref,k} + \sum_{k=1}^N I_{i,k} \Big|_{I_i = I_{ref}} \right) \tag{10}$$

SP_{max} 는 전류모드 ADC의 소비전력을 평가하기 위해 사용된다.

III. 저전력 전류모드 12비트 ADC의 설계

3.1 ADC의 기준전류 설정

본 연구에서 제안하는 전류모드 ADC의 비교단에서는 기준전류를 입력전류와 비교하여 디지털 0 또는 1로 출력하므로 별도로 기준전류를 설정해야 한다. N-bit ADC에서 k번째 비트의 기준전류는 식 (11)과 같이 나타낼 수 있다.

$$I_{ref,k} = \frac{1}{2^k} I_{ref} \quad (k = 1, 2, \dots, N) \tag{11}$$

그림 4는 N비트 ADC의 기준전류를 cascode PMOS current mirror를 사용하여 설계한 회로이다. 바이어스 전류 I_{BIAS} 는 각 비트 연산의 기준전류를 공급하기 위해 입력되는 전류이다.

이 기준전류는 그림 4와 같이 상위 비트로 한 비트씩 올라갈수록 2배의 channel width를 사용해야 하므로, ADC의 분해능(resolution)이 높아질수록 기준전류를 설정하는 channel width가 기하급수적으로 증가해 상당한 면적을 차지하게 된다.

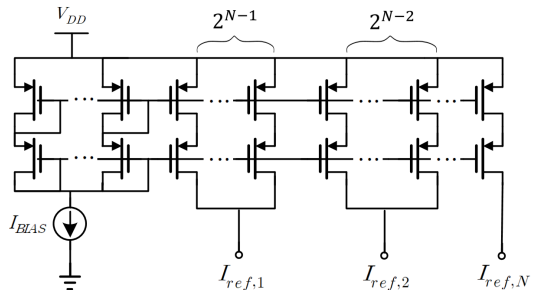


그림 4. N비트 ADC의 기준전류 설정 (cascode PMOS current mirror)

Fig. 4 Setting reference current of N-bit ADC (cascode PMOS current mirror)

그림 5는 이를 개선하기 위해 사용한 ‘변환 current source’이다. 일정 비트가 지나면 channel width를 재설정함으로써 면적을 줄일 수 있다.

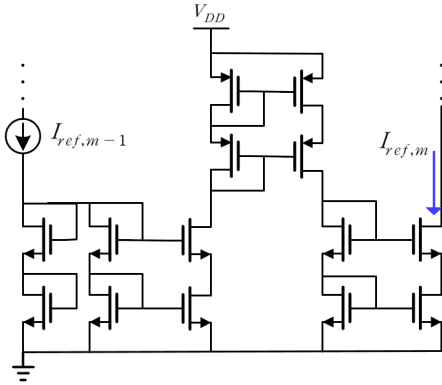


그림 5. 변환 current mirror
Fig. 5 Conversion current mirror

본 논문에서는 12비트 ADC의 기준전류를 설정하기 위해 3개의 4비트 기준전류 설정 cascode current mirror와 2개의 변환 current mirror를 사용하였다.

3.2 전류모드 ADC의 동작과 알고리즘

그림 6은 제안하는 전류모드 12비트 ADC의 동작을 나타낸 것이다. 한 단계의 4비트 ADC에서 비교단을 거치고 난 후 4개의 디지털 데이터가 출력되면, 연산단인 resetting current를 통해 그 단계의 입력전류에서 각 비트의 디지털출력에 따라 기준전류를 뺀 전류 $I_i - (D_1 I_{ref,1} + D_2 I_{ref,2} + D_3 I_{ref,3} + D_4 I_{ref,4})$ 가 출력되어 다음 단계 4비트 ADC의 입력전류가 된다.

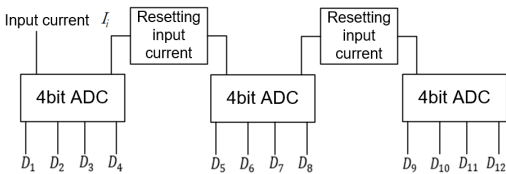


그림 6. 전류모드 12비트 ADC의 동작
Fig. 6 Operation of 12-bit current-mode ADC

그림 7은 제안하는 4비트 ADC의 회로도이다. I_i 를 $\frac{1}{2} I_{ref}$ 와 비교하여 I_i 이 더 크면 디지털 출력 D_1 은 1이 된다. 다음 비트에서는 D_1 를 NMOS를 사용한 스위치로 입력받아 I_i 를 기준전류 $\frac{1}{2} I_{ref} + \frac{1}{2^2} I_{ref}$ 와 비교하여 I_i 가 더 작으면 D_2 는 0이 된다. 마찬가지로 다음 비트

에서는 D_1 와 D_2 를 스위치로 입력받아 I_i 를 $\frac{1}{2} I_{ref} + \frac{1}{2^3} I_{ref}$ 와 비교한다. 이러한 방식으로 k번째 비트에서 입력전류는 식 (12)와 같이, 기준전류는 식 (13)과 같이 나타내어진다.

$$I_{i,k} = I_i \tag{12}$$

$$I_{ref,k} = \frac{1}{2^k} I_{ref} + \sum_{m=2}^k D_{m-1} \cdot \frac{1}{2^{m-1}} I_{ref} \tag{13}$$

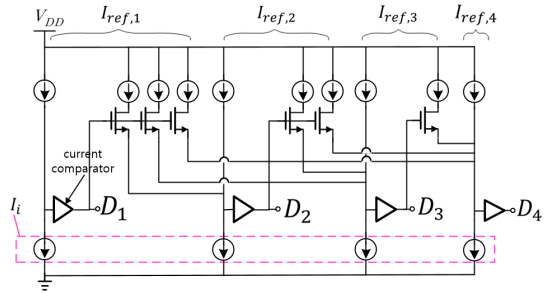


그림 7. 4비트 ADC 회로도
Fig. 7 Circuit diagram of 4-bit ADC

3.3 전류모드 ADC의 저전력 설계

제안된 4비트 ADC에서는 입력전류가 바뀌지 않고 기준전류만 변화하므로 연산단이 필요하지 않다. 따라서 4비트 ADC의 $SP_{max,4b}$ (1개의 4비트 ADC의 SP_{max})는 식 (14)와 같이 나타낼 수 있다.

$$\begin{aligned} SP_{max,4b} &= \sum_{k=1}^4 \left(\frac{1}{2^k} + \frac{1}{2^{k-1}} + \frac{1}{2^{k-2}} + \dots + \frac{1}{2} \right) I_{ref} V_{DD} \\ &= \left(4 + \frac{1}{2^4} - 1 \right) V_{DD} I_{ref} \end{aligned} \tag{14}$$

두 번째의 4비트 ADC는 아날로그 최대 입력전류 ($I_{i,4}$)가 I_{ref} 의 $\frac{1}{2^4}$ 배이므로 다음 4비트 ADC의 $SP_{max,4b}$ 는 이전 4비트 ADC $SP_{max,4b}$ 의 $\frac{1}{2^4}$ 배로 감소한다. 마찬가지로 세 번째의 4비트 ADC 또한 $\frac{1}{2^8}$ 배로 대폭 감소한다.

입력전류를 재설정하는 resetting current부분은 다음 비트의 입력전류로 변환하기 위한 연산단에 해당

한다. 이러한 연산단은 4비트에서 5비트로 바뀔 때와 8비트에서 9비트로 바뀔 때에만 필요하다. 따라서 $P_{\text{연산단}}$ (resetting current의 전력소비)은 식 (15)와 같이 표현할 수 있다.

$$P_{\text{연산단}} = V_{DD}(I_i + I_{i,4}) \quad (15)$$

이때, I_i 는 첫 번째 4비트 ADC의 입력전류로 I_{ref} 이며, $I_{i,4}$ 는 두 번째 4비트 ADC의 입력전류로 I_{ref} 의 $\frac{1}{2^4}$ 배이다.

이 알고리즘의 SP_{max} 는 식 (16)과 같이 나타낼 수 있다.

$$SP_{\text{max}} = \left(4 + \frac{1}{2^4} - 1\right) \left(I_{ref} + \frac{1}{2^4} I_{ref} + \frac{1}{2^8} I_{ref}\right) V_{DD} + (I_{ref} + \frac{1}{2^4} I_{ref}) V_{DD} = 4.33 V_{DD} I_{ref} \quad (16)$$

제한하는 회로의 resetting current부분을 사용하지 않고 12개의 비교단만을 거쳐 디지털을 출력한다면 식 (17)과 같이 나타내어진다.

$$SP_{\text{max, 12b}} = \sum_{k=1}^{12} \left(\frac{1}{2^k} + \frac{1}{2^{k-1}} + \frac{1}{2^{k-2}} + \dots + \frac{1}{2}\right) I_{ref} V_{DD} \\ = \left(12 + \frac{1}{2^{12}} - 1\right) V_{DD} I_{ref} = 11.00 V_{DD} I_{ref} \quad (17)$$

따라서, 4비트 ADC를 cascade로 연결할 때 소비전력이 대폭 감소했음을 식 (16)과 식 (17)에서 확인할 수 있다.

IV. 실험 결과

본 논문에서는 매그나칩/SK하이닉스 350nm 공정으로 전류모드 12비트 ADC를 구현하여 Cadence MMSIM을 이용한 post-layout simulation을 통해서 성능을 분석하였다.

그림 8은 전류모드 12비트 ADC의 레이아웃이다. 제안된 ADC는 전원전압 3.3V에서 동작하고, INL (Integral Nonlinearity)은 최소 -0.1LSB, 최대 -46LSB로 나타났으며, $318\mu\text{m} \times 514\mu\text{m}$ 의 면적을 차

지하였다.

표 1은 전류모드 12비트 ADC의 이상 기준전류와 실제 기준전류를 1비트부터 12비트까지 나타낸 것이다. 본 논문에서 ADC의 기준전류 I_{ref} 는 $70.75\mu\text{A}$ 이다. 오차는 5비트에서 0.084LSB로 가장 크게 나타났고, 총 오차는 0.098LSB로 나타났다.

그림 9는 입력전류에 따른 디지털($D_1 \sim D_{12}$) 출력을 나타낸 것이며, 그림 10은 100kHz 정현파를 입력했을 때 ADC의 sampling 결과를 나타낸 것이다.

그림 11은 입력전류에 따른 소비전력의 DC simulation 결과이며, 평균 소비전력은 3.4mW로 나타났다.

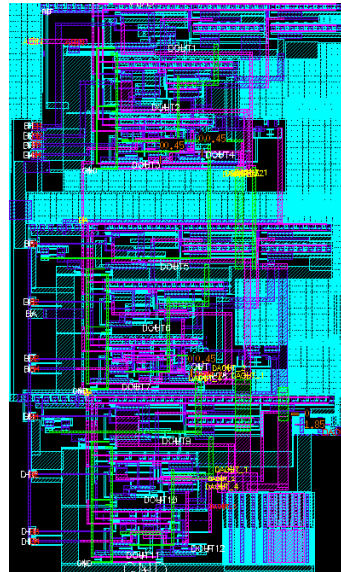


그림 8. 12비트 ADC 레이아웃 ($318\mu\text{m} \times 514\mu\text{m}$)
Fig. 8 Layout of 12-bit ADC ($318\mu\text{m} \times 514\mu\text{m}$)

표 1. 12비트 ADC 기준전류
Table 1. Reference current of 12-bit ADC

bit	Ideal reference current (μA)	Practical reference current (μA)	Error (LSB)
1	35.3744	35.3744	
2	17.6872	17.6873	0.0054
3	8.8436	8.843	-0.0337
4	4.4218	4.4215	-0.0195
5	2.2109	2.2124	0.0841
6	1.1055	1.1059	0.0287
7	0.5527	0.5529	0.0109
8	0.2764	0.2765	0.0055
9	0.1382	0.1383	0.0089
10	0.0691	0.0692	0.0044
11	0.0345	0.0346	0.0022
12	0.0173	0.0173	0.0012

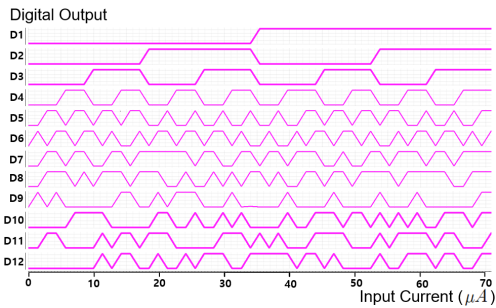


그림 9. 디지털 출력의 Post-Layout DC Simulation
Fig. 9 Post-Layout DC Simulation of digital output

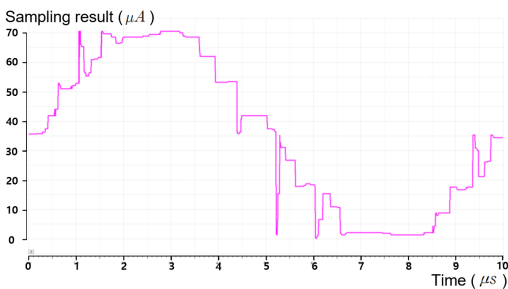


그림 10. 정현파 입력 sampling result (f=100kHz)
Fig. 10 Sine wave input sampling result (f=100kHz)

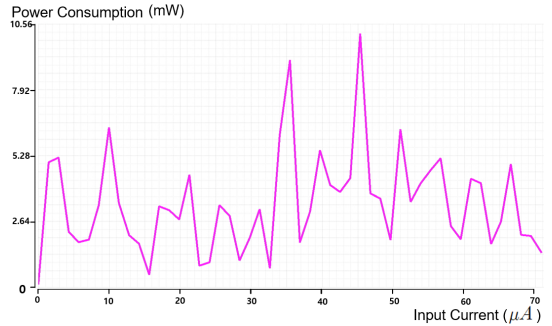


그림 11. 입력전류에 따른 소비전력의 DC 시뮬레이션 결과
Fig. 11 Post-Layout DC Simulation result of power consumption at different input currents

V. 결론

디지털 회로로 구현되는 프로세서는 동작 주파수가 증가함에 따라, 소비전력이 증가하는 문제가 있어, 디지털 회로 및 아날로그 회로를 사용하는 프로세서 구조가 저전력 동작을 가능하게 하는 한 방법이 될 수 있다. 따라서 아날로그와 디지털의 경계인 ADC의 저전력소비 동작이 매우 중요하다.

본 논문에서는 전류모드 신호를 사용하는 것이 전압모드 신호를 사용하는 것보다 저전력 설계에 적합함을 나타내었다. 제안된 12비트 ADC는 매그나칩/SK하이닉스 350nm 공정으로 구현하였으며, ADC의 성능을 분석하기 위하여 Cadence MMSIM을 사용하여 post-layout 시뮬레이션을 진행하였다. 전원전압 3.3V에서 동작하고, $318\mu m \times 514\mu m$ 의 면적을 차지하였으며, 평균 소비전력 3.4mW의 낮은 소비전력으로 동작하는 가능성을 나타내었다. 제안하는 저전력 ADC는 향후 저전력 프로세서를 제작하는데 기여할 것으로 기대된다.

감사의 글

이 연구는 서울과학기술대학교 교내 일반과제 연구비 지원으로 수행되었습니다.

References

- [1] P. Dudek and P. Hicks, "A CMOS General-Purpose Sampled-Data Analog Processing Element," *IEEE Trans. on circuits and systems*, vol. 47, no. 5, May 2000, pp. 467.
- [2] D. Yeo, "Design of Low Power Current Memory Circuit based on Voltage Scaling," *J. of the Korea Institute of Electronic Communication Science*, vol. 11, no. 2, 2016, pp. 159-160.
- [3] A. Ali, "A 14Bit 1GS/s RF Sampling Pipelined ADC With Background Calibration," *IEEE J. of Solid-State Circuits*, vol. 49, no. 12, Dec. 2014, pp. 2857-2865.
- [4] D. Patidar, "Design And Simulation Of 10-Bit Pipeline Adc Using Switch Capacitor Circuit And Opamp Sharing In 0.25 μ m CMOS Technology at 2.5V," *Int. J. of Engineering Trends and Technology(IJETT)*, vol. 43, no. 3, Jan. 2017, pp. 151-156.
- [5] Y. Chai, "Design of ZVS DC / DC Converter with Phase-Shifting Topology," *J. of the Korea Institute of Electronic Communication Science*, vol. 13, no. 6, 2018, pp. 1177.
- [6] W. Kim, "Linear cascode current-mode integrator," *J. of the Korea Institute of Electronic Communication Science*, vol. 8, no. 10, 2013, pp. 1478.
- [7] Y. Chai, "Development of a Flash ADC with an Analog Memory," *J. of the Korea Institute of Electronic Communication Science*, vol. 6, no. 4, 2011, pp. 547.
- [8] A. Smith, *Microelectronic Circuits*. New York: Oxford University Press, 2015.
- [9] H. Salah, "Behavioral Non-Ideal Model of 8-Bit Current-Mode Successive Approximation Registers ADC by Using Simulink," *Int. J. of u- and e-Service, Science and Technology*, vol. 8, no. 3, 2014, pp. 86.
- [10] D. Naim, and C. Salama, "Current-Mode Algorithmic Analog-to-Digital Converters," *IEEE J. of solide-state circuits*, vol. 25, No. 4, Aug. 1990, pp. 998.

저자 소개

박소연(So-Youn Park)



2016년 ~현재 서울과학기술대학교 전자IT미디어공학과 재학

※ 관심 분야 : AI용 아날로그 회로설계

김형민(Hyung-Min Kim)



2012 ~2019년 서울과학기술대학교 전자IT미디어공학과 졸업

2019년 ~현재 서울과학기술대학교 대학원 석사과정

※ 관심 분야 : AI용 아날로그 회로설계

이대니얼주현(Daniel-Juhun Lee)



2013 ~2018년 California State University, Fullerton 졸업

2018년 ~현재 서울과학기술대학교 대학원 석사과정

※ 관심 분야 : AI용 아날로그 회로설계

김성권(Seong-Kweon Kim)



2002년 일본 TOHOKU대학 대학원 전자공학과(공학박사)

2002 ~2004년 일본 TOHOKU대학 Assistant Professor & Research Fellow

2004~2009년 목포해양대학교 해양전자통신공학부 조교수

2009년~현재 서울과학기술대학교 전자IT미디어공학과 교수

※ 관심분야 : 아날로그 회로 및 시스템