

MMC-HVDC 시스템용 서브모듈 성능시험회로와 제어기법

조광래¹, 서병준¹, 박권식¹, 김학수¹, 허진용¹, 노의철[†]

Performance Test Circuit and Control Method for Submodule of MMC-HVDC System

Kwang-Rae Jo¹, Byuong-Jun Seo¹, Kwon-Sik Park¹, Hak-Soo Kim¹,
Jin-Yong Heo¹, and Eui-Cheol Nho[†]

Abstract

This study proposes a new test circuit and control method for the submodules of modular multilevel converter (MMC)-based HVDC systems. The test current of conventional submodule test circuits cannot provide the DC offset components or may have some distortion in the linearized current with the DC offset. The proposed scheme can provide not only the DC component but also linearized current without distortion. Therefore, the submodule test current waveform is relatively similar to that of a real submodule consisting of an MMC-based HVDC system. The validity of the proposed circuit and control method is verified through a simulation and experiment.

Key words: HVDC(High Voltage Direct Current), MMC(Modular Multi-level Converter), Sub-module test

1. 서론

현재 MMC(Modular Multi-level Converter)를 이용한 전압형 HVDC(High Voltage Direct Current)에 대한 연구가 활발하게 진행되고 있다^{[1]-[3]}. HVDC 시스템은 전류형과 전압형으로 구분할 수 있고, 그 중에서도 전력 계통의 안정화를 위해서 능동적으로 제어가 용이한 전압형 HVDC 시스템에 대한 관심이 커지고 있다. 전압형 HVDC 시스템은 전류형 HVDC 시스템과 비교하여 유효전력과 무효전력의 독립적인 제어가 가능하기 때문에 계통측 필터 크기를 줄일 수 있고 PWM(Pulse Width Modulation) 제어를 통하여 얻을 수 있는 빠른 과도응답특성 등의 장점이 있다^{[4],[5]}.

그림 1은 한 암(Arm)에 n 개의 서브모듈을 가지는 MMC-HVDC 시스템과 MMC-HVDC의 한 암을 구성하는 하프-브릿지 구조의 단일 서브모듈을 나타낸 것이다. MMC-HVDC 시스템의 신뢰성을 확실하기 위해

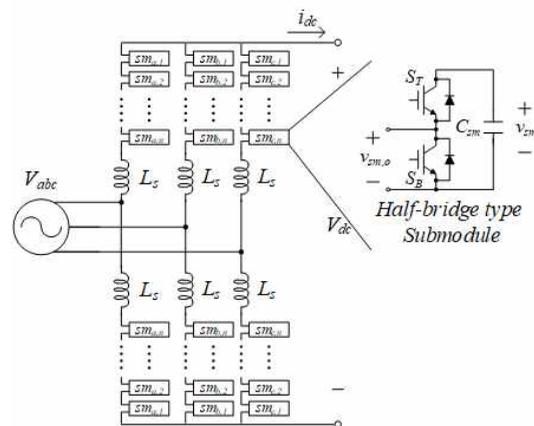


Fig. 1. MMC-HVDC system diagram and half-bridge type submodule.

서브모듈의 성능시험을 필요로 하는데 일반적으로 한 암은 100개 이상의 서브모듈로 구성되기 때문에 시험회로 구성의 시간과 비용적인 측면을 고려해서 단일 서브모듈만 시험하거나 적당한 개수의 서브모듈을 묶은 밸브(Valve) 단위로 시험을 진행한다.

IEC 62501(International standard for VSC valves for HVDC power Transmission - electrical testing)에서는 밸브의 성능시험을 위한 시험조항들을 제시하고 있다. 이들 중, “Maximum continuous operating duty test”는 밸브의 스위칭 능력 검증을 시험하기 위

Paper number: TKPE-2019-24-6-9

Print ISSN: 1229-2214 Online ISSN: 2288-6281

[†]Corresponding author: nhoec@pknu.ac.kr, Dept. of Electrical Eng., Pukyong National University

Tel: +82-51-629-6317 Fax: +82-51-629-6305

¹Dept. of Electrical Eng., Pukyong National University
Manuscript received Jul. 23, 2019; revised Jul. 29, 2019;
accepted Sep. 3, 2019

한 것인데 이를 위해서는 2 고조파와 DC 오프셋 성분을 포함하는 암 전류를 제공해야한다. [6]-[8]의 시험회로들은 암 전류를 모사할 때 MMC-HVDC 시스템의 암 전류에 포함되는 DC 오프셋 성분과 2고조파 성분을 모사하지 못하거나 스위칭 주파수가 높아서 스위칭 손실이 크다는 문제가 있다. [9]의 시험회로는 DC 오프셋 성분을 포함하는 암 전류를 모사하지만 암 전류의 2고조파 성분을 모사하지 못하고 요구되는 인버터 입력전압이 서브모듈 커패시터 전압보다 커서 스위칭 전력반도체의 전압 정격이 높아진다는 문제가 있다. [10]의 시험회로는 암 전류의 DC 오프셋과 2 고조파 성분을 공급하지만 실제 MMC-HVDC 시스템에서 사용하는 서브모듈 스위칭 패턴과 동일하지 않은 서브모듈 스위칭 패턴으로 동작하기 때문에 서브모듈의 스위칭 능력을 검증하는데 적합하지 않다. 또한 [11]의 시험회로는 암 전류의 DC 오프셋과 2 고조파 성분을 공급할 수는 있지만 밸브의 성능시험만 가능하고 단일 서브모듈의 성능시험을 할 수는 없다. 이러한 단점을 보완하기 위하여 새로운 서브모듈 테스트 회로가 제안되었지만 회로의 특성으로 인하여 특정 상황에서 전류의 왜곡현상이 발생할 수 있다는 단점이 있다^[12].

본 논문에서는 기존에 제안된 시험 회로^[12]의 단점을 보완하여 DC 오프셋 성분과 2고조파 성분을 포함하는 암 전류를 선형적으로 모사한 시험전류를 만들어 서브모듈 성능시험을 할 수 있는 새로운 시험회로와 제어기법을 제안한다.

2. 기존 시험회로 분석

그림 2는 기존에 제안되었던 서브모듈 시험회로^[12]이고 인덕터 L , 보조 커패시터 C_{aux} , DC-DC 컨버터, 하프-브릿지 컨버터 및 서브모듈로 구성된다. 그림 3은 그림 2의 시험회로의 상단 스위치 S_T 와 하단 스위치 S_B 의 스위칭 상태에 따른 서브모듈 시험전류 i_L , 서브모듈 출력전압 $v_{sm,o}$ 그리고 하프-브릿지 컨버터 출력전압 $v_{Cl,o}$ 를 나타낸 것이다.

그림 2에서 i_L 은 C_{aux} 의 전압 v_{aux} 와 $v_{Cl,o}$, $v_{sm,o}$ 를 이용하여 제어한다. 인덕터 전압 v_L 에 대한 $v_{sm,o}$ 의 영향을 상쇄하기 위해 하프-브릿지 컨버터 커패시터 전압 v_{Cl} 과 서브모듈 커패시터 전압 v_{sm} 의 크기는 같아야 하고 i_L 전류를 만들기 위해서 v_{sm} 평균의 75%로 v_{aux} 평균을 제어하였다. 또한 i_L 의 오프셋 성분으로 인하여 v_{aux} 가 변동하기 때문에 DC-DC 컨버터를 이용하여 v_{aux} 를 일정하게 유지시켜준다. 따라서 제안된 그림 2의 시험회로는 앞서 제안된 다른 시험회로와는 달리 시험전류가 DC 오프셋과 2고조파 성분이 포함된 전류를 제공하므로 M6MC-HVDC 시스템의 암 전류와 유사하며 단지 다른 점은 전류의 모양을 선형화하였다는 것이다. 암 전류를 선형적으로 모사하기 때문에 스위칭 주파수

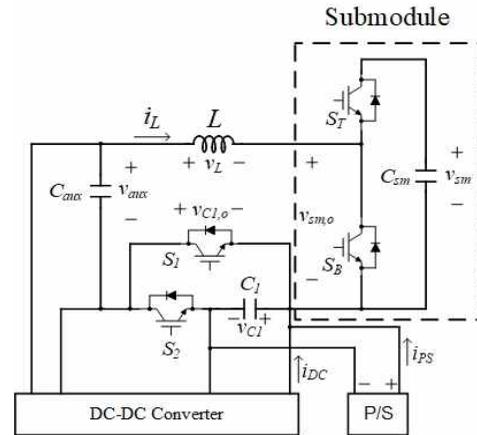


Fig. 2. Conventional submodule test circuit.

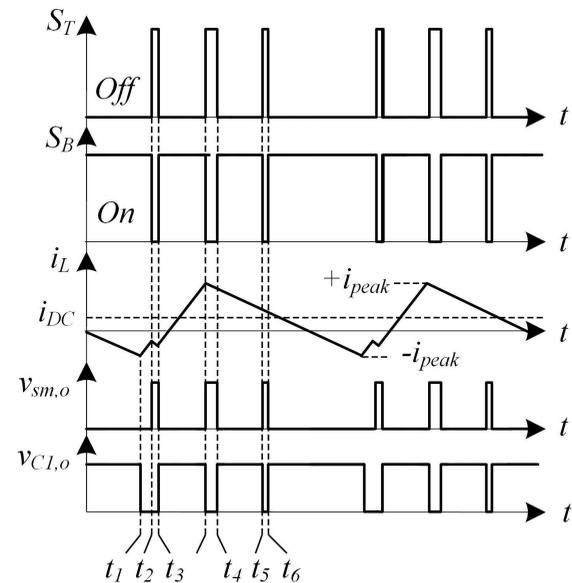


Fig. 3. Waveforms of conventional submodule test circuit.

를 낮출 수 있으므로 스위칭 손실을 줄일 수 있다는 장점이 있다. 하지만 그림 3에서와 같이 서브모듈의 스위칭 패턴에 따라 암 전류 i_L 의 선형화가 제대로 안 되는 경우가 발생한다. 그림 3의 $t_1 \sim t_3$ 구간에서 i_L 을 선형적으로 증가해야하지만 $t=t_3$ 에서 서브모듈 상단 스위치 S_T 가 온 되면서 v_L 이 $v_{aux} - v_{sm,o}$ 이 되어 음의 값이 되기 때문에 i_L 은 $t=t_3$ 에서 S_T 가 오프 될 때까지 선형적으로 하강하게 된다. 따라서 i_L 이 상승하는 구간에서 S_T 가 온 되는 시간이 길어질수록 i_L 의 왜곡이 심해진다. 본 논문에서는 이러한 문제를 해결하기 위한 새로운 시험회로를 제안하고자 한다.

3. 제안하는 시험회로

3.1 제안하는 시험회로의 구성 및 동작원리

그림 4는 제안하는 시험회로이며 풀-브릿지 컨버터와 시험할 서브모듈, 컨버터와 서브모듈 사이에 직렬로

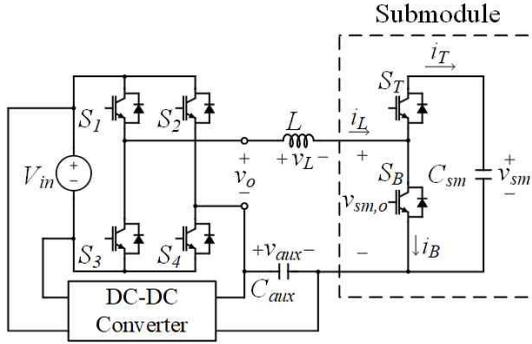


Fig. 4. Proposed submodule test circuit.

연결된 인덕터 L 과 보조 커패시터 C_{aux} , 그리고 C_{aux} 의 전압 v_{aux} 을 일정하게 유지시켜주기 위한 DC-DC 컨버터로 구성된다.

시험회로에서 서브모듈 시험전류 i_L 은 인덕터 전압 v_L 에 의해 결정되고 이 때 v_L 의 크기는 컨버터의 출력 전압 v_o 와 서브모듈의 출력 전압 $v_{sm,o}$, 그리고 v_{aux} 에 의해 정해지기 때문에 식 (1)과 같이 나타낼 수 있다.

$$v_L = v_{aux} + v_o - v_{sm,o} \quad (1)$$

그림 4에서 DC-DC 컨버터는 i_L 의 DC 오프셋 성분으로 인하여 C_{aux} 가 충·방전되어 v_{aux} 가 변화할 때 v_{aux} 를 일정하게 유지시켜주는 역할을 한다. 이때 v_{aux} 은 i_L 의 형태에 따라 적절히 변경할 수 있으며 인버터 입력 전압 V_{in} 은 $v_{sm,o}$ 의 v_L 에 대한 영향을 상쇄시키기 위해 서브모듈 커패시터 전압 v_{sm} 과 같아야 한다.

그림 5는 제안하는 시험회로의 동작과형이다. 서브모듈 상·하단 스위치 S_T 와 S_B 의 스위칭 패턴은 일반적인 MMC-HVDC 시스템의 서브모듈 스위칭 패턴과 유사하다. 그림 5에서 i_L 은 실제 MMC-HVDC 시스템에 흐르는 암 전류를 선형화한 것으로 v_{sm} 및 v_{aux} 의 평균값과 V_{in} 의 관계를 아래 식 (2)와 같이 설정하였을 때 얻을 수 있다.

$$V_{in} = \langle v_{sm} \rangle = \frac{4}{3} \langle v_{aux} \rangle \quad (2)$$

제안하는 회로의 동작은 서브모듈 스위치의 동작과 서브모듈 시험전류의 기울기 상태에 따라 표 1과 같이 7개의 동작 모드로 나눌 수 있다. 그림 6은 각 모드에 따른 전류의 흐름을 나타낸 것이다.

모드 1 [$t_1 \sim t_2$]: S_T on, S_B off, i_L 상승

$t=t_1$ 일 때, S_T 가 온이 되어 $v_{sm,o}$ 은 v_{sm} 이 된다. 이 때 풀-브릿지 컨버터의 출력전압 v_o 가 V_{in} 이 되도록 스위칭하면 $V_{in}=v_{sm}$ 이므로 v_o 와 $v_{sm,o}$ 은 서로 상쇄되고 인덕터 전압 v_L 은 v_{aux} 가 되어 인덕터 전류 i_L 은 다음과 같이 상승한다.

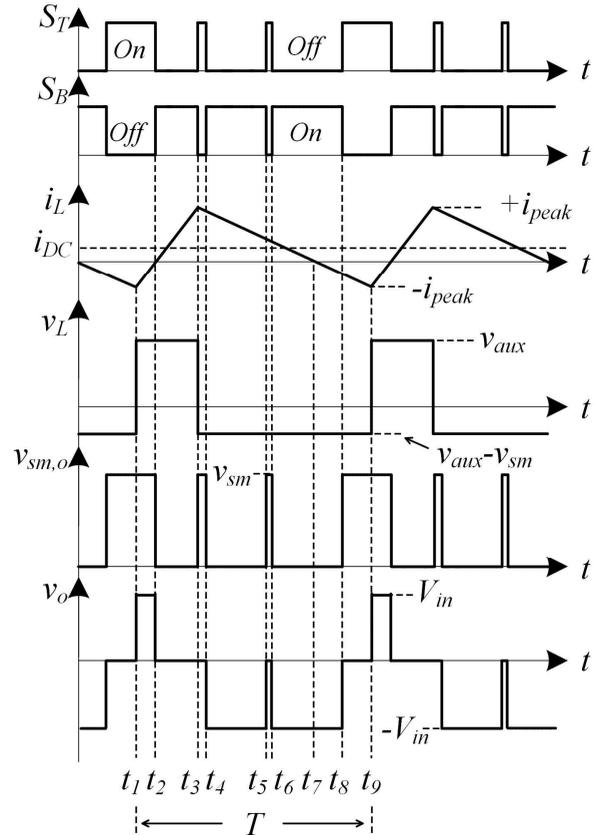


Fig. 5. Waveforms of proposed submodule test circuit.

TABLE I
INDUCTOR VOLTAGE AND OUTPUT VOLTAGE
ACCORDING TO EACH MODE

Mode	v_o	$v_{sm,o}$	v_L	i_L Slope
Mode 1	V_{in}	v_{sm}	v_{aux}	Rising
Mode 2	0 [V]	0 [V]	v_{aux}	Rising
Mode 3	0 [V]	v_{sm}	$v_{aux} - v_{sm}$	Falling
Mode 4	$-V_{in}$	0 [V]	$v_{aux} - V_{in}$	Falling
Mode 5	0 [V]	v_{sm}	$v_{aux} - v_{sm}$	Falling
Mode 6	$-V_{in}$	0 [V]	$v_{aux} - V_{in}$	Falling
Mode 7	$-V_{in}$	0 [V]	$v_{aux} - V_{in}$	Falling
Mode 8	0 [V]	v_{sm}	$v_{aux} - v_{sm}$	Falling

$$i_L(t) = i_L(t_1) + \frac{v_{aux}}{L}(t - t_1) \quad (3)$$

모드 2 [$t_2 \sim t_3$]: S_T off, S_B on, i_L 상승

$t=t_2$ 일 때, S_B 가 온이 되어 $v_{sm,o}$ 이 0 [V]가 된다. 이 때 풀-브릿지 컨버터의 출력전압 v_o 가 0 [V]가 되도록 스위칭하면 인덕터 전압 v_L 은 v_{aux} 가 되어 인덕터 전류 i_L 은 다음과 같이 상승한다.

$$i_L(t) = i_L(t_2) + \frac{v_{aux}}{L}(t - t_2) \quad (4)$$

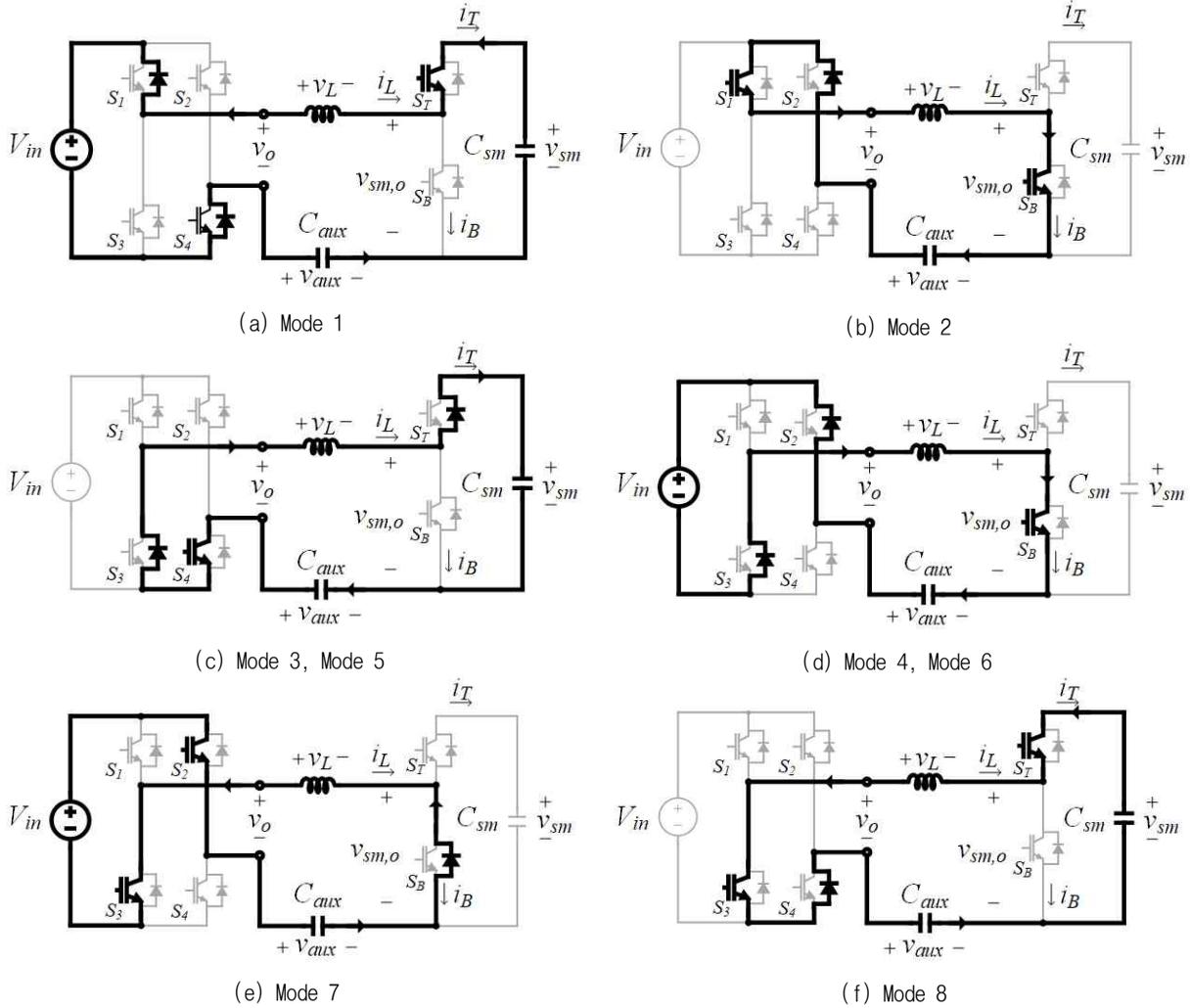


Fig. 6. Operation modes of the proposed submodule test circuit.

모드 3 [$t_3 \sim t_4$]: S_r on, S_b off, i_L 하강

$t=t_3$ 일 때 S_r 가 온이 되어 $v_{sm,o}$ 은 v_{sm} 이 된다. 이 때 폴-브릿지 컨버터의 출력전압 v_o 가 0 [V]가 되도록 스위칭하면 인덕터 전압 v_L 은 $v_{aux} - v_{sm}$ 이 되어 인덕터 전류 i_L 은 다음과 같이 하강한다.

$$i_L(t) = i_L(t_3) + \frac{v_{aux} - v_{sm}}{L}(t - t_3) \quad (5)$$

모드 4 [$t_4 \sim t_5$]: S_r off, S_b on, i_L 하강

$t=t_4$ 일 때, S_b 가 온이 되어 $v_{sm,o}$ 은 0 [V]가 된다. 이 때 폴-브릿지 컨버터의 출력전압 v_o 가 $-V_{in}$ 이 되도록 스위칭하면 인덕터 전압 v_L 은 $v_{aux} - V_{in}$ 이 되어 인덕터 전류 i_L 은 다음과 같이 하강한다.

$$i_L(t) = i_L(t_4) + \frac{v_{aux} - V_{in}}{L}(t - t_4) \quad (6)$$

모드 5 [$t_5 \sim t_6$]: 모드 3과 유사

모드 6 [$t_6 \sim t_7$]: 모드 4와 유사

모드 7 [$t_7 \sim t_8$]: S_r off, S_b on, i_L 하강

$t=t_7$ 일 때 i_L 이 음의 값이 되어 폴-브릿지 컨버터 스위치 S_3 와 S_2 가 온이 되어 폴-브릿지 컨버터의 출력전압 v_o 는 $-V_{in}$ 이 된다. 폴-브릿지 컨버터의 출력전압 v_o 는 0 [V]이기 때문에 인덕터 전압 v_L 은 $v_{aux} - V_{in}$ 이 되어 i_L 은 다음과 같이 하강한다.

$$i_L(t) = i_L(t_7) + \frac{v_{aux} - V_{in}}{L}(t - t_7) \quad (7)$$

모드 8 [$t_8 \sim t_9$]: S_r on, S_b off, i_L 하강

$t=t_8$ 일 때, S_r 가 온이 되어 $v_{sm,o}$ 은 v_{sm} 이 된다. 이 때 폴-브릿지 컨버터의 출력전압 v_o 가 0 [V]가 되도록 스위칭하면 인덕터 전압 v_L 은 $v_{aux} - v_{sm}$ 이 되어 인덕터 전류 i_L 은 다음과 같이 하강한다.

$$i_L(t) = i_L(t_8) + \frac{v_{aux} - v_{sm}}{L}(t - t_8) \quad (8)$$

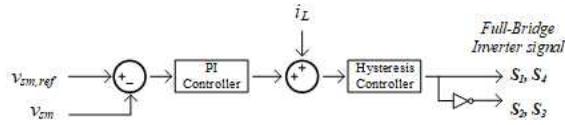


Fig. 7. Proposed Control diagram.

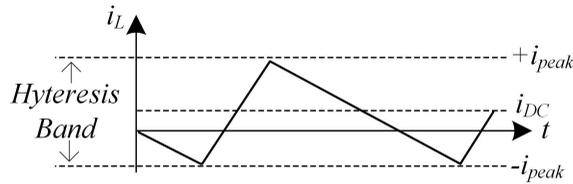


Fig. 8. Hysteresis band for peak-to-peak of i_L .

TABLE II
SIMULATION PARAMETERS

Parameter	Value
$V_{in} \langle v_{sm} \rangle$	3000 [V]
$\langle v_{aux} \rangle$	2250 [V]
$i_{peak-to-peak}$	800 [A]
i_{DC}	± 125 [A]
L	11.2 [mH]
C_{sm}	1 [mF]

3.2 제안하는 시험회로의 제어기법

그림 7은 제안하는 서브모듈 시험회로에서 서브모듈 커패시터 전압 v_{sm} 과 i_L 을 제어하기 위한 제어블록도이다. 제안하는 시험회로의 제어기는 PI 제어기와 히스테리시스 제어기가 결합된 형태를 사용한다.

그림 7에서 PI 제어기는 i_L 의 DC 오프셋 레퍼런스 $i_{DC,ref}$ 를 결정하기 위하여 서브모듈 커패시터 전압 v_{sm} 과 서브모듈 커패시터 전압 레퍼런스 $v_{sm,ref}$ 를 이용한다. 그리고 PI 제어기의 출력 값과 센싱된 i_L 을 이용하여 $i_{DC,ref}$ 를 결정하며 시험회로 동작이 정상상태에 도달하면 서브모듈 커패시터로 유입되는 상단 스위치 전류 i_T 의 평균이 0 [A]가 되어 v_{sm} 의 평균이 일정하게 제어된다. 그림 8은 히스테리시스 제어기의 히스테리시스 밴드와 i_L 을 나타낸 것으로 i_L 의 DC 오프셋 레퍼런스를 기준으로 실제 MMC-HVDC 시스템의 암 전류의 peak-to-peak를 히스테리시스 밴드의 범위로 설정하여 서브모듈 시험 전류 i_L 의 peak-to-peak를 제어한다.

4. 시뮬레이션 결과

제안하는 서브모듈 시험회로의 성능을 검증하기 위해 표 2의 파라미터를 적용해 시뮬레이션을 수행하였다.

그림 9와 10은 각각 양과 음의 DC 오프셋을 가지는 암 전류를 모사하였을 때의 정상상태 시뮬레이션 파형이다. 시뮬레이션 파형을 보면 서브모듈 커패시터의 평균 전압 $\langle v_{sm} \rangle$ 이 일정하게 제어되면서 DC 오프셋과

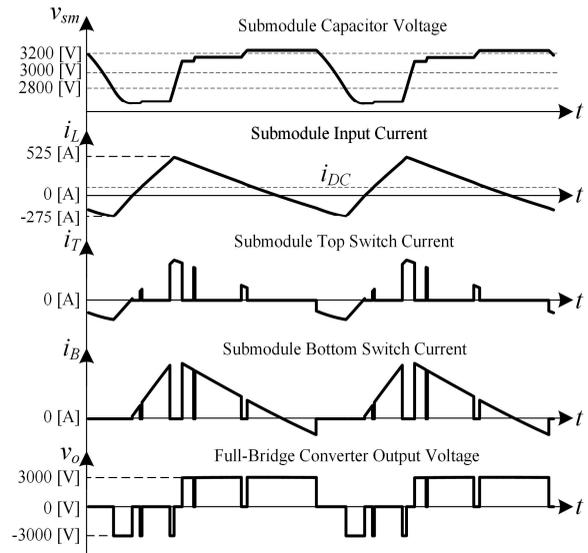


Fig. 9. Simulation waveforms with positive DC current offset.

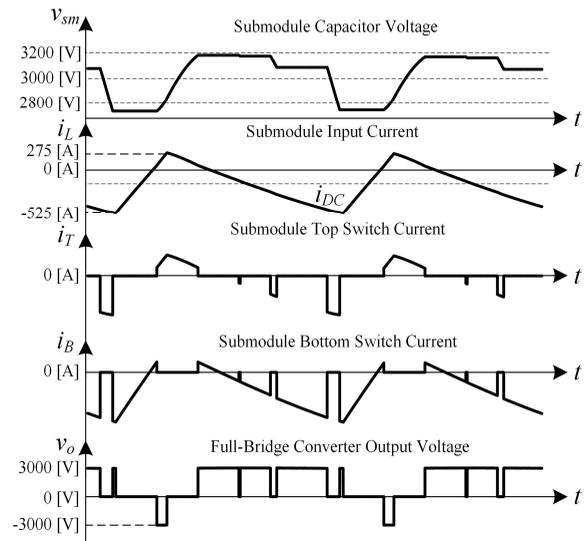


Fig. 10. Simulation waveforms with negative DC current offset.

2고조파 성분을 포함하는 MMC-HVDC 시스템의 암 전류를 선형적으로 근사화한 i_L 이 왜곡 없이 출력되는 것을 확인할 수 있다.

5. 실험 결과

표 3은 제안하는 시험회로를 검증하기 위해 제작한 축소모형의 실험파라미터이다.

그림 11과 12는 각각 서브모듈 시험전류 i_L 이 양의 오프셋을 가질 경우의 실험 결과 파형을 나타낸 것으로 v_{sm} 과 i_L 에 따른 서브모듈 상·하단 스위치(S_T , S_B)의 전류 i_T , i_B 와 서브모듈 출력전압 $v_{sm,o}$ 및 풀-브릿지 컨버터 출력전압 v_o 를 나타낸 것이다.

TABLE III
EXPERIMENTAL PARAMETERS

Parameter	Value
$V_{in}, \langle v_{sm} \rangle$	100 [V]
$\langle v_{aux} \rangle$	75 [V]
$i_{peak-to-peak}$	30 [A]
i_{DC}	± 5 [A]
L	11.2 [mH]
C_{sm}	1 [mF]

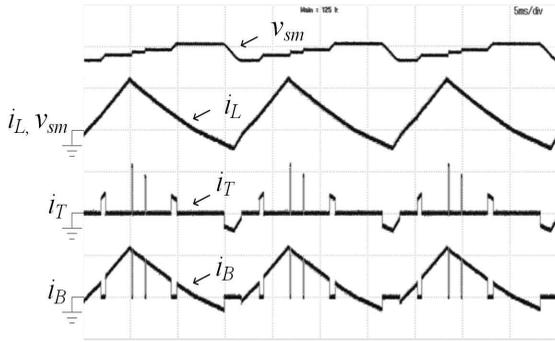


Fig. 11. v_{sm} , i_L , i_T , and i_B of experimental waveforms with positive current offset ($v_{sm} : 50$ [V/div], i_L , i_T , $i_B : 20$ [A/div]).

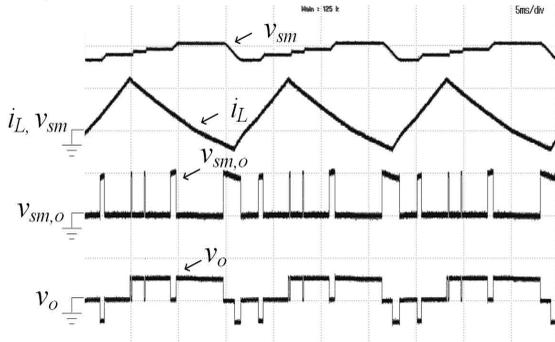


Fig. 12. v_{sm} , i_L , $v_{sm,o}$, and v_o of experimental waveforms with positive current offset ($v_{sm} : 50$ [V/div], $v_{sm,o} : 100$ [V/div], $v_o : 200$ [V/div], $i_L : 20$ [A/div]).

그림 13와 14는 각각 i_L 이 음의 오프셋을 가질 경우의 실험 결과이다.

실험 과정에서 확인할 수 있듯이 서브모듈 커패시터 평균 전압이 일정하게 제어되면서 DC 오프셋 성분과 2고조파 성분을 포함하는 MMC-HVDC 시스템의 암 전류가 선형적으로 모사되고 기존의 시험회로에서 문제가 되었던 전류 왜곡 현상도 없어진 것을 확인할 수 있다.

6. 결 론

본 논문에서는 MMC-HVDC의 서브모듈 성능시험을 위한 새로운 시험회로와 이를 위한 제어기법을 제안하였다. 제안하는 시험회로와 제어기법은 기존의 서브모

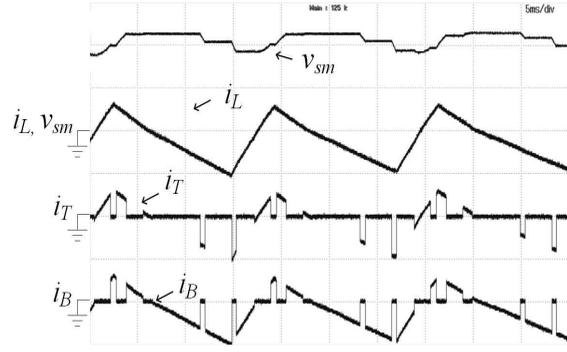


Fig. 13. v_{sm} , i_L , i_T , and i_B of experimental waveforms with negative current offset ($v_{sm} : 50$ [V/div], i_L , i_T , $i_B : 20$ [A/div]).

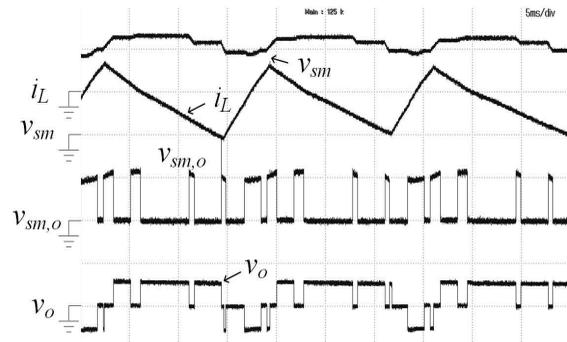


Fig. 14. v_{sm} , i_L , $v_{sm,o}$, and v_o of experimental waveforms with negative current offset ($v_{sm} : 50$ [V/div], $v_{sm,o} : 100$ [V/div], $v_o : 200$ [V/div], $i_L : 20$ [A/div]).

듈 시험회로에서 발생하는 전류 왜곡 현상 없이 DC 오프셋과 2고조파 성분을 포함하는 MMC-HVDC 시스템의 암 전류를 선형적으로 모사하였으며 이를 시뮬레이션과 실험을 통해 검증하였다. 또한 암 전류를 선형적으로 모사하기 때문에 컨버터가 낮은 스위칭 주파수를 가지고 있어 스위칭 손실이 적다. 제안하는 서브모듈 시험회로와 제어기법은 MMC-HVDC 시스템의 서브모듈 성능시험에 유용하게 사용될 것으로 기대된다.

이 논문은 부경대학교 자율창의학술연구비 (2019년)에 의하여 연구되었음.

References

- [1] H. Alyami and Y. Mohamed, "Review and development of MMC employed in VSC-HVDC systems," in *IEEE Canadian Conference on Electrical and Computer Engineering (CCECE)*, pp. 1-6, Jun. 2017.
- [2] Y. Wang, T. Chen, F. Liu, W. Jiang, Y. Hou, W. Li, and H. Fang, "A control strategy of the isolated power supply system based on VSC-HVDC," in *2018 2nd IEEE Conference on Energy internet and Energy*

System Integration (E12), pp. 1-6, Oct. 2018.

- [3] H. Alyami and Y. Mohamed, "A coordinated frequency regulation strategy for VSC-HVDC integrated offshore wind farms," in *2017 IEEE 30th Canadian Conference on Electrical and Computer Engineering (CCECE)*, pp. 1-5, Jun. 2017.
- [4] N. Flourentzou, V. G. Agelidis, and G. D. Demtriades, "VSC-based HVDC power transmission systems: An overview," *IEEE Transactions on Power Electron*, Vol. 24, No. 3, pp. 592-602, Mar. 2009.
- [5] M. Singh, M. A. Ansari, P. Tripathi, and A. Wadhvani, "VSC-HVDC transmission system and its dynamic stability analysis," in *2018 International Conference on Computational and Characterization Techniques in Engineering & Sciences (CCTES)*, pp. 177-182, Sep. 2018.
- [6] T. Xu and C.C. Davidson, "Operational tests for the MMC-based VSC valves," in *PCIM Europe 2014*, pp. 485-492, May. 2014.
- [7] T. Modeer, S. Norrga, and H. P. Nee, "Resonant test circuit for high-power cascaded converter submodules," in *15th European Conference on Power Electronics and Applications (EPE)*, pp. 1-5, Sep. 2013.
- [8] T. Xu, P. S. Jones, and C. C. Davidson, "Electrical type tests for the voltage sourced converter valves based on modular multi-level converter," in *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, Sep. 2015.
- [9] J. Tang, Y. Dong, H. Yang, W. Li, J. Ma, G. Chen, Y. Tian, and E. Yang, "An equivalent power test scheme for modular multilevel converters (MMCs)," in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pp. 1837-1842, Mar. 2017.
- [10] T. Modeer, S. Norrga, and H. P. Nee, "Resonant test circuit for high-power cascaded converter submodules," in *2013 15th European Conference on Power Electronics and Applications (EPE)*, pp. 1-5, Oct. 2013.
- [11] Y. Xuan and X. Yang, "A novel circuit topology for the VSC-HVDC submodules testing," in *2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEEC 2017-ECCE Asia)*, pp. 1435-1439, Jun. 2017.
- [12] K. S. Park, B. J. Seo, K. S. Kang, K. R. Jo, H. C. Choi, and E. C. Nho, "Submodule test circuit for MMC-based voltage sourced HVDC system," in *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 2619-2622, Sep. 2018.



조광래(趙廣來)

1993년 3월 17일생. 2018년 부경대 전기공학과 졸업. 2018년~현재 동 대학원 전기공학과 석사과정.



서병준(徐秉駿)

1991년 10월 23일생. 2017년 부경대 전기공학과 졸업. 2019년 동 대학원 전기공학과 졸업(석사).



박권식(朴權植)

1991년 11월 19일생. 2017년 부경대 전기공학과 졸업. 2019년 동 대학원 전기공학과 졸업(석사).



김학수(金學秀)

1984년 2월 11일생. 2011년 부경대 전기공학과 졸업. 2013년 동 대학원 전기공학과 졸업(석사). 2013년~현재 동 대학원 전기공학과 박사과정.



허진용(許晉榕)

1996년 9월 1일생. 2019년 부경대 전기공학과 졸업. 2019년~현재 동 대학원 전기공학과 석사과정.



노의철(魯義哲)

1960년 8월 2일생. 1984년 서울대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1991년 동 대학원 졸업(공학박사). 1997년~1998년 미국 Univ. of Wisconsin-Madison 방문교수. 2005년~2006년 미국 University of California-Irvine 방문교수. 1995년~현재 부경대 전기공학과 교수. 당 학회 명예회장.