

# Boron 확산공정을 이용한 5,000V, 4인치 광 사이리스터의 제작 및 특성 평가

박건식<sup>†</sup>, 조두형<sup>1</sup>, 원종일<sup>1</sup>, 이병하<sup>2</sup>, 배영석<sup>2</sup>, 구인수<sup>3</sup>

## Fabrication of 5,000V, 4-Inch Light Triggered Thyristor using Boron Diffusion Process and its Characterization

Kun-Sik Park<sup>†</sup>, Doohyung Cho<sup>1</sup>, Jongil Won<sup>1</sup>, Byungha Lee<sup>2</sup>,  
Youngseok Bae<sup>2</sup>, and Insu Koo<sup>3</sup>

### Abstract

Light-triggered thyristors (LTTs) are essential components in high-power applications, such as HVDC transmission and several pulsed-power applications. Generally, LTT fabrication includes a deep diffusion of aluminum as a p-type dopant to form a uniform p-base region, which needs careful concern for contamination and additional facilities in silicon semiconductor manufacturing factories. We fabricated 4-inch 5,000 V LTTs with boron implantation and diffusion process as a p-type dopant. The LTT contains a main cathode region, edge termination designed with a variation of lateral doping, breakover diode, integrated resistor, photosensitive area, and  $dV/dt$  protection region. The doping concentration of each region was adjusted with different doses of boron ion implantation. The fabricated LTTs showed good light triggering characteristics for a light pulse of 905 nm and a blocking voltage ( $V_{DRM}$ ) of 6,500 V. They drove an average on-state current ( $I_{TAVM}$ ) of 2,270 A, peak nonrepetitive surge current ( $I_{TSM}$ ) of 61 kA, critical rate of rise of on-state current ( $di/dt$ ) of 1,010 A/ $\mu$ s, and limiting load integral ( $I^2T$ ) of 17 MA<sup>2</sup>s without damage to the device.

**Key words:** HVDC(High Voltage Direct Current), LTT(Light Triggered Thyristor), Power devices, Pulsed power system

## 1. 서 론

전력반도체는 저전압/고주파 분야의 파워 MOSFET 과 중전압 분야의 IGBT를 중심으로 가전 및 기계 분야, 자동차, 모터 제어(Motor control), UPS 등에 폭넓게 적용되고 있다. 반면 SCR, GTO, TRIAC 등 사이리스터 계열의 전력반도체는 고전압, 대전력 영역에서 낮은 온-상태(On-state) 전력손실 등의 우수한 특성을 가지며, 초고압직류(HVDC) 송전시스템, 유연 AC 송전시스템

(Flexible AC transmission systems), 펄스파워시스템 등의 다양한 분야의 전원시스템에 적용되고 있다<sup>[1]-[3]</sup>. 사이리스터는 구동방식에 따라 전기점호 사이리스터(ETT, Electrically triggered thyristor)와 광점호 사이리스터(LTT, Light triggered thyristor)로 구분할 수 있다. ETT의 경우 제작 공정 및 패키지가 용이하고 단일 소자의 전기적 특성이 우수한 반면, LTT의 경우 공정 및 패키지가 복잡하고 전기적 성능이 ETT보다 다소 떨어지지만, 전자파간섭(EMI, Electromagnetic interference)에 대한 내성이 우수하고, 오동작 방지 등의 안정성이 뛰어나기 때문에 대용량의 직렬적층(Series stack) 응용 분야 및 대용량 펄스파워용 전원시스템 등에서 대표적인 소자로 사용되고 있다<sup>[3]-[5]</sup>.

고전압, 대전력의 대면적 실리콘 사이리스터 소자를 제작하기 위해서는 균일한 비저항 특성을 가지는 n-형 NTD(Neutron transmutation doping) 웨이퍼를 기판(Substrate)으로 사용하여 깊은 집합깊이를 가지는 p-형

Paper number: TKPE-2019-24-6-4

Print ISSN: 1229-2214 Online ISSN: 2288-6281

<sup>†</sup> Corresponding author: kunsik@etri.re.kr, ICT Creative Research Lab., ETRI

Tel: +82-42-860-6371 Fax: +82-42-860-6836

<sup>1</sup> ICT Creative Research Lab., ETRI

<sup>2</sup> Agency for Defense Development

<sup>3</sup> Hyundai WIA Corp.

Manuscript received Aug. 30, 2019; revised Sep. 2, 2019; accepted Sep. 16, 2019

의 베이스(Base) 영역 형성이 필요하다. 일반적으로 높은 확산계수를 가지는 알루미늄(Al)을 p-형 불순물로 주입하여 60~100 $\mu\text{m}$  깊이의 p-베이스 접합을 형성한다. 이때 형성된 p-베이스 접합영역은 접합깊이와 면저항의 균일도가 우수한 것으로 보고되고 있다<sup>[1]</sup>. 그러나, Al 불순물을 주입하기 위해서는 진공상태에서의 Al 선-증착(Pre-deposition), 알루미늄실리사이드 형성, 부분적인 식각공정에 의한 알루미늄실리사이드의 두께 조절 및 고온 확산공정(Drive-in) 등이 요구되며, 이를 위해서는 일반적인 실리콘반도체 소자 제작을 위한 전공정(Front-end process) 장비 외에 별도의 설비와 공정개발이 요구된다.

본 연구에서는 일반적인 실리콘반도체 소자 제작에 사용되는 보론(B)을 p-형 불순물로 사용하고, 이온주입공정과 확산공정으로 p-베이스 영역을 형성하여 4인치 크기의 대면적 LTT 소자를 제작하였으며, LTT의 주된 응용분야중 하나인 펄스파워시스템 적용을 위해 순방향 내전압( $V_{\text{DRM}}$ , Forward blocking voltage), 평균전류( $I_{\text{TAVM}}$ , Average on-state current), 최대통전전류( $I_{\text{TSM}}$ , Peak non-repetitive surge current), 전류상승기울기( $di/dt$ , Critical rate of rise of on-state current), 스위치액션( $I^2T$ , Limiting load integral) 등의 전기적 특성을 평가하였다.

## 2. 광 사이리스터(LTT) 디자인

LTT는 그림 1에 나타난 바와 같이 사이리스터 중앙부의 수광영역(PSA, Photo-sensitive area)을 포함한 게이트 구조 외에는 ETT와 기본적인 소자구조가 동일하다<sup>[3]</sup>. 사이리스터는 n-형의 고저항 NTD 웨이퍼를 기반으로 사용하며 기판의 농도 및 두께는 사이리스터 소자의 최대 내전압을 결정한다. 사이리스터의 주-캐소드(Main cathode) 영역은 수직방향으로 p<sup>+</sup>-어노드/n-베이스/p-베이스/n<sup>+</sup>-캐소드의 구조를 가지며, p-베이스가 플로우팅(Floating)된 오픈베이스 사이리스터(Open base thyristor)의 경우 순방향 내전압이 크게 감소하기 때문에 일반적으로 캐소드의 일정부분에 p-베이스를 단락시킨 캐소드쇼트(Cathode short) 구조를 가진다<sup>[6]-[8]</sup>.

p-베이스가 단락되고 n-베이스가 플로우팅된 사이리스터 소자의 내전압은 n-베이스와 p-베이스 접합의 애벌런치 항복(Avalanche breakdown)과 PNP BJT의 이득(Gain) 및 리치-쓰루(Reach-through)를 함께 고려하여야 하며<sup>[6]</sup>, 그림 2에 기판의 농도와 두께에 따른 사이리스터의 항복전압 계산 결과를 나타내었다. 실제 사이리스터 소자의 끝부분은 에지종단(Edge termination) 영역이 존재하고, 에지종단 영역의 내전압은 1차원 평면구조 항복전압의 80~90% 특성을 나타내므로, 5,000V급의 사이리스터 제작을 위해서는 6,000~6,500V의 내전압 특성을 갖는 기판조건을 선정하는 것이 바람직하다.

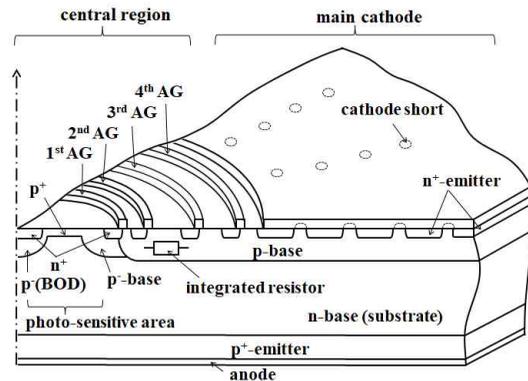


Fig. 1. Schematic cross-section of LTT (light triggered thyristor).

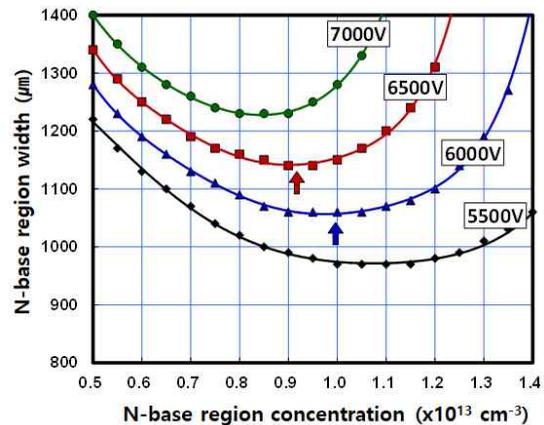


Fig. 2. Calculation on the optimum width and doping concentration of the n-base region (i.e. substrate) for 1-dimensional p/n/p/n thyristor structure (cathode short).

캐소드쇼트 구조에서 쇼트간 거리와 n<sup>+</sup> 에미터 하부의 p-베이스 저항은 사이리스터의 항복전압과  $dV/dt$  특성에 영향을 미치며, 쇼트간 거리가 가깝고 p-베이스 저항이 낮을수록 항복전압 및  $dV/dt$  특성은 향상되지만 온-상태(On-state) 전력손실이 커지는 상보관계(Trade-off)에 있다. 일반적으로 5,000V급 이상의 사이리스터의 경우 쇼트간 거리는 0.5~1mm, p-베이스 면저항은 200~400 $\Omega/\text{sq}$ 의 값을 가지도록 설계한다<sup>[7]-[9]</sup>.

한편, 사이리스터 p-베이스 끝부분의 에지종단 영역은 사이리스터의 내전압을 결정한다. 전력반도체의 에지종단 방법으로는 베벨링(Beveling) 방법과 접합에지종단(Junction edge termination) 방법이 사용되고 있으며, 5,000V 이상의 고전압 전력반도체의 경우 베벨링 방법이 일반적으로 적용되고 있으나<sup>[7],[10]</sup>, 베벨링을 위한 별도의 장비와 공정기술 개발이 요구된다. 접합에지종단의 경우 불순물 확산공정으로 에지종단 형성이 가능하며, FGR(Floating guardring), JTE(Junction termination extension), VLD(Variation of lateral doping) 등 다양한 설계 및 공정 방법이 보고되고 있으며, Al 선-증착 및 확산공정을 이용한 VLD 방법으로 500 $\Omega\cdot\text{cm}$  기판을 사용

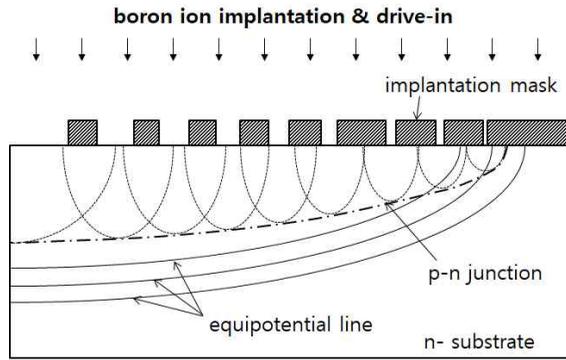


Fig. 3. Schematic of VLD (variation of lateral doping) structure using ion implantation and drive-in process.

하여 9,000V의 항복전압 결과가 보고된 바 있다<sup>[11]</sup>. 본 연구에서는 p-베이스 형성과 유사하게 보론 이온주입 및 확산공정을 이용한 VLD 방법으로 에지종단 구조를 설계하였으며, VLD 에지종단 구조에 대한 모식도를 그림 3에 나타내었다.

이상에서 설명한 n-베이스, 즉 기관의 조건과 캐소드 쇼트 및 에지종단 구조는 LTT와 ETT에 공통적으로 적용될 수 있다.

ETT가 큰 게이트전류에 의해 점호(Triggering)되는 것과 달리 LTT는 레이저 다이오드 등의 광펄스에 의하여 구동되기 때문에 그림 1에 나타난 바와 같이 광전류를 생성하기 위한 수광영역과 생성된 광전류로 주-캐소드 영역의 사이리스터를 안정적으로 구동하기 위한 충분한 게이트전류를 공급하기 위하여 4개 이상의 다단 증폭게이트(AG, Amplifying gate)를 가진다. 증폭게이트는 공급된 광전류 또는 앞단의 증폭게이트전류가 보조 사이리스터(Auxiliary thyristor)를 턴-온(Turn-on) 시키고 보조 사이리스터에 의해 증폭된 전류가 다음번 증폭게이트 또는 주-캐소드 영역의 게이트전류로 공급됨으로써 LTT를 안정적으로 구동할 수 있다.

LTT가 턴-온될 때 면적이 작은 수광영역과 안쪽 증폭게이트를 큰 di/dt로부터 보호하기 위하여 전류제한저항(Current limiting resistor) 영역을 2번째 증폭게이트와 3번째 증폭게이트 사이에 형성하며 전류제한저항은 일반적으로 20~100Ω의 저항값을 가지는 것이 적절한 것으로 보고되고 있다<sup>[12]</sup>.

또한 LTT는 순간적인 과전압(Overvoltage)과 턴-오프(Turn-off) 시 큰 dV/dt에 의한 소자 파괴를 방지하기 위한 자기보호기능을 내부에 집적시킬 수 있다. 사이리스터의 온-저항은 온도에 대한 음의 계수(Negative temperature coefficient)를 가지기 때문에 과전압에 의한 항복(Breakdown)이 사이리스터 임의의 부분에서 발생할 경우 전류가 집중되어 소자의 파괴를 야기한다. 이를 해결하기 위해 사이리스터 소자의 중앙부에 과전압보호다이오드(BOD, Breakover diode)를 집적하여 BOD에서 먼저 항복이 발생하게 하고 항복전류가 증폭게이트들을

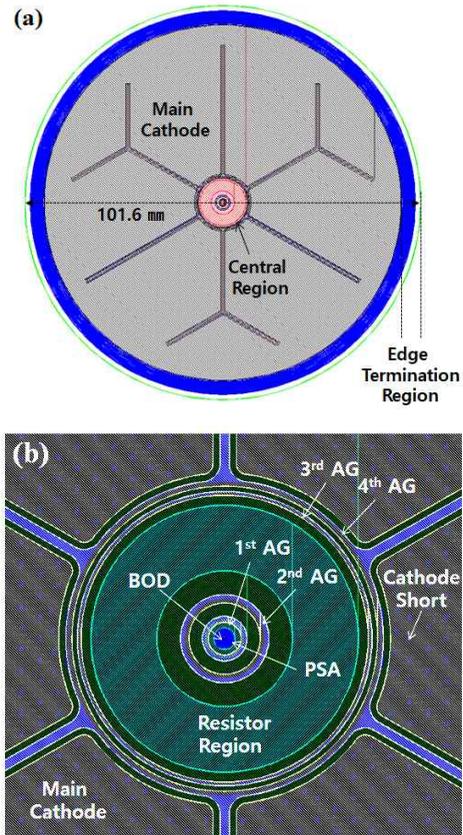


Fig. 4. Layout of 4-inch LTT: (a) overall view, (b) central region.

통하여 전체 사이리스터를 균일하게 턴-온 시킴으로써 소자의 파괴를 방지할 수 있다. BOD는 소자 중앙부에 곡률을 갖는 접합을 형성하여 전계가 집중되게 하는 접합곡률(Junction curvature) 방법과<sup>[13]</sup> 중앙부 베이스 영역의 두께 또는 농도를 작게 하여 주-캐소드 영역보다 먼저 턴-온 되게 하는 얇은베이스(Thin base) 방법이 보고되고 있다<sup>[14]</sup>. 본 연구에서는 그림 1에 나타난 바와 같이 사이리스터 중앙부에 별도의 보론 이온주입 영역을 정의하여 p-베이스의 농도를 낮게 조절하고 상부에 n<sup>+</sup>를 추가로 형성하는 얇은베이스 방법으로 BOD를 설계하였다. 한편, 사이리스터가 턴-오프될 때 어노드와 캐소드 사이의 큰 dV/dt에 의한 변위전류(Displacement current)에 의하여 사이리스터가 턴-온될 수 있다. dV/dt에 의한 소자 보호를 위해서 사이리스터의 중앙부가 먼저 턴-온 되도록 농도가 낮은 p<sup>-</sup>-베이스 영역을 첫 번째 증폭게이트 안쪽에 별도로 형성할 수 있으며, 이때 p<sup>-</sup>-베이스의 면저항은 2,000~4,000Ω/sq의 값을 가지는 것이 적절한 것으로 보고된바 있다<sup>[9]</sup>.

본 연구에서는 상술한 p-베이스 영역, VLD 영역, 전류제한저항 영역, BOD 영역 및 p<sup>-</sup>-베이스 영역을 보론 이온주입 및 확산공정으로 형성하는 LTT 소자를 설계하였으며, 그림 4에 설계한 LTT의 전체 도면과 중앙부 도면을 나타내었다.

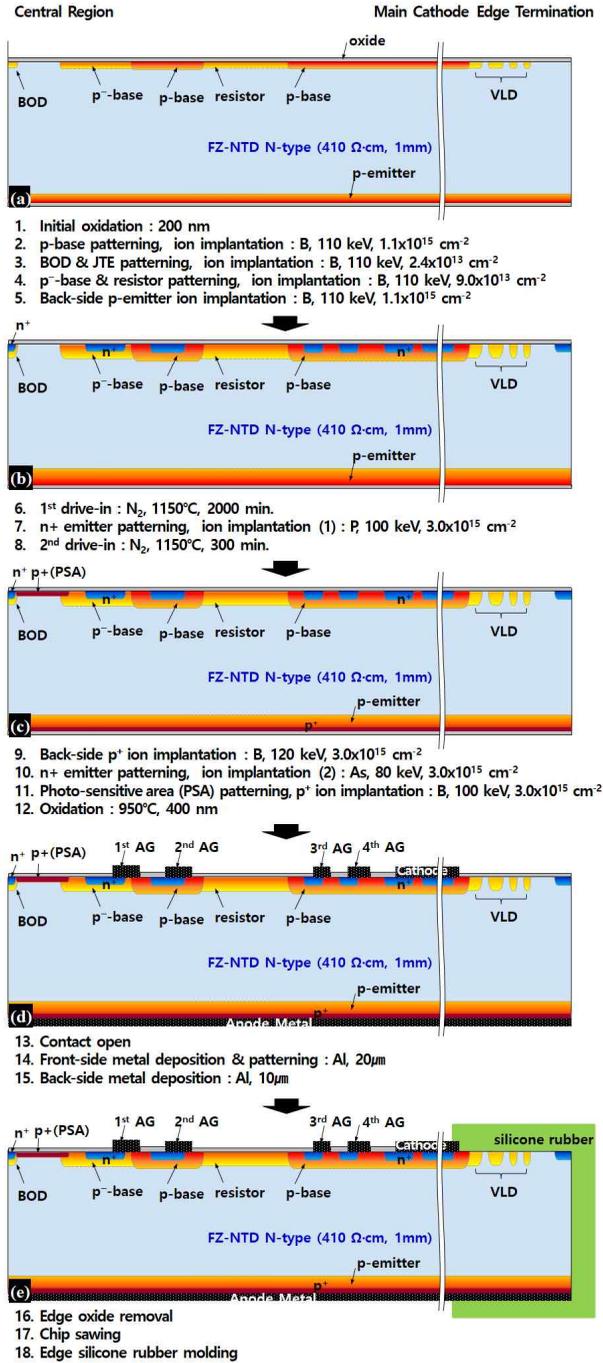


Fig. 5. Schematic process flow and process conditions for fabricating the LTTs.

### 3. 광 사이리스터 제작 및 특성 평가

#### 3.1 광 사이리스터 제작 공정

상기 디자인을 바탕으로 한국전자통신연구원 반도체 실험실에서 4인치 LTT를 제작하였으며, 그림 5에 LTT 제작 공정 순서를 나타내었다. LTT 제작을 위하여 410 Ω·cm의 비저항(농도= $1.0 \times 10^{13} \text{ cm}^{-3}$ )을 갖는 1mm 두께의 6인치 n형 FZ-NTD 웨이퍼를 기판으로 사용하였다.

먼저 이온주입 공정에 대한 완충 역할과 표면 보호를

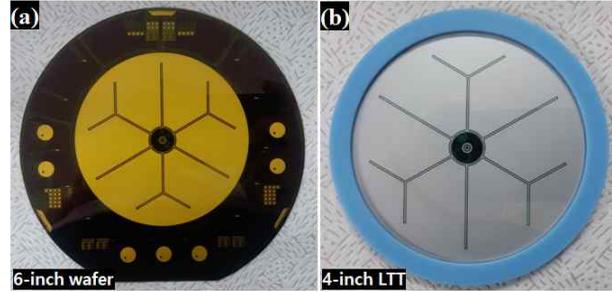


Fig. 6. Photographs of (a) the processed 6-inch silicon wafer for fabricating LTT and (b) the 4-inch LTT after sawing and silicone rubber molding.

위하여 200nm 두께의 산화막을 성장시킨 후, 사진전사(Photolithography) 공정으로 p-베이스, p<sup>-</sup>-베이스, BOD 영역을 차례로 정의하여 p-형 불순물인 보론 이온주입 공정을 진행하였다. 이때, 전류제한영역은 p<sup>-</sup>-base 영역을 형성할 때, VLD 영역은 BOD 영역을 형성할 때 동시에 패터닝하여 보론 이온주입을 진행하였다. 또한 기판의 후면에 p-베이스 이온주입과 같은 조건으로 보론을 이온주입하여 어노드(Anode) 영역의 p-에미터(p-emitter)를 형성하였다. 이온주입한 보론을 1,150°C의 온도에서 2,000분간의 확산공정을 진행하였으며, n<sup>+</sup>-에미터 영역을 정의하고 인(Phosphorus)을 이온주입한 후, 1,150°C의 온도에서 300분간 두 번째 확산공정을 진행하였다. 이어서 어노드 및 캐소드 영역의 오믹접촉 특성을 향상시키기 위해 기판의 후면에 고농도의 보론을 이온주입하여 p<sup>+</sup>를 형성하고, n<sup>+</sup>-에미터 영역에 고농도의 As(Arsenic)을 추가로 이온주입 하였으며, 수광영역에 역시 고농도의 보론을 얇은 접합깊이로 이온주입한 후 400nm 두께의 보호(Passivation) 산화막을 성장시켰다. 사이리스터의 주-캐소드 및 증폭게이트 영역에 금속배선을 형성하기 위하여 콘택(Contact)을 형성하고, 20μm 두께의 알루미늄(Al)을 증착한 후 패터닝 하였으며, 기판의 후면에 10μm 두께의 Al을 증착하여 어노드 메탈을 형성하였다. 마지막으로 에지중단 영역의 산화물을 제거하고, 포토레지스트로 사이리스터 소자 앞면을 보호한 후 4인치 크기의 원형 형상으로 쏘잉(Sawing)을 진행하였으며, 이후 에지중단 영역에 실리콘고무(Silicone rubber)로 몰딩을 진행하여 LTT 소자 제작을 완성하였다.

그림 6에 4인치 LTT를 제작한 6인치 웨이퍼와 쏘잉 및 에지부분 실리콘고무 몰딩을 진행한 LTT 소자의 사진을 나타내었으며, 6인치 웨이퍼의 가장자리에는 p-베이스 및 p<sup>-</sup>-베이스의 면저항, BOD 등을 평가할 수 있는 테스트 패턴(Test pattern) 들이 포함되어 있다.

#### 3.2 광 사이리스터 특성 평가

제작한 LTT를 쏘잉하기 전 웨이퍼상태(Wafer level)에서 저항, LTT의 누설전류, 턴-온 특성 등의 일차적인 특성평가를 진행하였다.

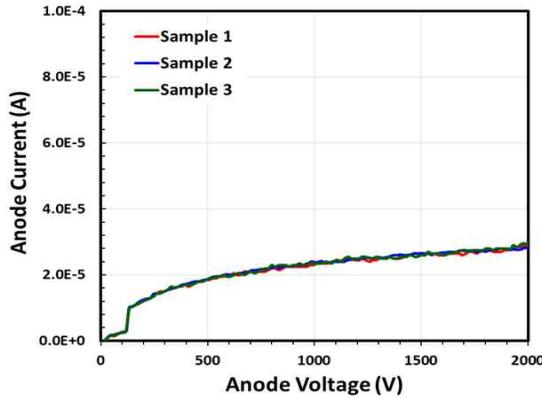


Fig. 7. Forward leakage current of the 4-inch LTTs.

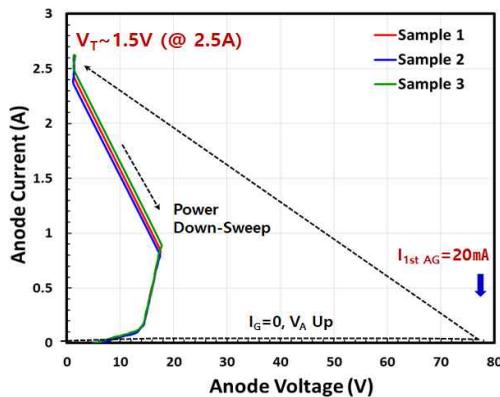


Fig. 8. Wafer-level turn-on characteristics of the LTTs.

먼저 TLM(Transmission line measurement) 패턴에서 p-베이스 및 p<sup>-</sup>-베이스의 면저항을 측정된 결과 p-베이스의 경우 230Ω/sq, p<sup>-</sup>-베이스의 경우 3,800Ω/sq의 값을 나타내었다. 4인치 LTT의 2<sup>nd</sup> AG와 3<sup>rd</sup> AG 사이의 전류제한저항은 70Ω의 값을 나타내었으며, 2,000V의 어노드 전압에서 순방향 저지상태의 누설전류는 약 30μA의 값을 나타내었다(그림 7).

한편, 웨이퍼 상태에서 4인치 LTT의 순방향 턴-온 특성 평가 결과를 그림 8에 나타내었으며, 어노드에 80V의 전압을 인가한 상태에서 1<sup>st</sup> AG에 20mA의 전류를 주입한 경우 사이리스터가 턴-온 됨을 확인하였다. 일반적으로 두꺼운 기판으로 제작된 실리콘 포토다이오드는 905nm 파장의 광에 대하여 0.6A/W 이상의 광전효율(Responsivity) 특성을 가지며, 상기 결과로부터 LTT 중앙부(수광영역)에 33mW 파워의 905nm 광펄스를 조사할 경우 LTT가 턴-온될 수 있음을 추정할 수 있다.

제작한 LTT의 고전압 및 대전류 특성을 평가하기 위하여 그림 9에 나타낸 바와 같이 별도의 시험 치구를 제작하였다. 상부 및 하부 전극으로 전도성이 좋은 Cu를 가공하여 제작하였으며, Cu 전극과 LTT 소자 사이에 Ag가 도금된 Al 전극을 배치하여 접촉 특성을 향상시켰다. 상부 Cu 전극의 가운데 별도의 홈을 형성하여 905nm 레이저 다이오드가 배치되게 하였으며, 상기 구성물

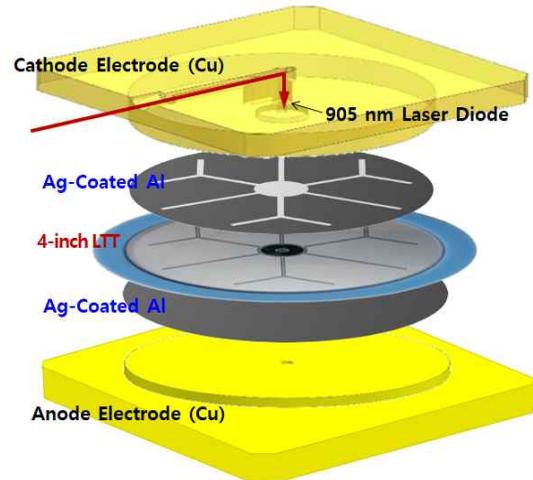


Fig. 9. Schematic diagram of the test fixture components for measuring high voltage and high current characteristics of the LTTs.

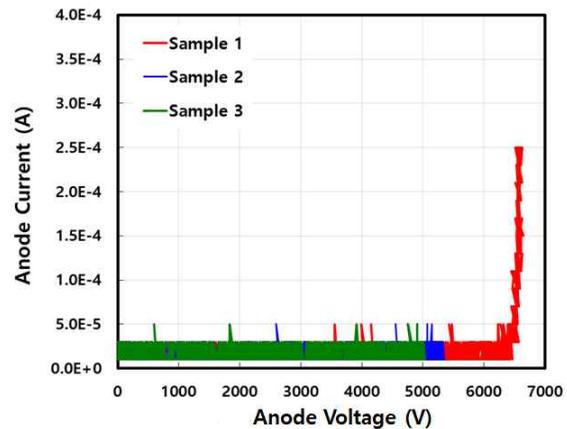


Fig. 10. Forward blocking characteristics of the LTTs.

을 조립하고 70kN의 압력으로 가압한 후 LTT의 전압 및 전류 특성을 평가하였다.

그림 10은 4인치 LTT의 순방향내전압( $V_{DRM}$ ) 측정 결과를 나타낸 것으로써, 평가한 샘플의 경우 5,000V 이상, 최대 6,500V의 항복전압을 나타내어 보론 이온주입 및 확산공정을 이용한 VLD 접합에지종단이 안정적인 내전압 특성을 나타냄을 알 수 있다.

4인치 LTT의 연속전류 특성 측정 결과를 그림 11에 나타내었다. LTT에 270V의 AC 전압을 인가한 후 60Hz 주파수의 광펄스(파장=905nm, 파워=50mW, 펄스폭=10μs)를 1초간 조사한 경우 사이리스터 양단의 전류와 전압 변화를 측정하였으며, 최대 7,680A의 전류와 2,270A의 평균전류( $I_{TAVM}$ ) 특성을 나타내었다. 한편, 7,680A의 최대 전류가 도통될 때 사이리스터 양단의 전압( $V_T$ , On-state voltage)은 1.5V의 값을 나타내었다.

한편 전류상승기울기(di/dt)와 최대통전전류( $I_{TSM}$ ) 및 스위치액션( $I^2T$ )은 LTT의 펄스파워시스템 적용을 위한 중요한 특성이다. 그림 12에 LTT의 펄스특성 평가를

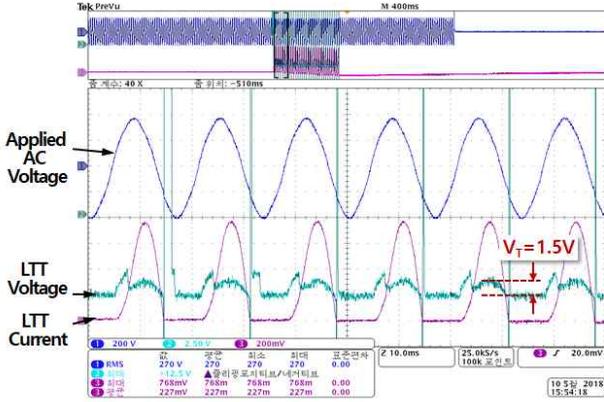


Fig. 11. Continuous current characteristics of the LTT.

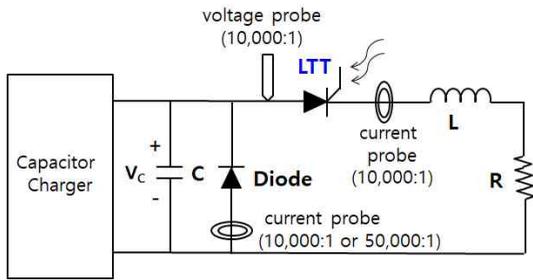


Fig. 12. Equivalent circuit for pulse testing of LTT.

위한 측정시스템 모식도를 나타내었으며,  $di/dt$ ,  $I_{TSM}$  및  $I^2T$  평가를 위하여 축전기 용량과 저항 및 인덕턴스를 조절하여 평가를 진행하였다. 그림 13에 제작한 LTT의  $di/dt$ ,  $I_{TSM}$  및  $I^2T$  평가결과를 나타내었으며, 평가시 사용한 축전기 용량(C)과 저항(R) 및 인덕턴스(L)를 같이 표시하였다. 그림 13(a)는  $di/dt$  평가결과를 나타낸 것으로서 LTT의 어노드에 3,460V의 전압을 인가하고 단일 광펄스를 조사한 경우 14kA의 최대전류가 도통되고, 최대전류의 10%에서 50%까지 상승할 때의 기울기인 전류 상승기울기는  $1,010A/\mu s$ 의 값을 나타내었다.  $I_{TSM}$ 의 경우 어노드에 5,000V의 전압을 인가하고 광펄스를 조사한 경우 61.2kA의 최대전류가 도통되었으며(그림 13(b)),  $I^2T$  평가의 경우 4,240V의 어노드 전압에서 31.7kA의 최대전류와 110ms의 펄스폭을 나타내어, 이를 적분한  $I^2T$ 는  $17MA^2s$ 의 값을 나타내었다(그림 13(c)).

이상의 특성은 Infineon사의 7,500V급 4인치 LTT (T1503N)와 대등한 특성을 나타내는 것으로서(표 1), 보론 이온주입 및 확산공정을 이용하여 제작한 LTT가 펄스파워시스템 적용을 위한 고전압, 대전류 조건에서 소자가 손상되지 않고 안정적으로 동작함을 확인하였다.

한편, 광 사이리스터의 중앙부에 과전압보호를 위한 BOD와  $dV/dt$  보호를 위한 p<sup>-</sup>base 영역을 집적하여 제작하였다. BOD의 경우 앞에서 설명한 바와 같이 별도의 보론 이온주입을 진행하고 상부에 n<sup>+</sup> 영역을 형성하였으며, 보론 이온주입 농도에 따른 BOD의 항복전압 평가 결과를 그림 14에 나타내었다. BOD 영역의 보론

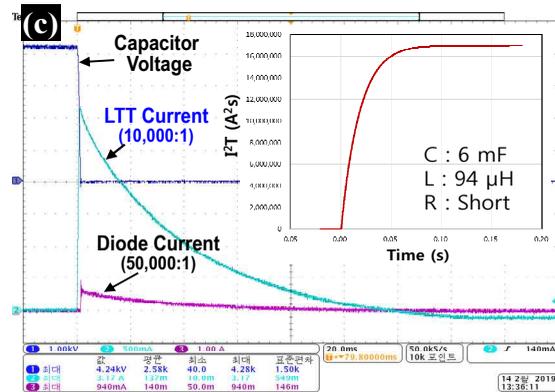
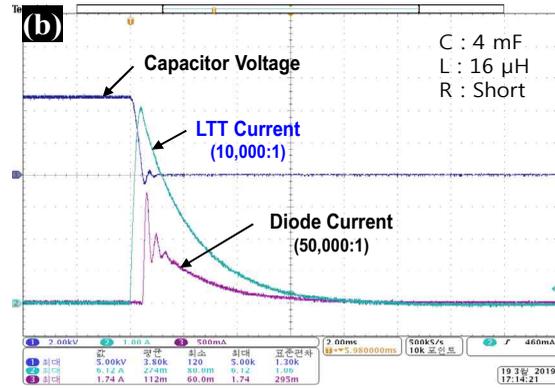
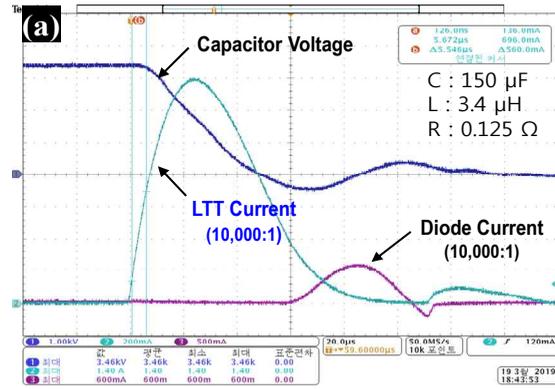


Fig. 13. Measured results of (a) critical rate of rise of on-state current ( $di/dt$ ), (b) peak non-repetitive surge current ( $I_{TSM}$ ), and (c) limiting load integral ( $I^2T$ ).

이온주입 농도가  $2.6 \times 10^{13} \text{cm}^{-2}$  이상인 경우 BOD가 동작하지 않고 사이리스터의 내전압인  $\sim 6,700V$ 에서 항복이 발생하지만, 이온주입 농도가  $2.4 \times 10^{13} \text{cm}^{-2}$  이하인 경우 BOD가 정상적으로 동작하여 사이리스터가 턴-온 되었으며, 이온주입 농도를 변경하여 BOD의 항복전압을 조절할 수 있음을 알 수 있다.  $dV/dt$  보호기능 평가의 경우 전압상승기울기를 변화시키며 어노드 전압을 인가하여 사이리스터의 턴-온 및 소자 파손 여부를 평가하였으며,  $3,000V/\mu s$ 의  $dV/dt$ 로 3,000V의 어노드 전압이 인가될 때 사이리스터가 턴-온 되지만 소자가 손상되지 않고 정상적인 특성을 유지하고 있어  $dV/dt$ 에 대한 자기보호 기능이 정상적으로 동작함을 확인할 수 있었다.

TABLE I  
PERFORMANCE COMPARISON OF 4-INCH LTTs :  
T1503N (INFENEON) VS. OUR RESEARCH

Parameter	T1503N (Infeneon)	Results of Our Research
Max. forward blocking voltage ( $V_{DRM}$ )	7,500 V	6,500 V
Average on-state current ( $I_{TAVM}$ )	2,560 A	2,270 A
Peak non-repetitive surge current ( $I_{TSM}$ )	60 kA	61.2 kA
Critical rate of rise of on-state current (di/dt)	1,000 A/ $\mu$ s	1,010 A/ $\mu$ s
Limiting load integral ( $I^2T$ )	18.0 MA <sup>2</sup> s	17.0 MA <sup>2</sup> s

을 나타내어 보론 확산공정으로 제작한 LTT가 고전압, 대전류 조건에서 소자의 손상 없이 안정적으로 동작함을 확인하였다. 이상의 결과는 기관의 두께와 농도를 변경하여 7,000V급 이상의 LTT 뿐만 아니라 ETT 계열 사이리스터와, Al 선-증착 및 확산공정으로는 제작하기 어려운 고전압, 대면적 IGBT 전력소자 제작에도 활용할 수 있을 것으로 판단된다.

본 연구는 방위사업청의 재원으로 국방과학연구소 민간기술협력센터의 지원을 받아 수행한 연구 과제입니다. (과제명 : 전력용 Thyristor 연구 <'14~'19>, 협약번호 : UM14103RD1)

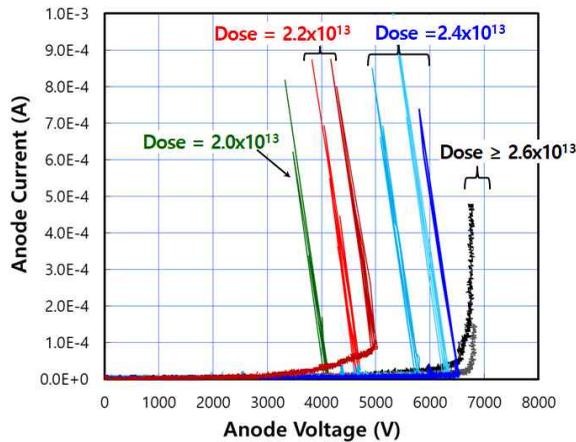


Fig. 14. Breakdown characteristics of the BODs for different dose of BOD ion implantation.

#### 4. 결 론

본 연구에서는 실리콘 내 확산계수가 큰 Al 대신 일 반적인 실리콘반도체 소자 제작에 사용되는 보론을 p-형 불순물로 사용하여 펄스파워시스템 적용을 위한 4인치 LTT를 설계하고 제작한 후 전기적 특성을 평가하였다. LTT의 주-캐소드 영역은 p-베이스가 캐소드와 단락된 캐소드쇼트 구조를 가지며, 에지중단은 보론 확산을 이용한 VLD 구조로 제작하였다. LTT의 중앙부는 과전압 보호를 위한 BOD, 수광영역, dV/dt 보호를 위한 p-베이스 영역, 전류제한저항 및 4단의 증폭게이트를 포함하고 있다. 본 연구에서는 상기 p-베이스, BOD, p-베이스, 전류제한저항 및 VLD 영역에 적합한 p-형 불순물의 농도를 설정하고 보론 이온주입 및 확산 공정을 진행하였다. 제작한 4인치 LTT는 6,500V의 순방향 내전압( $V_{DRM}$ )과 2,200A 이상의 순방향평균전류( $I_{TAVM}$ ) 특성을 나타내었다. 한편, 펄스파워시스템의 주요 특성인 전류상승기울기(di/dt), 최대통전전류( $I_{TSM}$ ) 및 스위치 액션( $I^2T$ )의 경우 각각 1,010A/ $\mu$ s, 61.2kA, 17MA<sup>2</sup>s의 값

#### References

- [1] J. Przybilla, J. Dorn, R. Barthelmess, U. Kellner-Werdehausen, H. J. Schulze *et al.*, "Diodes and thyristor - past, presence and future," in *Proc. of the EPE 2009, Barcelona*, 2009.
- [2] J. Vobecky, "Future trends in high power devices," *Microelectronics Proceedings (MIEL), 2010 27th International Conference on*, pp. 67-72, May 2010.
- [3] G. Lyu, Z. Yu, R. Zeng, J. Liu, X. Zhang, T. Long, and P. Palmer, "Optimisation of gate-commutated thyristors for hybrid DC breakers," *ITE Power Electronics*, Vol. 10, pp. 2002-2009, Nov. 2017.
- [4] J. Przybilla, R. Keller, U. Kellner, J. J. Schulze, F. J. Niedernostheide, and T. Peppel, "Direct light-triggered solid-state switches for pulsed power applications," *Digest 14th Inter. IEEE Pulsed Power Conf.*, pp. 150-154, Jun. 2003.
- [5] T. G. S. Joshi and V. John, "Performance comparison of ETT- and LTT-based pulse power crowbar switch," *IEEE Transactions on Plasma Science*, Vol. 45, pp. 2994-3000, Nov. 2017.
- [6] H. J. Schulze, F. J. Niedernostheide, and U. Kellner-Werdehausen, "Thyristor with integrated forward recovery protection function," in *Proc. of 2001 Int. Symp. on Power Semiconductor Devices and IC's, Osaka, Japan*, pp. 199-202, 2001.
- [7] B. J. Baliga, *Fundamentals of Power Semiconductor Devices*, New York, NY, USA: Springer-Verlag, 2008.
- [8] M. Bellini and J. Vobecky, "3D TCAD analysis of the effect on di/dt of cathode shorts in phase controlled thyristors," *2016 International Conference on Simulation of Semiconductor Processes and Devices, Nuremberg, Germany*, pp. 125-128, Oct. 2016.
- [9] US patent 6,066,864 A, 23 May 2000.
- [10] J. Vobecky, H. J. Schulze, P. Streit, F. J. Niedernostheide, V. Botan *et al.*, "Silicon thyristors for ultrahigh power (GW) applications," *IEEE Transactions on Electron Devices*, Vol. 64, pp. 760-768, Mar. 2017.

- [11] H. J. Schulze and R. Kunhnert, "Realization of a high-voltage planar junction termination for power devices," *Solid-State Electronics*, Vol. 32, No. 2, pp. 175-176, 1989.
- [12] M. Ruff, H. J. Schulze, and U. Kellner, "Progress in the development of an 8-kV light-triggered thyristor with integrated protection functions," *IEEE Transactions on Electron Devices*, Vol. 46, No. 8, pp. 1768-1774, Aug. 1999.
- [13] US patent 6,373,079 B1, 16 Apr. 2002.
- [14] Y. Shimizu, H. Kozaka, S. Murakami, and M. Takata, "An overvoltage self-protected thyristor with a structure to predict breakover voltage," *IEEE Transactions on Electron Devices*, Vol. 43, pp. 1000-1006, Jun. 1996.



#### **박건식(朴健植)**

1969년 11월 11일생. 1991년 한국과학기술원 재료공학과 졸업. 1996년 동 대학원 신소재공학과 졸업(석사). 2011년 동 대학원 신소재공학과 졸업(공학박사). 1996년~2000년 하이닉스반도체 메모리연구소 주임연구원. 2000년~현재 한국전자통신연구원 ICT창의연구소 책임연구원.



#### **조두형(趙斗衡)**

1985년 3월 25일생. 2011년 단국대 전기전자공학과 졸업. 2013년 서강대 전자공학과 졸업(석사). 2018년 동 대학원 전자공학과 졸업(공학박사). 2016년~현재 한국전자통신연구원 ICT창의연구소 연구원.



#### **원종일(元鍾壹)**

1983년 2월 7일생. 2008년 서경대 전자공학과 졸업. 2010년 동 대학원 전자컴퓨터공학과 졸업(석사). 2011년~현재 한국전자통신연구원 선임연구원.



#### **이병하(李炳河)**

1971년 9월 18일생. 1994년 충남대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 2013년 동 대학원 전기공학과 졸업(공학박사). 1996년~현재 국방과학연구소 책임연구원.



#### **배영석(裵永錫)**

1982년 6월 19일생. 2009년 고려대 전기전자공학부 졸업. 2011년 동 대학원 전기전자공학과 졸업(석사). 2011년~현재 국방과학연구소 선임연구원.



#### **구인수(邱仁秀)**

1979년 8월 23일생. 2007년 중앙대 전기전자공학부 졸업. 2007년~현재 현대위아 특수개발팀 책임연구원.