

# ±750[V] 직류배전망의 고장전류 산정에 관한 연구

## A Study on Fault Current Calculation of ±750[V] DC Distribution Grid

이 경 민\* · 박 철 원\*  
(Kyung-Min Lee · Chul-Won Park)

**Abstract** - In recent years, the proliferation of DER (distributed energy resources) is progressing rapidly. In particular, research on LVDC distribution grid with various advantages has begun. In order to commercialize this LVDC grid, direct current protection method should be established by analysis of DC faults. Recently, the development of HSCB (high-speed circuit breaker) for new ±750[V] LVDC grid has been researched.

This paper deals with the calculation of the maximum short-circuit fault current of the HSCB as a part of the development of HSCB for the LVDC distribution grid. First, modeling using PSCAD was carried out for PV array with BESS on the Gochang Power Test Center system. Next, to calculate the rated capacity of HSCB, fault currents were calculated and the characteristics were analyzed through fault simulations. Thus, this study results can help to establish short-circuit capacity calculation of HSCB and protection plan for DC protection relay system.

**Key Words** : DC fault, DC protection relay, DER, HSCB, LVDC, Maximum short fault current, PSCAD

### 1. 서 론

근래 대용량 고효율 전력변환이 가능해지면서 분산전원(DER : distributed energy resources) 및 매크로 그리드(macrogids)를 통합하여 고품질 및 고신뢰성을 제공할 수 있는 저압직류배전망(LVDC distribution grid)에 관심이 증대하고 있다. 분산전원 및 신재생에너지원들도 대부분 직류를 생산해내므로 교류기반의 배전시스템에 접목되는 것보다 직류기반 배전시스템이 확립되어 보급된다면 그 효율성 및 편리성은 크게 증가할 것이다. 또한, 저압 직류배전망은 에너지 저장장치(ESS : energy storage system)를 바로 연결하여 사용할 수 있기 때문에 효율성이 뛰어나므로, 향후 스마트 그리드 보급 시 직류배전방식이 자리를 잘 잡을 것으로 예상된다[1].

한전은 여러 가지 장점이 있는 배전선로 저압직류(LVDC : Low Voltage Direct Current)화 연구를 통해 2023년까지 DC 배전 상용화를 목표로 하고 있다. 2016년부터 2017년도까지 진행되는 1단계 사업으로 1500V 이하 저압직류차단 및 보호에 초점이 맞춰져 있다.

국내에서는 2014년, 한국에너지기술평가원의 지원으로 DC 배전 적용 K-MEG 개방형 테스트 베드 구축에 관한 연구가 진행되었으며[2], 한전은 저압직류배전 실증을 위하여 고장전력시험센터를 구축하고 있다[3]. 최근, 직류배전망을 위한 고속도 차단기

(HSCB : High Speed Circuit Breaker) 개발에 대한 연구가 착수되었으며, 전력연구원에서는 LS 산전과 함께 전남 진도군 서거차도를 'DC Island'로 탈바꿈하기 위한 MOU를 체결하고 연구를 진행하고 있다. 또한, 2016년부터 전력연구원은 효성과 함께 직류기반 도시지역 분산전원 및 부하 연계시스템 구축에 관한 연구를 진행하고 있다. 한편, 관련 연구로 가변속 풍력을 포함한 복합발전 시스템 모델링[4], 분산전원 출력변동 시 고장 검출이 가능한 과전류 계전 알고리즘 등이 제안되었다[5]. 2010년, PSCAD/EMTDC를 이용한 저전압 직류배전 계통의 단락 고장 전류 분석에 관한 연구와 2017년, 저압직류배전망 보호를 위한 고장전류 계산에 관한 논문이 발표되었다[1,6].

해외에서는 선진국을 중심으로 직류배전망 실증사업이 활발하게 이루어지고 있으며, 이에 따라 순시 전력 및 전력 조절 응용[7], VSC 기반의 직류배전망 케이블 단락 및 지락 고장 분석 및 고장점표정[8, 9], IEC 61660-1 단락고장 전류 규격[10], Prony에 기초한 DC 배전시스템의 단락고장 위치 판별방법 등 다양한 분석 및 보호방안이 연구되고 있다[11, 12].

본 논문은 ±750[V] 저압직류배전망용 HSCB의 최대 단락 고장전류 산정에 관한 것이다. 먼저, 고장 전력시험센터 모델계통의 PV 및 ESS를 대상으로 PSCAD를 이용하여 모델링을 수행하고자 한다. HSCB 정격용량 산정을 위하여, PSCAD에 의한 다양한 고장 시뮬레이션을 통하여 고장전류를 산정하고 그 특성을 분석하고자 한다.

† Corresponding Author : Dept. of Electrical Engineering, Gangneung-Wonju National University, Korea.

E-mail : cwpark1@gwnu.ac.kr

\* Dept. of Electrical Engineering, Gangneung-Wonju National University, Korea.

Received : April 12, 2018; Accepted : September 12, 2018

### 2. 단락 사고의 고장 특성

직류배전망에서 발생하는 단락사고는 계통 변환소의 AC/DC

컨버터에서 가장 심하다고 알려져 있다. 그림 1은 계통 AC/DC 컨버터를 포함한 단락 고장상태의 등가회로를 나타낸다. 단락사고의 고장특성해석은 아래와 같이 3단계로 해석할 수 있다[8, 9, 14, 16].

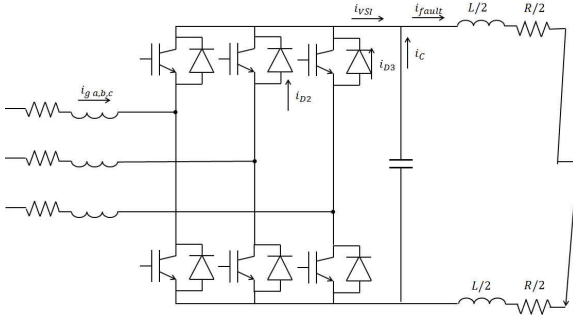


그림 1 계통 컨버터를 포함한 단락고장 상태  
Fig. 1 Short fault condition including system converter

### 2.1 DC-link 커패시터 방전

1단계는 DC-link 커패시터 방전 단계이다. 1단계에서는 선로 고장시 IGBT가 자기 보호를 위하여 빠르게 개방되며, DC-link 커패시터가 방전을 하면서 선로 측으로 전류를 보낸다. 커패시터가 방전하는 동안은 앞단이 격리되기 때문에, 고장루프는 RLC 직렬회로로 나타낼 수 있다. 이때 고장전류( $i_{fault}$ )는 식 (1)로 표현할 수 있다.

$$i_{fault} = C \frac{dv_C}{dt} = -\frac{I_0 \omega_0}{\omega} e^{-\delta t} \sin(\omega t - \beta) + \frac{V_0}{\omega L} e^{-\delta t} \sin \omega t \quad (1)$$

### 2.2 역병렬 다이오드 도통

2단계는 IGBT의 역병렬 다이오드 도통단계이다. 2단계에서 선로에 흐르는 고장전류는 식 (2)로 표현할 수 있다. 이때 고장전류가 계통 인버터 내부의 역병렬 다이오드를 통하여 흐르기 때문에 다이오드가 손상될 수 있다.

$$i_{fault} = I'_0 e^{-(R/L)t} \quad (2)$$

### 2.3 계통으로부터의 전류 급전

3단계는 계통으로부터의 전류급전단계이다. 이때 선로에 흐르는 전류는 식 (3)과 같이 표현할 수 있다.

$$i_{cable} = A \sin(\omega_s t + \gamma) + B e^{-t/\tau} + [C_1 \omega_0 e^{-\delta t} \sin(\omega t + \beta)]/\omega + (C_2 e^{-\delta t} \sin \omega t)/\omega \quad (3)$$

## 3. 사례연구

### 3.1 시뮬레이션 모델

직류배전망의 모델링과 고장해석을 위하여 그림 2와 같이 계

통 변환소의 전력변환장치를 통해  $\pm 750[V]$  저압직류배전망에 연계되며, PV, ESS, 선로, 직류부하 등을 포함한 직류배전망을 구성하였다[1, 13~16].

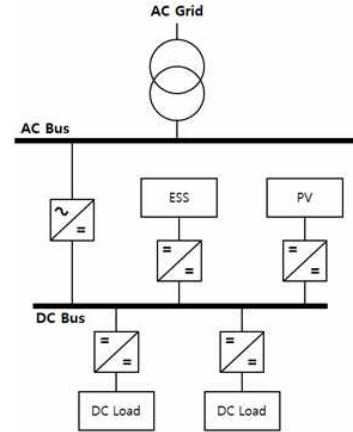


그림 2 저압직류배전망 모델  
Fig. 2 Model of LVDC distribution grid

표 1은 저압직류배전망의 사양을 나타낸다. 표 1과 같이 AC 계통으로부터 22.9[kV]의 전압을 받아 그리드용 AC/DC 컨버터를 통해 DC  $\pm 750[V]$ 로 변환한 후 저압직류배전망에 연계된다. 이 저압직류배전망은 50[kW]출력의 PV 2개, 700[kWh]급 ESS, 단방향 및 양방향 DC/DC 컨버터, 선로 및 총 420[kW] DC 부하 등으로 구성하였다.

표 1 저압직류배전망의 사양

Table 1 Specification of LVDC distribution grid

구분	설계값
전원(AC계통)	22.9[kV] AC 계통-500[kVA]
주변압기	Y-Δ 500[kVA] 22.9[kV]/380[V]
컨버터	500[kVA] 380[Vac]/1500[Vdc](±750[V])
선로	1.0/0.6kV XLPE 0.247+j0.125[ohm/km]
부하	420[kVA] - 저항부하

계통 변환소의 AC/DC 컨버터, 저압직류배전망의 DC/DC 컨버터를 갖고 있는 PV, MPPT 제어, 배터리의 과도특성을 고려한 개선된 BESS, 양방향 DC/DC 컨버터 및 PWM 제어 등은 모두 PSCAD의 내부 라이브러리와 C 언어를 이용하여 모델링하고 제어를 하였으며, 그 성능이 검증되었다[14,16].

### 3.2 사고 시뮬레이션 및 고장전류 산정

본 연구에서는, 모델링한 저압직류배전망에서 계통측 선로에서의 단락고장(PtoP : Pole to Pole), PV측 선로에서의 단락고장, ESS측 선로에서의 단락고장, DC 부하측 선로에서의 단락고장을 시뮬레이션 한 후, 각 고장이 미치는 고장 영향을 알아보고 분석

하였다. 시뮬레이션 조건은 500[kW]급 계통인버터, 50[kW] 출력의 PV 2개, 50[kW] 출력하는 700[kWh] ESS, 선로와 420[kW]의 DC 부하로 이루어져 있으며, 2[s]에 PV를 동작시키고, 3[s]에 ESS를 동작시켰다. 이때 정상상태에서 부하는 초기 80[%]에서 분산전원 가동 후 60[%]가 되도록 유지되도록 하였으며, 고장발생시간은 4[s]로 설정하였다.

그림 3은 계통 컨버터에서 출력되는 전압 파형을 나타낸다. 그림 3으로부터 양방향 3상 AC/DC 컨버터를 초기 0.25[s]에 동작시켰을 때, 1.5초 후에 전압이 1500[V](Bipolar ±750[V])로 일정하게 출력이 유지되는 것을 알 수 있다.

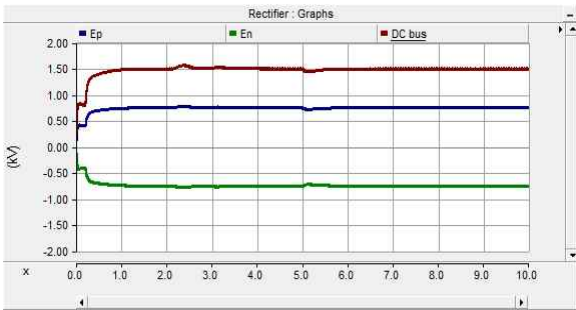


그림 3 계통측 선로의 전압 파형  
Fig. 3 Voltage waveforms of system side line

그림 4는 정상상태에서의 각 차단기에서 흐르는 전류 파형을 나타낸다. 그림 4로부터 계통측에서는 초기에 255.72[A]가 흐르며, 모든 분산전원이 동작한 이후 158.54[A]가 흐르는 것을 알 수 있다. 이때, PV측에서는 29.2[A]의 전류가 역방향으로 흐르고, ESS측에서는 36.24[A]의 전류가 역방향으로 흐른다. 또한, 부하측으로 각각 124.17[A], 100.17[A]의 전류가 흐르고 있는 것을 알 수 있다.

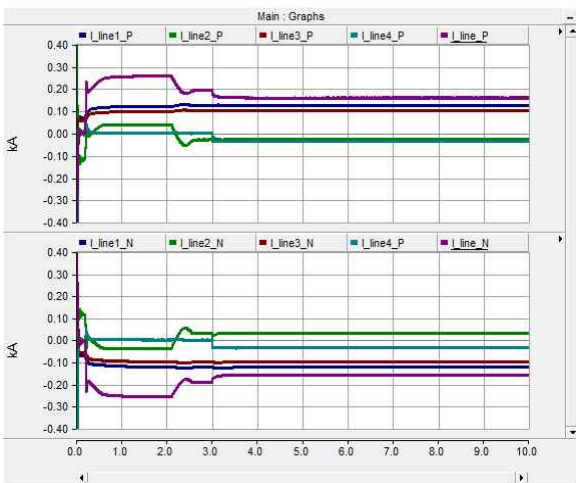


그림 4 각 선로의 정상상태 전류 파형  
Fig. 4 Current waveforms in steady state of each line

### 3.2.1 계통측 선로에서의 단락고장

먼저, 계통측 선로에서 PtoP 단락고장을 시뮬레이션 하였다. 그림 5는 계통측 선로에서의 단락고장 시 고장전류를 나타낸다. 그림 3과 같이 고장전류는 최대 9.133[kA]이며, 고장전류의 최대치까지의 도달 시간은 2.28[ms] 이었으며, 전류변동률은 4,005.7[A/ms]로 계산되었다. 이 고장전류는 총 3단계로 구분할 수 있는데, 고장발생 후 3.78[ms]까지는 1단계로 DC-link 커패시터 방전단계이고, 2단계는 역병렬 다이오드 도통단계로 10.75[ms]까지이며, 그 이후는 3단계인 계통으로부터 급전단계로 해석 될 수 있다.

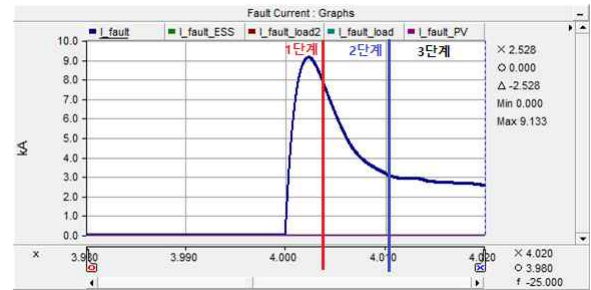


그림 5 계통측 단락고장시 고장전류  
Fig. 5 Fault current during short circuit of system side

그림 6은 계통측에서 단락고장이 발생 한 경우 각 차단기에서 흐르는 전류를 나타낸다. 그림 6으로부터, 각 차단기에 흐르는 전류는 분산전원이 있는 PV측, ESS측의 전류가 합쳐져 계통측의 전류와 같고, 전류의 방향은 모두 계통측으로 흘러가는 것을 알 수 있다.

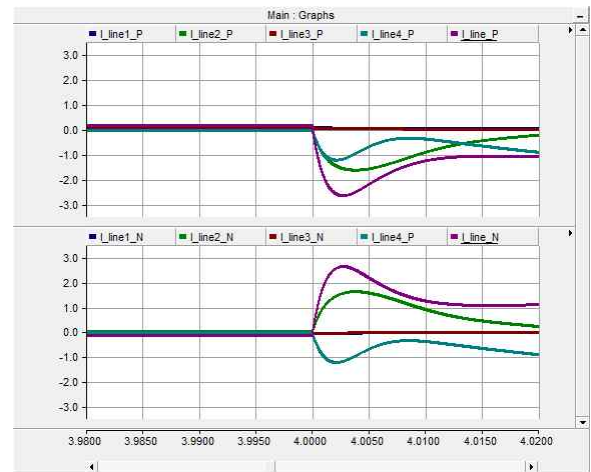


그림 6 계통측 단락고장시 각 고장전류  
Fig. 6 Fault currents during short circuit of system side

그림 7은 계통측에서 단락고장이 발생하였을 경우 PSCAD 라이브러리 시뮬레이션과 C언어를 이용한 단락고장의 고장특성을

비교한 결과를 나타낸다. 1~3단계 중 가장 중요한 초기상태인 1 단계를 비교하였다. 그림 7과 같이 PSCAD 라이브러리에 의해 산정된 최대 단락전류는 6527.253[A]이고, C언어로 계산한 최대 단락전류는 6594.01[A]로 거의 일치하는 것을 알 수 있다. 또한, 최대값까지의 도달 시간도 PSCAD 결과치는 2.18[ms], C언어 결과치는 2.19[ms]로 거의 동일한 값을 나타내고 있음을 알 수 있다.

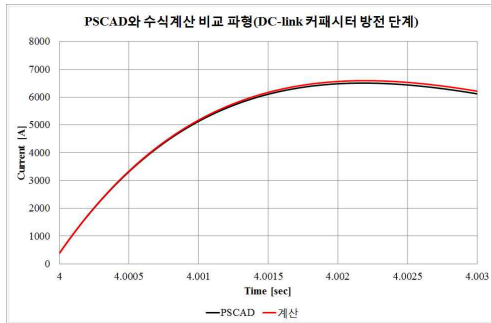


그림 7 계통측 단락고장시 고장전류 비교  
 Fig. 7 Fault currents comparison during short circuit of system side

### 3.2.2 PV측 선로에서의 단락고장

PV측 선로에서 PtoP 단락고장을 시뮬레이션 하였다. 그림 8은 PV측 선로 단락고장의 고장전류를 나타낸다. 그림 8과 같이 고장전류는 최대 8.153[kA]이며, 고장전류의 최대치까지의 도달 시간은 1.94[ms]임을 알 수 있으며 전류변동률은 4,202.57[A/ms]로 계산되었다.

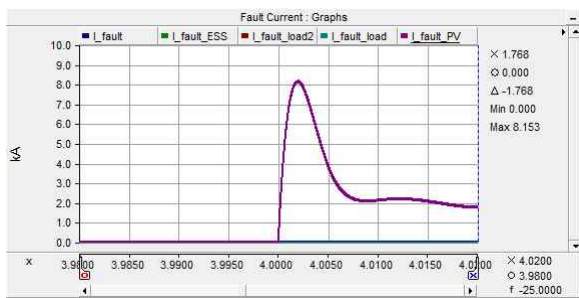


그림 8 PV측 단락고장시 고장전류  
 Fig. 8 Fault current during short circuit of PV side

그림 9는 PV측에서 단락고장이 발생 한 경우 각 차단기에서 흐르는 전류를 나타낸다. 그림 9로부터, 각 차단기에서 흐르는 전류는 계통측, ESS측의 전류가 합쳐져 PV측의 전류와 같고, 전류의 방향은 모두 PV측으로 흘러가는 것을 알 수 있다.

### 3.2.3 ESS측 선로에서의 단락고장

ESS측 선로에서 PtoP 단락고장을 시뮬레이션 하였다. 그림 10

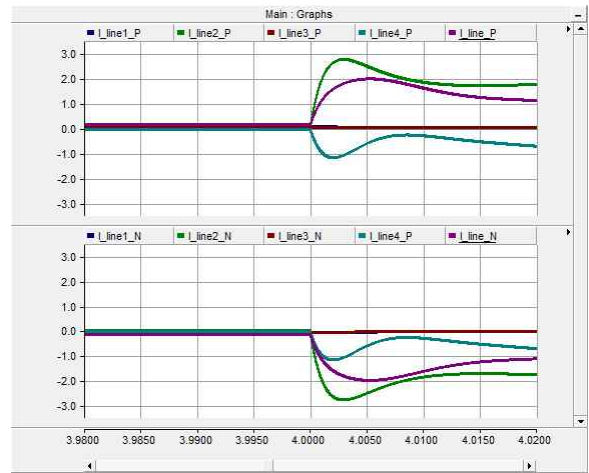


그림 9 PV측 단락고장시 각 고장전류  
 Fig. 9 Fault currents during short circuit of PV side

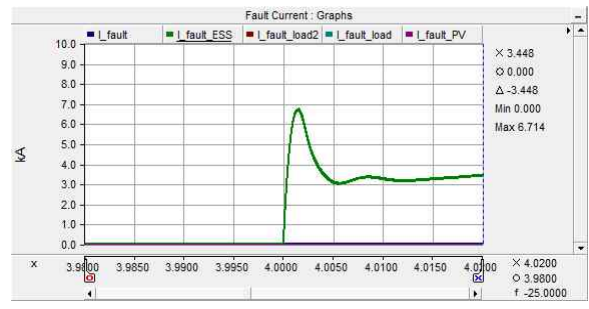


그림 10 ESS측 단락 고장시 고장전류  
 Fig. 10 Fault current during short circuit of ESS side

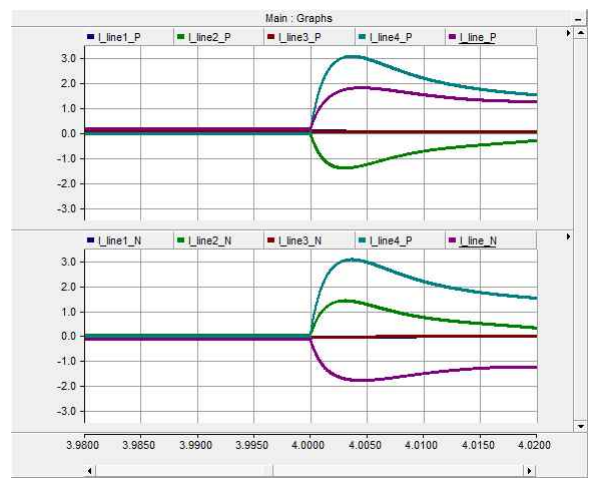


그림 11 ESS측 단락고장시 각 고장전류  
 Fig. 11 Fault currents during short circuit of ESS side

은 ESS측 선로 단락고장의 고장전류를 나타낸다. 그림 10과 같이 고장전류는 최대 6.714[kA]이며, 고장전류의 최대치까지의 도달 시간은 1.43[ms]임을 알 수 있으며, 전류변동률은 4,695.1

[A/ms]로 계산되었다.

그림 11은 ESS측에서 단락고장이 발생 한 경우 각 차단기에 서 흐르는 전류를 나타낸다. 그림 10으로부터, 각 차단기에서 흐르는 전류는 PV측, 계통측의 전류가 합쳐져 ESS측의 전류와 같 고, 전류의 방향은 모두 ESS측으로 흘러가는 것을 알 수 있다.

### 3.2.4 부하측 선로에서의 단락고장

부하측 선로에서 PtoP 단락고장을 시뮬레이션 하였다. 그림 12는 부하측 선로 단락고장의 고장 전류를 나타낸다. 그림 12와 같이 고장전류는 최대 3.575[kA]이며, 고장전류의 최대치까지의 도달 시간은 3.14[ms]임을 알 수 있으며, 전류변동률은 1,138.53 [A/ms]로 계산되었다.

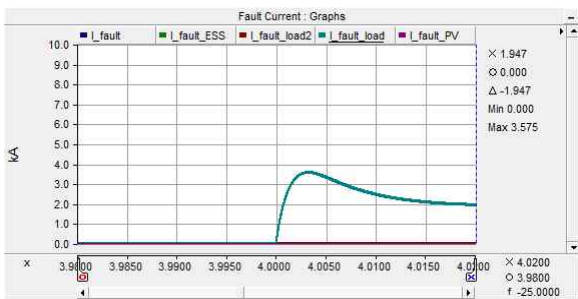


그림 12 부하측 단락고장시 고장전류  
Fig. 12 Fault currents during short circuit of load side

그림 13은 부하측에서 단락고장이 발생 한 경우 각 차단기에 서 흐르는 전류를 나타낸다. 그림 13으로부터, 각 차단기에서 흐르는 전류는 계통측 전류와 분산전원이 있는 PV측, ESS측의 전 류가 합쳐져 부하측의 전류와 같고, 전류의 방향은 모두 부하측 으로 흘러가는 것을 알 수 있다.

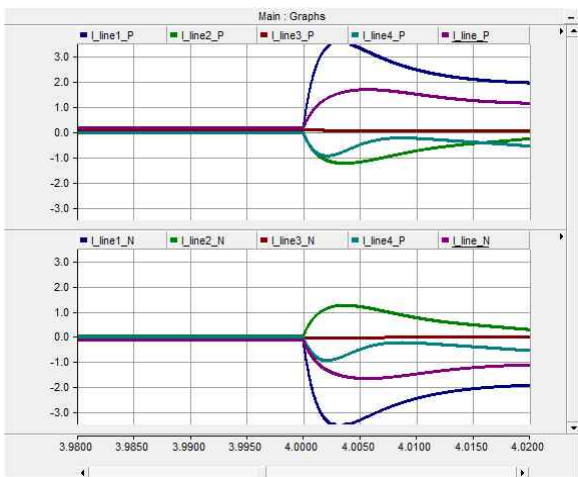


그림 13 부하측 단락고장시 각 고장전류  
Fig. 13 Fault currents during short circuit of load side

표 2는 각 고장위치에 따른 고장전류 분석을 나타낸다. 표 2 와 같이 전류변동률이 가장 높은 구간은 ESS에서 고장이 발생하 였을 때 4,695.1[A/ms]이며, 고장전류 최대값이 가장 큰 구간은 계통에서 고장이 발생하였을 때로 9.133[kA]로 나타났다. 고장전 류의 최대치까지 도달 시간이 가장 긴 구간은 부하측에서 고장이 발생하였을 경우이며 3.14[ms]임을 알 수 있었다.

표 2 각 고장위치에 따른 고장전류 분석

Table 2 Fault current analysis of fault location

고장 위치	Maximum fault current [kA]	Maximum fault current reach time [ms]	Current change rate [A/ms]
계통	9.133	2.28	4,005.7
PV	8.153	1.94	4,202.57
ESS	6.714	1.43	4,695.1
부하	3.575	3.14	1,138.53

## 4. 결 론

최근, 저압직류배전망용 보호기능이 탑재된 HSCB 개발에 대한 연구가 한창 진행 중에 있다. 본 논문은 이 연구의 일환으로, PV 와 ESS를 중심으로 구성된 ±750[V] 저압직류배전망을 PSCAD를 이용하여 모델링한 후, 계통측, PV측, 부하측에서의 PtoP 단락고 장을 시뮬레이션 하였다. 이를 통하여 각 고장이 발생하였을 때, 고장전류의 양상과 최대값, 전류변동률, 최대값 도달 시간 등을 분석하였다. 이 분석은 HSCB의 최대 단락 고장전류, 정격용량 산정, 보호 방안을 마련하는 데 중요한 자료로 활용할 수 있을 것이다. 현재, 복합고장에 대하여 분석하고 있으며, 저압직류배전 망의 고장 영향을 최소화할 수 있는 보호 및 협조 방안에 관하 여 연구 중에 있다.

## References

- [1] K.M. Lee, C.W. Park et al., "Fault Current Calculation for Low Voltage DC Distribution Protection", *2017 KIEE PES autumn conference*, pp. 539~540, 2017. 11.
- [2] D.J. Lee, I.B. Kim, N.H. Park, B.I. Kim, Y.B. Lee, "DC Distribution Application K-MEG Open Test Bed Construction", *Korea Energy Technology Evaluation Institute*, Final report, pp. 1~144, 2014. 10.
- [3] J.H. Lee, H.D. Jung, J.M. Lee, J.Y. Kim, J.T. Cho, "DC distribution development status and plan of KEPCO for introduction of high-efficiency distribution networks in the future", *2016 KIEE Summer Conference*, pp. 313~314, 2016. 7.
- [4] J.C. Hwang, "Modeling of Full Speed Wind-Diesel-Bess-PV Hybrid Generation Systems", *CNU Master*



*Thesis*, pp. 1~82, 2013. 2.

- [5] J.H. Ryu, "A Voltage-Controlled Over-Current Relaying Algorithm for Distributed generators Producing Variable Outputs", *Myongji Univ. Master Thesis*, pp. 1~33, 2017. 2.
- [6] J. M. Ahn, J. C. Jeon et al., "Analysis on the Short Circuit Current of a Low Voltage Direct Current(DC) Distribution System using PSCAD/EMTDC", *Trans. KIEE*, Vol. P59, No. 4, pp. 473~476, 2010. 12.
- [7] H. Akagi, E.H. Watanabe, M. Aredes, "Instantaneous Power Theory and Applications to Power Conditioning", *IEEE Press A John Wiley & Sons, INC. Publication*, pp. 1~379, 2007.
- [8] Jin Yang, "Short-Circuit and Grounding Fault Analyses and Location in VSC-Based DC Network Cables", *IEEE Trans. on Industrial Electronics*, Vol. 59, No. 10, pp. 3827~3837, 2012. 10.
- [9] Jin Yang, "Fault Analysis and Protection for Wind Power Generation Systems", *Ph.D's Thesis*, pp. 1~194, 2011. 3.
- [10] IEC 61660-1, "Short-Circuit Currents in DC Auxiliary Installations in Power Plants and Substations - Part 1 : Calculation of short circuit currents", pp. 165~224, 1997.
- [11] M.M.Xu et al., "A Prony-based Method of Locating Short-Circuit Fault in DC Distribution System", *2nd IET Renewable Power Generation Conference*, pp. 1~4, 2013.
- [12] Ali Hooshyar, Reza Iravani, "Microgrid Protection", *Proceedings of the IEEE*, Vol. 105, No. 7, pp. 1332~1352, July 2017.
- [13] T.P. An et al., "Development of high-speed circuit breakers for low-voltage DC distribution system", *Service proposal*, pp. 1~160, 2016. 06.
- [14] K.M. LEE, "A Study on Modeling and Fault Analysis of Low Voltage Direct Current Grid", *GWNU Master Thesis*, pp. 1~52, 2017. 8.
- [15] PSCAD User's Guide", January, pp. 1~160, 2003.
- [16] K.M. Lee, C.W Park et al., "Performance Verification of the Interconnection Distribution System by PV and BESS", *KIEE Electrical Machinery and Energy Conversion Systems, Spring Conference*, pp. 152~154, 2018. 4.

## 저 자 소 개



### 이 경 민 (Kyung-Min Lee)

He was born in Korea in 1990. He received his B.S. and M.S. degrees in Electrical Engineering from Gangneung-Wonju National University, Wonju, Korea, in 2014 and 2017. At present, he is working on his Ph.D in the Department of Electrical Engineering at Gangneung-Wonju National University. He is a teaching assistant at Gangneung-Wonju National University, since 2018. His research interests include Power IT, LVDC, Microgrid, RES, PMU, power system modeling & control, and power system protection. He is a member of the KIEE, and IEEE. Tel : 033-760-8796, Fax : 033-760-8781  
E-mail : point2529@naver.com



### 박 철 원 (Chul-Won Park)

He was born in Korea in 1961. He received his B.S., M.S. and Ph.D. degrees in Electrical Engineering from Sungkyunkwan University, Seoul, Korea, in 1988, 1990, and 1996, respectively. From 1989 to 1993 he was an associate researcher at Lucky GoldStar Industrial Systems. From 1993 to 1996, he was a senior researcher at PROCOM system and lecturer at S.K.K. University. At present, he is a professor in the Department of Electrical Engineering at Gangneung-Wonju National University, since 1997. His research interests include power IT, IED, LVDC, HVDC, Microgrid, RES, PMU, power system modeling & control, and computer application in power system. He is a member of the KIEE, and IEEE. He is president of PSPES since 2018. Dr. Park was awarded the Paper Prize of KIEE in 2010 and the Paper Prize of the KOFST in 2017. Tel : 033-760-8786, Lab : 033-760-8796,  
Fax : 033-760-8781  
E-mail : cwpark1@gwnu.ac.kr