

주파수 변동시 불평형 전압에 강인한 DSC-PLL 설계 연구

The Design of Robust DSC-PLL under Distorted Grid Voltage Contained Unbalance on Frequency Variation

이 재 도* · 차 한 주†
(Jae Do Lee · Han Ju Cha)

Abstract - In this paper, the design of robust DSC-PLL(Delayed Signal Cancellation Phase Locked Loop) is proposed for coping with frequency variation. This method shows significant performance for detection of fundamental positive sequence component voltage when the grid voltage is polluted by grid unbalance and frequency variation. The feedback frequency estimation of DSC-PLL is tracking the drift in the phase by unbalance and frequency variation. The robust DSC PLL is to present the analysis on method and performance under frequency variations. These compensation algorithms can correct for discrepancies of changing the frequency within maximum 193[ms] and improve traditional DSC-PLL. Linear interpolation method is adopted to reduce the discretized errors in the digital implementation of the PLL. For verification of robust characteristic, PLL methods are implemented on FPGA with a discrete fixed point based. The proposed method is validated by both Matlab/Simulink and experimental results based on FPGA(XC7Z030).

Key Words : Delayed Signal Cancellation(DSC), Phase locked loop, Interpolation method

1. 서 론

전력계통에서 분산제어시스템의 계통연계 요구조건은 계통안정화를 위해 더욱 강화되고 있는 실정이다. 분산제어시스템이 전력계통에 적용시, Grid codes의 필수요구조건들은 기존 발전시스템들과 안정적이고 신뢰성 있는 전력계통을 운영할 수 있도록 제어시스템을 갖추어야 한다. 이러한 경우, 고장사고 시 빠른 위상각 검출은 계통연계 제어시스템을 개선에 큰 역할을 담당하고 있다. 따라서 위상각 검출의 핵심인 PLL(Phase Locked Loop) 알고리즘은 매우 중요하다. 계통의 위상과 주파수 정보를 빠르고 정확하게 얻음으로써 계통과 시스템 간에 동기화를 이루는 것은 전력품질과 시스템의 안정도를 향상시키는 주요 요소이다. 계통의 위상정보를 얻는 가장 쉬운 방법은 Zero Crossing 점을 검출하는 방법이다[1~2]. 계통전압이 이상적인 평형 3상 전압이라면 매우 간단한 구조로 손쉽게 위상 동기화가 가능하다. 그러나, 실제 계통전압은 이상적인 3상 전압이 아니므로 위상이나 주파수 변동 및 불평형이 발생되면 검출된 위상정보를 검출하는데 오류를 수반하게 된다. 이 같은 이유 때문에 다양한 위상동기화 기술들이 점진적으로 개발되어 왔다. 현재 다양한 산업분야에서 가장 널리 사용되고 있는 위상동기화 기술은 SRF-PLL (Synchronous Reference Frame Phase Locked Loop)이다. 3상 전압을 동기좌

표계 변환을 통해 크기와 위상정보를 갖는 2상의 d-q 축 전압으로 변환하며, DC 값으로 표현되기 때문에 제어를 쉽게 할 수 있다는 장점을 갖는다[3]. 따라서 시간에 따라 매 순간 변화하는 3상의 위상정보를 얻기 위해 제어하는 것이 어려운 특성을 해결할 수 있다. SRF-PLL은 구조가 간단하고 구현이 쉬우며, 왜곡이 없는 3상 전압에서는 좋은 위상추종능력을 보인다. 그러나, SRF-PLL도 불평형 및 왜곡된 전압조건에서는 동기좌표계 축에서 발생하는 고조파 성분으로 인해 항상 정상상태 오차를 수반하게 되어 위상추종능력이 저하되는 단점을 갖는다[4].

DDSRF-PLL(Decoupled Double Synchronous Reference Frame Phase Locked Loop)는 동기좌표계축 상에서 정상분과 역상분을 검출하는 2개의 동기좌표계 변환을 사용하지만 고조파에 의해 발생한 영향에는 취약한 단점을 갖는다[5]. MSOGI-FLL (Multi Second Order Generalized Integrator Frequency Locked Loop)는 정지좌표계에서 모든 정상분 및 역상분 고조파 성분을 검출하는 장점을 갖지만, 매우 복잡한 구조로 인해 구현이 어려운 단점을 갖는다[6]. EPLL (Enhanced Phase Locked Loop)는 왜곡된 입력전압 조건에서 강인한 특성을 갖는 반면, 위상을 추종하는 응답 속도가 과도상태 구간에서 매우 느리다는 단점으로 인해 적용될 수 있는 분야가 제한적이다[7].

DSC-PLL(Delayed Signal Cancellation Phase Locked Loop)은 SRF-PLL의 단점을 보완한 위상동기화 기술으로써 구조가 간단하고 동기 좌표계 축에서 발생한 고조파 성분을 상쇄하기 위해 고조파 특성에 따라 정상분 기본파 주기의 일정시간만큼 지연시킨 성분을 생성하여 기존 고조파 성분을 제거한다. 외란을 포함한 전압에서도 강인한 특성을 갖는 DSC-PLL은 빠른 과도응답특

† Corresponding Author : Dept. of Electrical Engineering Chungnam National University, Korea.

E-mail: hjcha@cnu.ac.kr

* Korea Institute of Nuclear Safety, Korea.

Received : September 15, 2018; Accepted : October 11, 2018

성과 안정한 정상상태특성을 갖고 정상분 기본파 전압의 위상정보를 검출하는 장점을 갖는다[8-10]. 그러나 주파수가 변화할 때 정상분 기본파 주기의 일정시간이 변동하므로 지연시킬 성분도 대응하여 변동해야 한다. 또한 DSC-PLL 알고리즘을 구성된 장치를 실현하기 위해 고려할 사항은 과도응답에 대한 빠른 속응성과 제어범위가 넓게 설계해야 한다.

2. DSC-PLL 기법

3상의 sin파를 기준으로 3상의 전압을 다음과 같이 수식적으로 표현할 수 있다.

$$V_{abc} = V_m \begin{bmatrix} \sin\theta \\ \sin\left(\theta - \frac{2}{3}\pi\right) \\ \sin\left(\theta + \frac{2}{3}\pi\right) \end{bmatrix} \quad (1)$$

$$\begin{bmatrix} V_{ds} \\ V_{qs} \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} = \begin{bmatrix} V_m \sin(\theta) \\ -V_m \cos(\theta) \end{bmatrix} \quad (2)$$

$$\begin{bmatrix} V_{dc} \\ V_{qc} \end{bmatrix} = \begin{bmatrix} \cos(\hat{\theta}) & \sin(\hat{\theta}) \\ -\sin(\hat{\theta}) & \cos(\hat{\theta}) \end{bmatrix} \begin{bmatrix} V_{ds} \\ V_{qs} \end{bmatrix} = \begin{bmatrix} V_m \sin(\theta - \hat{\theta}) \\ -V_m \cos(\theta - \hat{\theta}) \end{bmatrix} \quad (3)$$

만약 식 (3)에서 V_{dc} 가 0이면 측정된 위상은 식 (4)와 같이 기준 위상으로 고정된다.

$$\begin{bmatrix} V_{dc} \\ V_{qc} \end{bmatrix} \xrightarrow{\hat{\theta} \rightarrow \theta} \begin{bmatrix} 0 \\ -V_m \end{bmatrix} \quad (4)$$

일반적으로 측정된 위상은 실질적으로 고려하면 상 오차는 0이 아니므로 식 (5)와 같이 선형화할 수 있다.

$$V_{dc} = V_m \sin(\theta - \hat{\theta}) \approx V_m(\theta - \hat{\theta}) \quad (5)$$

추종위상이 입력전압의 위상과 같아지면, 동기좌표계 축에서 d축 전압은 0, q축 전압은 $-V_m$ 값을 갖는다. 이 때, PLL은 입력전압과 위상동기화를 이루게 된다. 그러나, 입력전압에 불평형 및 왜곡전압이 포함되면, d-q축 변환에 의해 발생한 고조파에 의해 진동하는 맥동성분을 포함하게 된다. 이러한 경우, DSC가 d-q축에 발생한 고조파 성분을 제거하는 중요한 역할을 하게 된다.

2.1 DSC-PLL 구성

그림 1은 DSC-PLL의 제어 블록도이며, SRF-PLL기법에 DSC 기법을 결합한 방식이다. 왜곡된 전압 조건에서도 DSC-PLL이 강한 위상추종능력을 갖도록 하는 부분은 DSC 역할이다. 불평형 입력전압에 포함된 역상분 성분이나 고조파 성분들은 동기좌

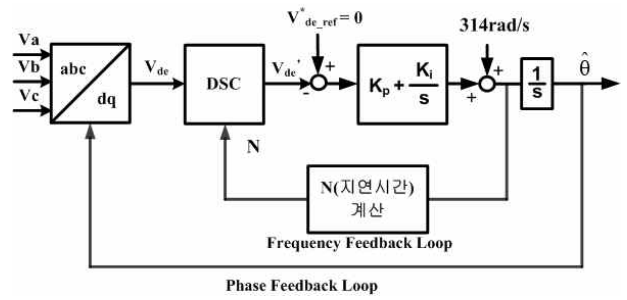


그림 1 DSC-PLL의 제어 블록도

Fig. 1 DSC-PLL Control block diagram

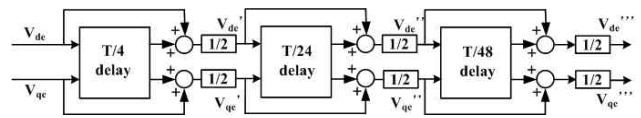


그림 2 DSC-PLL의 고조파제거 블록도

Fig. 2 DSC-PLL Harmonics elimination block diagram

표계 변환을 통해 d-q축에서 새로운 고조파 성분으로 변환된다. 입력전압에 포함된 역상분 성분의 경우 d-q축 전압에서 6차 고조파 성분으로 존재한다. DSC는 d-q축 전압에 나타나는 고조파 전압으로부터 고조파 차수에 따라 해당하는 일정 시간만큼 지연된 성분이 180도 위상차를 가지므로 두 성분의 합은 통해 고조파 성분을 상쇄시키는 원리이다. 따라서 위 성분들은 과도상태 및 정상상태 오차를 제거하여 정상분 기본파 전압의 위상을 빠르게 추종 가능하게 한다. 왜곡된 3상 전압이 역상분, 5차, 7차, 17차 19차 고조파 성분을 포함한 경우, d-q축에서 발생하는 2차, 6차, 18차 고조파는 정상분 기본파 주기의 1/4 주기만큼 지연된 새로운 성분을 생성하고, 두 성분을 합산하여 고조파 영향을 상쇄시킬 수 있다. 또한, 3상 입력에 11차, 13차, 23차, 25차 고조파가 포함되는 경우에는 기본파의 1/24주기만큼 지연된 성분을 생성하여 d-q축에 발생하는 12차, 24차 고조파를 제거한다. 그림 2는 DSC-PLL의 동기좌표계 축에서 발생하는 고조파 성분을 제거하기 위한 DSC 블록도를 나타낸다. T는 정상분 기본파 전압의 주기를 나타낸다.

2.2 DSC-PLL 해석

d축 상에 기본파 주기(T)이 1/n만큼 지연된 성분을 이용해 고조파를 제거하는 원리에 대한 수식을 다음과 같다.

$$dqDSC[v_{dc}(t)] = \frac{1}{2} \left[v_{dc}(t) + v_{dc}\left(t - \frac{T}{n}\right) \right] \quad (6)$$

여기서, $v_{dc}(t) = V_{d,dc} + \sqrt{2} V \sin(h\omega t + \phi^h)$ 를 직류성분과 고조파 성분으로 표현할 수 있다. 따라서 (6)식에 대입하고 고조파 성분을 별도로 표현한 수식은 다음과 같다.

$$dqDSC[v^{h_a}(t)] = \frac{1}{2} \left[\sqrt{2} V \sin(h\omega t + \phi^h) + \sqrt{2} V \sin(h\omega(t - \frac{T}{n}) + \phi^h) \right]$$

$$= \frac{\sqrt{2} V}{2} \left[\sin(h\omega t + \phi^h) + \sin(h\omega t - \frac{h2\pi}{n} + \phi^h) \right] \quad (7)$$

$$= \sqrt{2} V \sin(h\omega t + \phi^h - \frac{h\pi}{n}) \cdot \cos(\frac{h\pi}{n})$$

위 DSC 연산자는 원함수에 대비하여 $\cos(\frac{h\pi}{n})$ 의 계인과 $h\pi/n$ 의 위상지연을 갖는다. 고조파 성분을 제거하기 위해서는 $\cos(\frac{h\pi}{n})=0$ 가 되도록 $\frac{h}{n} = \pm \left| 2k \pm \frac{1}{2} \right|$, $k=0, 1, 2, 3, \dots$, $h=\pm 1, \pm 2, \pm 3, \dots$ 조건에서 n 값을 결정한다. 예로 불평형 조건시 고조파 2이면 $n=4$ 로 선정한다.

역상분을 포함한 불평형 조건시 기본주파수에서 주파수 변동시 소신호모델 해석을 통해 다음과 같이 수식으로 표현할 수 있다.

$$v_{dc}(t) = V^{+1} \sin[(\theta^{+1} - \hat{\theta}) - \Delta\omega_f t] + V^{+2} \sin(\theta^{+2} - \hat{\theta} - \Delta\omega_f t)$$

$$\approx -V^{+1} \Delta\omega_f t + V^{+2} \sin(\theta^{+2} - \hat{\theta} - \Delta\omega_f t) \quad (8)$$

(8)식의 첫 번째 항은 계통전압 주파수의 순시 변화를 반영한 것이고 두 번째 항은 고조파 진동을 포함하여 나타낸다.

2.3 DSC PLL 구현시 오차 개선

그림 3과 같이 DSC 기법을 이용하여 실질적으로 응용하기 위해서는 디지털화하여 설계해야 한다. 이산화 과정에 필수적으로 기본과 주기에 비해 고조파를 제거할 수 있는 크기만큼 적절한 간격으로 지연해야 하는데 이 간격이 정수값(N)을 갖지 않을 경우 오차가 생길 수 있다. 설령 지연시간이 정수값이면 원하는 고조파가 제거될지라도 주파수가 변동하면 기본과 주기도 변동하여 완전한 고조파 제거를 할 수 없다.

$$dqDSC[v_{dc}(k)] = \frac{1}{2} [v_{dc}(k) + v_{dc}(k-N)] \quad (9)$$

위 (9)식은 DSC PLL을 디지털화로 표현한 식이다. 즉, N은 기본과 주기(T)와 샘플링 주기(T_s)의 관계와 기본 주파수(f)와 샘플링 주파수(f_s) 관계식으로 다음과 같이 표현할 수 있다.

$$N = \frac{T}{4T_s} = \frac{f_s}{4f} \quad (10)$$

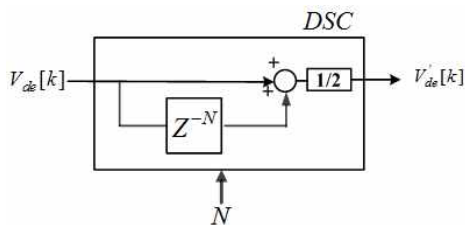


그림 3 DSC-PLL 디지털 구현 블록도
Fig. 3 DSC-PLL Digital implemetation block diagram

만약 N값이 정수가 아니면 정확한 지연시간을 정할 수 없기 때문에 오차가 발생하기에 디지털 구현시 기본 주파수와 샘플링 주파수를 적절히 구성하여 구현해야 할 것이다. 실험은 샘플링 주파수를 12kHz로 결정하였고 기본주파수는 50Hz로 선정하여 불평형 조건시(2고조파 함유) 고조파를 제거하기 위해 N을 60값을 선정하면 적절히 제거할 수 있다. 그러나, 기본 주파수 변동시 N이 정수값을 갖을 수 없으므로 오차가 발생하게 된다.

오차를 최소화하는 방법은 주파수 정보를 추정하여 기본과 주기를 연산하여 지연시간 크기에 가장 가까운 정수값을 선정하는 방법과 지연시간 크기 사이의 정수값에 Weight factor를 적절히 선정하여 오차를 최소화하는 선형보간법 등이 있다.[11-12] 선형보간법은 다른 방법에 비해 상대적 오차가 현저히 작은 장점이 있으나 다소 구현이 복잡하고 계산적 부담이 많다. 이런 단점을 극복하기 위해서 Matlab/Simulink로 이용하고 FPGA에 구현하여 구현 복잡성과 계산 부담을 최소화하였다.

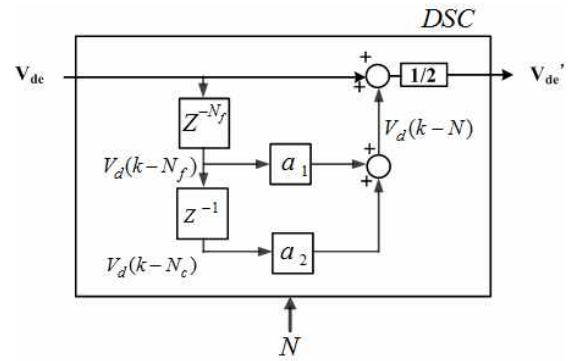


그림 4 선형보간법 블록도
Fig. 4 Linear Interpolation block diagram

그림 4은 주파수가 변동하였을 때 선형보간법 DSC-PLL의 제어 블록도이며, 선형보간법으로 이용한 지연함수 식은 다음과 같다

$$v_{dq}(k-N) = a_1 v_{dq}(k-N_f) + a_2 v_{dq}(k-N_c) \quad (11)$$

여기서, N_f , N_c 는 변동되는 N값 중 가까운 낮은 정수값, N값 중 가까운 높은 정수값, $a_1 = \epsilon_c N$, $a_2 = 1 - a_1 = -\epsilon_f N$ 또한 $\epsilon_c = \frac{N_c - N}{N}$, $\epsilon_f = \frac{N_f - N}{N}$ 이다.

선형보간법의 구현은 그림 5와 같이 Matlab/Simulink 블록을 이용하여 주파수 정보를 추정하여 기본과 주기를 연산하여 지연시간 크기가 가장 가까운 낮은 정수값(N_f)을 선정하고 적절한 Weight factor 값을 선정하여 오차가 최소화되도록 하였다.

2.4 FPGA를 이용한 PLL 설계 및 구현

본 논문에서 설명하는 PLL 기법은 고정소수점을 기반으로 하여 FPGA에 구현하였다.[13] 이 과정으로부터 알고리즘 생성과 오류검출 및 검증에 소요되는 시간을 절감할 수 있고, 높은 품질

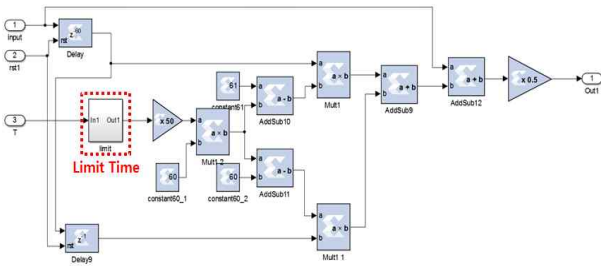


그림 5 선형보간법 Matlab/Simulink 구현
Fig. 5 Linear Interpolation Matlab/Simulink block

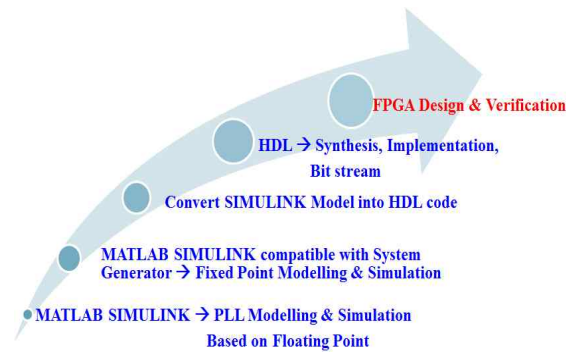


그림 6 FPGA 설계과정
Fig. 6 FPGA Design

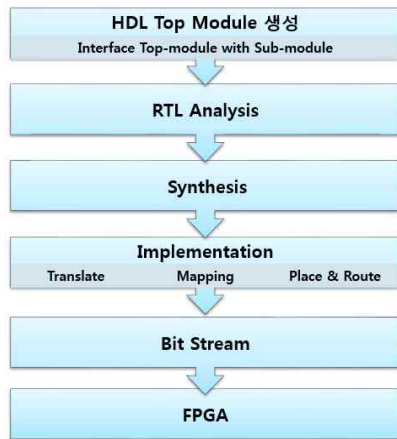


그림 7 HDL의 FPGA 구현과정
Fig. 7 FPGA of HDL implementation

의 알고리즘 설계가 가능하다. 일반적으로 FPGA를 구현하기 위한 설계방식은 여러 가지 방식이 있으나, 본 논문에서는 하드웨어의 동작기능을 기술하는 언어인 HDL(Hardware Description Language)을 프로그램 하여 원하는 기능을 구현하는 방식을 진행하였다.

그림 6은 PLL을 FPGA에 구현하기 위한 설계과정을 보여준다. MATLAB/SIMULINK를 이용하여 부동소수점과 고정소수점 기반

의 PLL을 모델링하고 각각 시뮬레이션을 통해 성능을 확인하였다. 고정소수점 모델의 경우에는 MATLAB/SIMULINK와 연동 가능한 System Generator Blockset을 이용하여 모델링을 설계하였으며, HDL은 System Generator로부터 Verilog HDL로 코드변환을 진행하였다. 그림 7은 HDL로 변환된 DSC-PLL 모델을 FPGA에 구현하기 위해 코드 검증 및 I/O 포트 설정, 내부 로직구현 및 배선연결 등과 같은 단계과정을 보여준다.

System Generator Blockset으로 설계된 모델은 앞서 언급한 바와 같이 FPGA 내에서 로직회로 또는 하드웨어 동작을 기술하는 HDL로 변환될 수 있다. 구성된 블록의 기능에 따라 Flip-Flop, Latch, LUT, RAM 등의 역할을 수행할 수 있는 하드웨어 기술 언어로 변환된다.

그림 8은 MATLAB/SIMULINK와 연동 가능한 System Generator Blockset으로 설계한 DSC-PLL 모델의 최상위 모듈이다. 입력은 3상 전압, PI 제어기 이득, Reset 신호, PLL 선택 신호가 있고 출력은 정지좌표계 출력전압, 동기 좌표계 출력전압, 추종위상, Zero Crossing으로 구성하였다.

그림 9는 그림 8의 하위모듈을 구성하는 부분으로 각 블록은 정지 좌표계, 동기 좌표계, PI 제어기, 전향보상성분, 영점 검출 시스템을 나타낸다. 전향보상성분 블록의 출력은 PI 제어기에 의해 계통의 위상을 추종하여 동기좌표계 변환행렬을 구성하는 피드백 성분 역할을 수행한다.

각 블록들은 FPGA 구현에 필요한 고정소수점 연산을 지원하

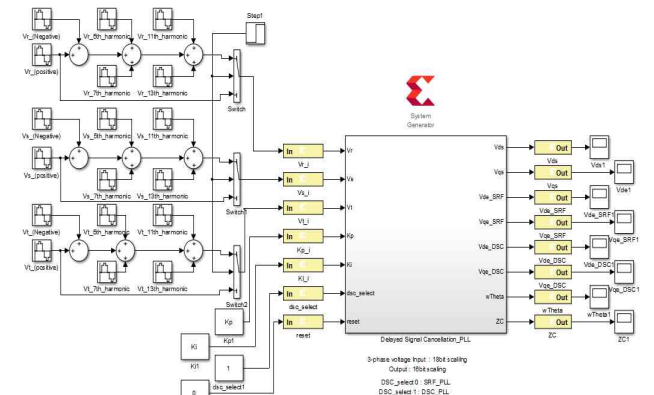


그림 8 System Generator로 설계한 DSC-PLL 최상위 모듈
Fig. 8 The top module of DSC-PLL by system generator

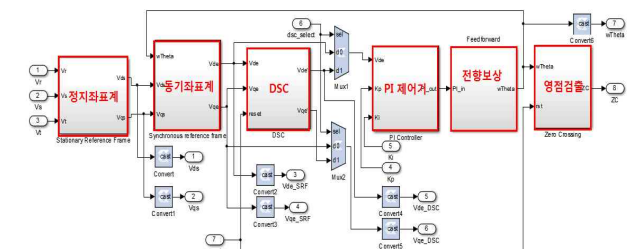


그림 9 System Generator로 설계한 DSC-PLL 하위 모듈
Fig. 9 The bottom module of DSC-PLL by system generator

기 때문에 신호가 추종하는 데이터 값의 범위에 따라 Word length 및 Fraction bit를 설정할 수 있으며, 신호의 값에 대한 분해능을 높이기 위해서 bit 수를 고려해서 선택해야 한다.

3. 시뮬레이션 및 실험

평형 및 불평형 3상 전압조건에서 DSC-PLL의 위상추종능력을 MATLAB/SIMULINK를 이용한 시뮬레이션으로 확인하였고, 검증하기 위해 FPGA(XC7Z030FBG676)에 구현하여 실험을 진행하였다. FPGA를 이용한 실험에서 입력전압은 계통전압 선간 220[V]로부터 AC 전원장치 발생가능한 Chroma 61703 장비를 사용하였다.

3.1 평형 및 불평형 계통전압 조건에서 DSC- PLL 시뮬레이션

평형 3상 전압은 선간 220[V], 50[Hz]이며 역상분 성분은 선간 36.7[V], 50[Hz]이다. 역상분에 의한 불평형 전압은 식 (12)로 주어진다.

$$\begin{aligned}
 V_{r_unbalance} &= 179.6 \angle 0^\circ + 30 \angle 0^\circ = 209.6 \angle 0^\circ \\
 V_{s_unbalance} &= 179.6 \angle -120^\circ + 30 \angle 120^\circ = 166.6 \angle -128.96^\circ \\
 V_{t_unbalance} &= 179.6 \angle 120^\circ + 30 \angle -120^\circ = 166.6 \angle 128.96^\circ
 \end{aligned}
 \tag{12}$$

시뮬레이션 조건은 3상 정상상태 전압이후 0.3초후 불평형 3상 전압이 발생하고 불평형 상태에서 0.5초후 주파수 변화가 발생하였을 때 주파수 추종이 없는 DSC-PLL과 주파수를 추종하여 보상하여 개선된 DSC-PLL 파형 결과이다. 주파수 변동은 디지털 이산화 오차를 최소화 됨을 확인하기 위해 50Hz 기본주파수 기준으로 1/4 지연 정수(N=60)와 N=61에 해당되는 주파수인 49.18[Hz] 변동을 선정하였다. 또한 EN50160 코드에 요구하는 주파수 대역인 47.5[Hz]까지 변동하여 확인하였다.

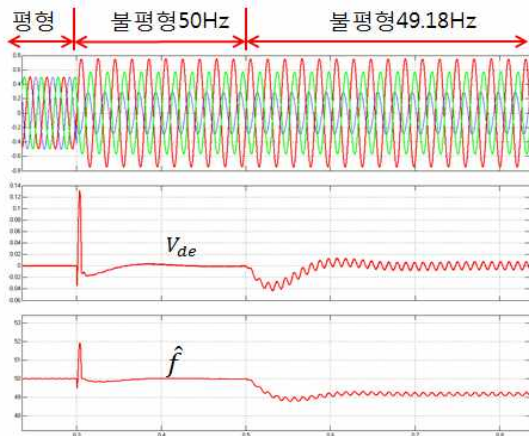


그림 10 주파수 추종없는 DSC-PLL(50[Hz]→ 49.18[Hz])
Fig. 10 DSC-PLL without frequency estimation (50[Hz]→ 49.18[Hz])

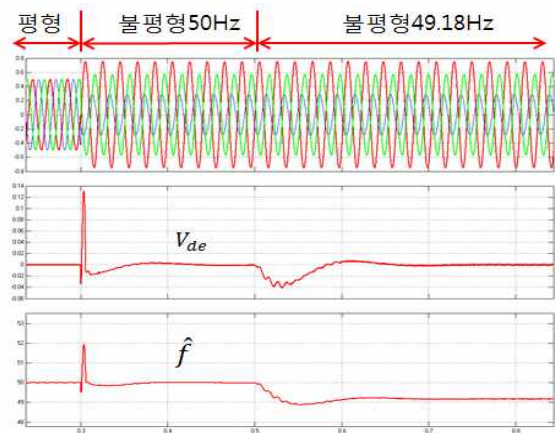


그림 11 개선된 DSC-PLL (50[Hz]→49.18[Hz])
Fig. 11 DSC-PLL with frequency estimation(50[Hz]→9.18[Hz])

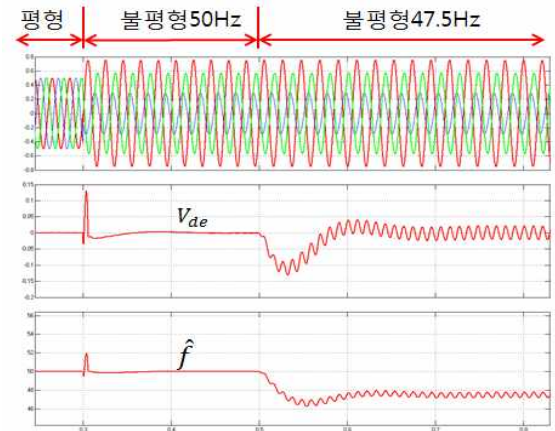


그림 12 주파수 추종없는 DSC-PLL(50[Hz] → 47.5[Hz])
Fig. 12 DSC-PLL without frequency estimation (50[Hz] → 47.5[Hz])

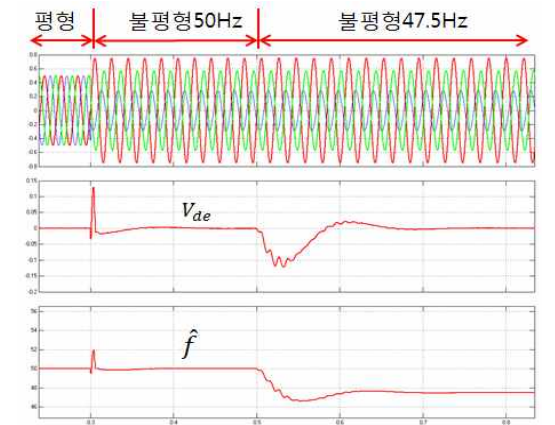


그림 13 개선된 DSC-PLL (50[Hz]→47.5[Hz])
Fig. 13 DSC-PLL with frequency estimation (50[Hz] →47.5[Hz])

그림 10, 그림 11은 N이 61에 해당하는 49.18[Hz]까지 변동시 주파수 추종하지 않은 파형과 추종하여 보상하여 개선된 파형을 나타낸다. 그림 11과 같이 보상된 파형은 불평형 조건시 2고조파가 제거됨을 확인하였다.

그림 12, 그림 13은 EN50160 코드에 요구하는 주파수 대역인 47.5[Hz]까지 변동시 주파수를 추종하지 않은 파형과 추종하여 보상하여 개선된 파형을 나타낸다. 그림 13과 같이 보상된 파형은 불평형 조건시 2고조파가 제거됨을 확인하였다.

3.1 평형 및 불평형 계통전압 조건에서 DSC-PLL 실험

실험 입력파형은 3상 평형 전압하에 2고조파 포함된 불평형상

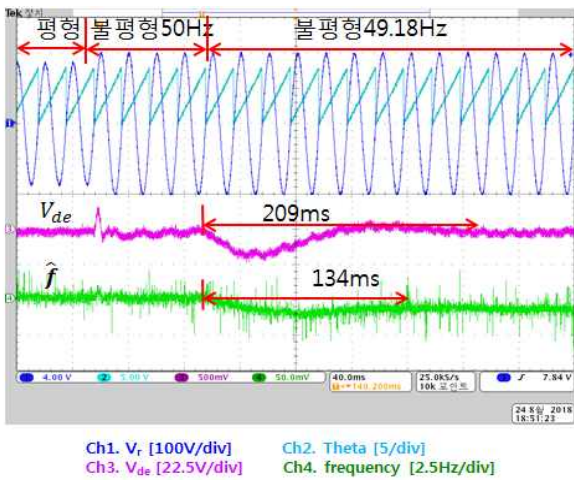


그림 14 주파수 추종없는 DSC-PLL(50[Hz] → 49.18[Hz])
 Fig. 14 Experimental result of DSC-PLL without frequency estimation (50[Hz] → 49.18[Hz])

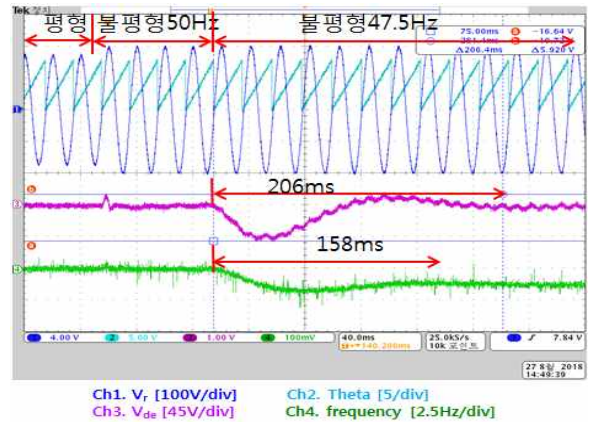


그림 16 주파수 추종없는 DSC-PLL(50[Hz]→47.5[Hz])
 Fig. 16 Experimental result of DSC-PLL without frequency estimation (50[Hz] → 47.5[Hz])

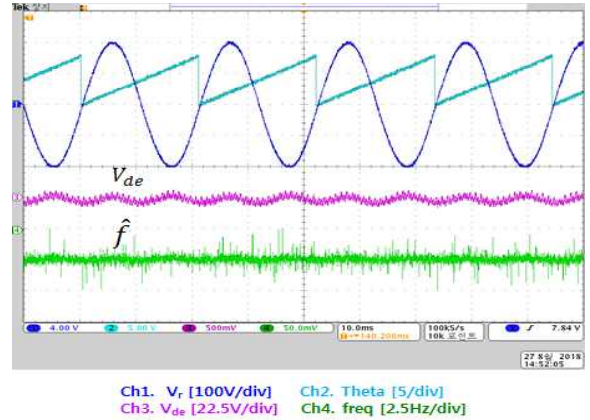


그림 17 주파수 추종없는 DSC-PLL 정상상태(50[Hz] → 47.5[Hz])
 Fig. 17 Experimental result of DSC-PLL steady state without frequency estimation (50[Hz] → 47.5[Hz])

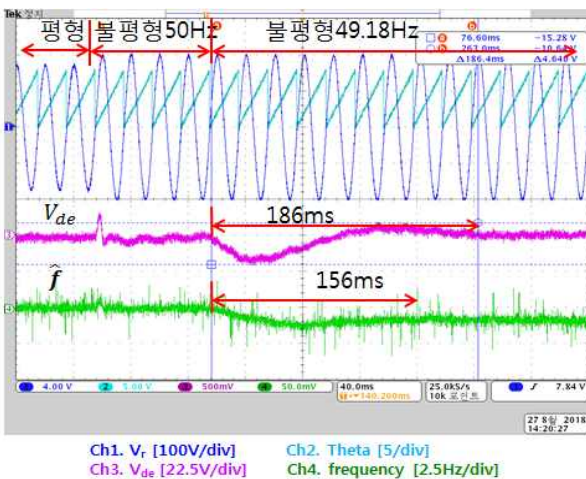


그림 15 개선된 DSC-PLL(50[Hz] → 49.18[Hz])
 Fig. 15 Experimental result of DSC-PLL with frequency estimation (50[Hz] → 49.18[Hz])

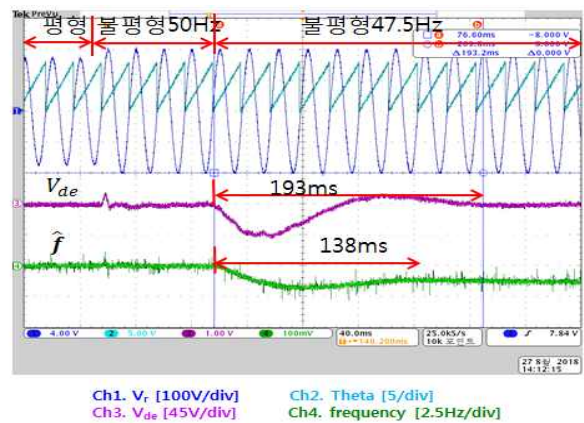


그림 18 개선된 DSC-PLL 실험(50[Hz]→47.5[Hz])
 Fig. 18 Experimental result of DSC-PLL with frequency estimation (50[Hz] → 47.5[Hz])

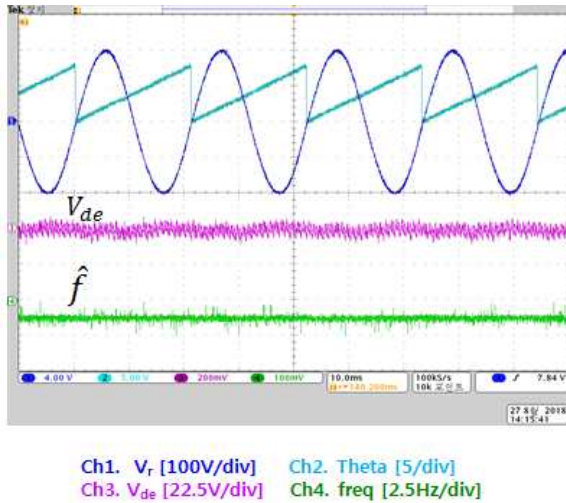


그림 19 개선된 DSC-PLL 정상상태(50[Hz] → 47.5[Hz])

Fig. 19 Experimental result of DSC-PLL steady state with frequency estimation (50[Hz] → 47.5[Hz])

태로 변화시키고 4 사이클 후 주파수 변동하는 조건이다. 그림 14, 15는 시뮬레이션과 마찬가지로 기본주파수 50[Hz]에서 49.18[Hz]로 변동하였을 때 실험결과를 확인하였고, 개선된 DSC-PLL은 선형보간법에 의해 2고조파를 상쇄시키고 추종위상 $\hat{\theta}$ 는 정상분 기본파 전압의 위상을 정확히 추종함을 알 수 있다.

그림 16, 18은 기본주파수 50[Hz]에서 47.5[Hz]로 변동하였을 때 실험결과를 확인하였고, 개선된 DSC-PLL은 선형보간법에 의해 2고조파 상쇄시키고 추종위상 $\hat{\theta}$ 는 정상분 기본파 전압의 위상을 정확히 추종함을 알 수 있다. 그림 17은 정상상태에서 주파수 추종 보상이 없는 상태에서 V_{de} 축은 제 2고조파가 발생하였고 그림 19에서는 정상상태에서 주파수 추종 보상이 있어 V_{de} 축은 제 2고조파가 제거됨을 확인하였다.

4. 결 론

본 논문은 평형 및 불평형 3상 전압조건에서 주파수 변동시 DSC-PLL의 위상추종능력을 확보하기 위해 추종주파수를 피드백 받아 지연시간을 조정하여 고조파를 제거함을 MATLAB/SIMULINK 시뮬레이션과 FPGA에 기반한 실험을 통해 검증하였다. 필연적으로 발생할 수 있는 DSC-PLL 기법의 지연시간 오차와 디지털 이산화 과정에 생길 수 있는 오차는 선형보간법(Linear Interpolation method)을 이용하여 최소화하였다. 주파수 변동크기는 EN50160에서 요구하는 주파수 범위(50[Hz]에서 47.5[Hz]까지)로 설정하였으며 DSC-PLL이 입력 고조파를 제거하고 193[ms] 이내에 과도상태구간에서 동기좌표계에서 발생한 정상상태 오차를 제거하였다. 주파수 피드백으로 구성된 DSC-PLL은 불평형조건에서 정상상태 정상분 기본파와 위상을 빠르고 정확하게 추종하는 것을 확인하였다.

References

- [1] D. W. P. Thomas and M. S. Woolfson, "Evaluation of frequency tracking methods", *IEEE Trans. Power Delivery*, vol. 16, pp. 367-371, July 2001.
- [2] Digital PLL control for grid connected solar power system, *KIEE Trans*, pp. 562-568, Sept 2004.
- [3] S. K. Chung, "A phase tracking system for three phase utility interface inverters", *IEEE Trans. Power Electron.*, vol. 15, no. 3, pp. 431-438, May 2000.
- [4] "Grid harmonics and Voltage Unbalance Effect Elimination for Three-Phase PLL Grid Synchronization Algorithm", *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, Sept. 2013, pp. 3299-3304.
- [5] P. Rodiruez, J. Pou, J. Bergas, J. I. Candela, R. P. Burgo, and D. Boroyevinh, "Decoupled Doubled Synchronous Reference Frame PLL for Power Converters Control", *IEEE Trans. Power Electron.*, vol. 22, pp. 584-592, May 2007.
- [6] P. Rodriguez, A. Luna, I. Candela, R. Teodorescu, and F. Blaabjerg, "Grid Synchronization of Power Converters using Multiple Second Order Generalized Integrators", *Industrial Electronics*, 2008. IECON 2008. 34th Annual Conference of IEEE, Nov. 2008, pp. 755-760.
- [7] M. K. Ghartemani, M. R. Iravani, "A method for synchronization of power electronic converters in polluted and variable-frequency environments", *IEEE Trans. Power Syst.*, vol. 19, No. 3, Aug. 2004.
- [8] Ziwen Yao, "Fundamental Phasor Calculation With Short Delay", *IEEE Trans. Power Del.*, vol. 23, pp. 1280-1287, July. 2008.
- [9] J. Svensson, M. Bongiorno and A. Sannino, "Practical implementation of delayed signal cancellation method for phase-sequence separation", *IEEE Trans. Power Del.*, vol. 22, no 1, pp. 18-26, Jan. 2007.
- [10] Y. F. Wang and Y. W. Li, "Grid Synchronization PLL Based on Cascaded Delayed Signal Cancellation", *IEEE Trans. Power Electron.*, vol. 26, pp. 1987-1997, July 2011.
- [11] Y.F. Wang and Y. W. Li, "Analysis and Digital Implementation of Cascaded Delayed-Signal-Cancellation PLL", *IEEE Trans. Power Electron.*, vol. 26, pp. 1067-1080, April 2011.
- [12] Qicheng Huang and Kaushik Rajashekara "An Improved Delayed Signal Cancellation PLL for Fast Grid Synchronization under Distorted and Unbalanced Grid Condition", *IEEE Trans. on Industry Applications*, vol. 53, pp. 4985-4997, October 2017.
- [13] Jongmin Jo, Byung-Moon Han, Hanju Cha "FPGA based

DSC-PLL for grid harmonics and voltage unbalance effect elimination”, *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)* pp. 2212-2216, 2015.

저 자 소 개



이 재 도 (Jaedo Lee)

2000년 충남대 전기공학과 졸업, 2002년 충남대 전기공학과 졸업(석사) 2005~현재 한국 원자력안전기술원 책임연구원



차 한 주 (Hanju Cha)

1988년 서울대 전기공학과 졸업, 1990년 포항공대 졸업(석사), 2004년 미국 Texas A&M University, College station(공박), 1990년~2001년 LG산전 연구소 책임연구원, 2005년~현재 충남대 전기공학과 교수