

델타-시그마 변조기와 스퍼 감소 회로를 사용하여 스퍼 크기를 줄인 위상고정루프

최영식*, 한근형

Spur Reduced PLL with $\Delta\Sigma$ Modulator and Spur Reduction Circuit

Young-Shig Choi*, Geun-Hyeong Han

요약 스퍼의 크기를 줄이기 위해 델타-시그마 변조기와 스퍼감소회로가 도입된 위상고정루프(PLL)를 제안하였다. 델타-시그마 변조기는 스퍼 잡음을 높은 주파수 대역으로 이동시켜 루프필터가 잡음 제거를 쉽게 할 수 있도록 해준다. 이는 위상고정루프의 대역폭을 적절히 조절하면 스퍼 크기를 크게 감소시킬 수 있다. 스퍼감소회로는 한주기당 발생하는 루프필터 전압변화를 작게 하여 스퍼 크기가 감소되도록 한다. 제안한 스퍼감소회로는 위상고정루프의 크기에 거의 영향이 없을 정도로 간단하게 설계하였다. 이 두 가지 방법을 사용한 제안된 위상고정루프는 0.18 μ m CMOS 공정에서 1.8V의 공급전압으로 설계되었으며, 시뮬레이션을 통해 제안된 위상고정루프의 스퍼 크기가 거의 20dB 감소된 것을 확인하였다. 스퍼의 크기가 크게 감소된 위상고정루프는 대역폭이 좁은 통신시스템에 크게 활용될 수 있다.

Abstract A novel PLL with a delta-sigma modulator and a spur reduction circuit is proposed. delta-sigma modulator makes the LF remove noise easily by moving the spur noise to a higher frequency band. Therefore, the magnitude of spur can be reduced the reasonable bandwidth. The spur reduction circuit reduces the spur size by reducing the LF voltage change generated during the period of reference signal. The spur reduction circuit is designed as simple as possible not to increase the size of PLL. The proposed PLL with the previous two techniques is designed with a supply voltage of 1.8V in a 0.18 μ m CMOS process. Simulation results show an almost 20dB reduction in the magnitude of spur. The spur reduced PLL can be used in narrow bandwidth communication system.

Key Words : PLL, Loop Filter, Spur, Delta-sigma modulator, Spur reduction circuit

1. 서론

통신기술이 점차 발달하면서 이에 사용되는 고주파 신호에서의 안정적인 동작을 위해 보다 뛰어난 성능의 주파수 합성기가 요구되어지고 있다. 즉, 주파수 합성기로 가장 많이 사용되는 위상고정루프(Phase Locked Loop; PLL)의 성능은 시스템 전체의 성능에 직결되는 중요한 요인이라 할 수 있다. 통신 시스템에

서 사용되는 위상고정루프의 주요한 성능지표는 잡음, 특히 스퍼 특성이다. 스퍼는 통신 회선 내의 간섭 및 방해물 일으키므로 반드시 제거 또는 감소 시켜야만 하는 성분이다. 칩이 점차 소형화되고 고속화되어짐에 따라 스퍼가 시스템에 미치는 영향이 점차 증가하고 있기에 스퍼를 제거할 수 있는 위상고정루프가 요구되고 있다.

위상고정루프에서 발생하는 스퍼는 크게 기준신호

This Paper was supported by research Fund of Pukyong National University Research Abroad in 2017 (C-D-2017-0970).

*Department of Electronic Engineering, Pukyong National University

**Corresponding Author : Department of Electronic Engineering, Pukyong National University(choiys@pknu.ac.kr)

Received September 18, 2018

Revised September 19, 2018

Accepted October 11, 2018

스퍼와 각 구성요소에서 발생하는 스퍼로 구분할 수 있다. 위상고정루프 구성요소의 개선을 통한 스퍼 생성억제 연구가 많이 행해지고 있다[1]-[3]. 발진기 내부에 적분기를 이용한 구조를 접목시켜 기준신호 스퍼를 줄이는 시도[1]와 LC발진기를 개선한 발진기를 사용[2]하여 스퍼의 크기를 줄이는 시도가 있었지만 이 방법들은 복잡한 구조의 전압제어발진기를 사용하여야만 한다는 단점이 있다. 루프필터 대역폭을 줄이거나 전압제어발진기의 이득을 줄여 스퍼의 크기를 줄일 수 있으나 위상고정 시간은 증가하게 된다.[3]-[4] 기준신호를 부스팅하여 공급하는 기법 [5]으로 기준신호 스퍼의 크기는 줄였으나 위상잡음 특성이 나빠지는 결과를 초래하였다. Fractional-N 구조에 자가 주입기법을 도입[6]하여 fractional-N 구조에서 반드시 동반되는 fractional 스퍼를 줄였지만 발진기 출력신호를 지연시키는 과정에서 외부요인 변화가 생길경우 정확한 지연시간을 제어하기가 상당히 힘들어진다. 스퍼에 해당하는 신호를 상쇄시키는 기법 [7]이 제안되어 스퍼의 크기를 줄였으나 이를 위해 복잡한 구조를 동반하여 설계하기가 다소 어려워진다. Integer-N 분주기의 단점을 보완하고 Dual Modulus 전치분주기를 사용하여 높은 주파수에서도 저전력으로 동작하는 Fractional-N PLL을 제안하였다[8]. [8]은 제한적인 주파수에서 적용되고, 복잡한 구조로 인한 면적문제가 생기게 된다. 적응적 위상잡음 상쇄기를 활용한 Fractional-N PLL을 구현하여 넓은 대역폭과 저전력의 PLL을 구현하였다[9]. [9]에서의 구조는 4차 루프필터를 사용해야 한다는 점과 복잡한 구조의 디지털 블록으로 만들어지기 때문에 칩의 전체적인 크기가 커지게 된다. Digital-to-analog converter (DAC)를 사용하여 구현하였다[10]. 이는 전류소모와 면적이 증가하는 문제가 생기게 된다.

본 논문에서는 델타-시그마 변조기와 스퍼감소회로를 사용하여 스퍼 잡음을 높은 주파수 대역으로 이동시켜 루프 필터로 제거하는 방법과 한주기당 발생하는 루프필터 전압변화를 감소시키는 방법을 같이 사용하여 스퍼 특성을 크게 개선하였다. 이는 각 구성요소의 성능을 개선시키지 않고도 회로 전체의 스퍼를 감소시켜준다.

2. 제안한 위상고정루프 회로

기존 구조의 위상고정루프에서는 출력 주파수를 생성하는 전압제어발진기(VCO)의 입력전압인 루프필터 전압은 기준 신호의 주기마다 전압 변동이 발생한다. 이에 의해 기준신호 스퍼(reference spur)가 나타나게 된다. 위상고정루프에서 루프필터의 전압변화, 즉 변동 폭은 전압제어발진기의 스퍼 특성을 포함한 잡음특성에 직접적인 영향을 주는 요소이기 때문에 그 변동 폭을 최소화시키는 것이 매우 중요하다.

루프필터의 전압변화와 스퍼는 식(1)과 같은 관계가 있다.

$$\begin{aligned}
 Spur &= 20\log \frac{K_{VCO} \cdot A_m}{2f_{ref}} \\
 &= 20\log \frac{K_{VCO} \cdot A_m \cdot T_{ref}}{2} \quad (1)
 \end{aligned}$$

여기서 K_{VCO} 는 전압제어발진기의 기울기이고, A_m 은 기준 신호 한 주기 T_{ref} 동안 발생하는 루프필터 전압의 진폭이며, 그림 1에 나타내었다. 한주기 동안 발생하는 초과위상변이(excess phase shift)는 유효면적 ΔA 에 크기에 비례하며, 스퍼 크기도 $\Delta A (\propto A_m \times T_{ref})$ 크기에 비례한다.

제안된 위상고정루프는 스퍼의 크기를 줄이기 위해 두 가지 방법을 도입하였다. 제안된 위상고정루프의 회로도도 루프필터 파형을 그림 2의 (a), (b)에 각각 나타내었다.

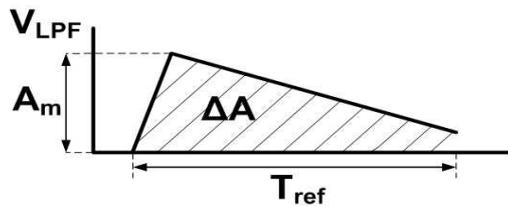


그림 1. 위상고정루프의 위상이 고정된 후 나타나는 루프필터 전압파형.
Fig. 1. Loop filter voltage variation waveform after PLL is locked.

제안된 위상고정루프는 두 개의 위상주파수 검출기

(Phase Frequency Detector : PFD), 전하펌프 (Charge Pump : CP), 2차 루프 필터(Loop Filter : LF), 전압제어발진기(Voltage Controlled Oscillator : VCO), 분주기(Div), 그리고 델타-시그마 변조기(delta-sigma modulator; DSM)와 스퍼감소회로(spur reduction circuit; SRC)로 구성되어있다.

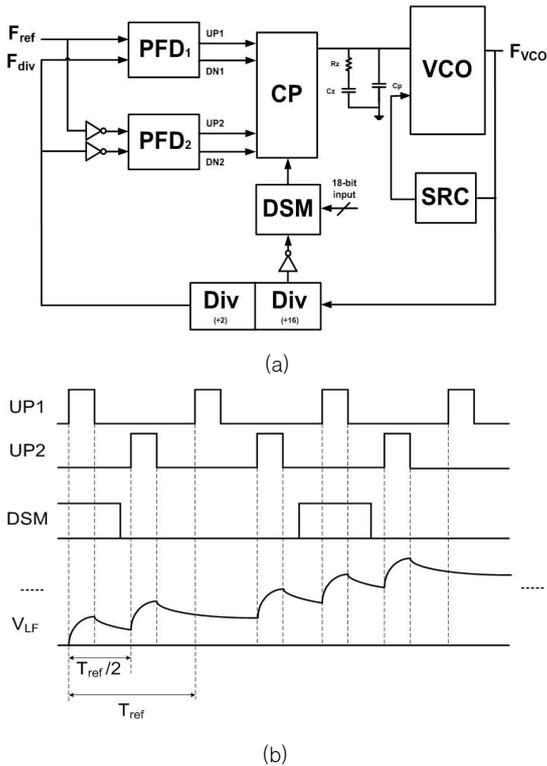


그림 2. (a) 제안된 위상고정루프 구조 (b) 제안된 위상고정루프의 루프필터 출력파형
 Fig. 2. (a) Proposed PLL. (b) Loop-filter output waveform of proposed PLL.

DSM은 유효 기준신호 주기를 변화시켜 스퍼 크기를 줄이기 위해 사용되었다. 두 개의 CP를 통해 나오는 UP/DN 펄스가 DSM 신호에 의해 선택·제어되면서 그림 2의 (b)에서와 같이 A_m 이 발생하는 전압상승(하강) 시점이 변화하게 된다. 제안된 위상고정루프에 사용되는 DSM은 스퍼 잡음을 고주파 대역으로 옮겨주는 잡음형성 특성을 가지고 있다. 잡음형성 효과는 DSM의 차수가 높을수록 잡음을 고주파 대역으로 많이 옮길 수 있

지만 연산시간의 증가, 대역폭의 한계, 신호의 왜곡 등의 부작용도 있다. 이를 개선하기 위해 고안된 MASH DSM은 안정한 1차 DSM을 cascade 형태로 연결한 것으로 1차의 안정성과 높은 차수의 특성을 함께 보인다. 제안된 위상고정루프에는 그림 3의 (b)와 같은 3차 MASH DSM을 사용하였다. 그림 3의 (b)에 나타난 바와 같이 DSM을 사용하여 CP를 선택하면 기준 신호 주기가 변하여 스퍼 잡음이 높은 주파수대로 이동하는 잡음형성 현상이 일어나 스퍼 크기가 감소한다. 높은 주파수대로 이동된 잡음은 루프필터가 효과적으로 제거하게 된다.

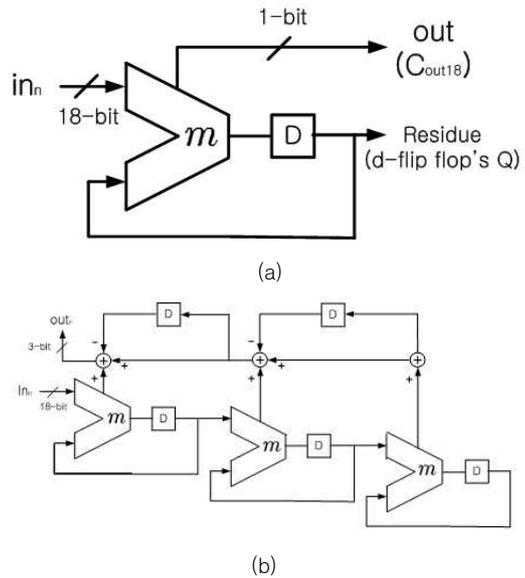


그림 3. (a) 1차 MASH 델타-시그마 모듈레이터 (b) 3차 MASH 델타-시그마 모듈레이터
 Fig. 3. (a) 1st-order MASH delta-sigma modulator. (b) 3rd-order MASH delta-sigma modulator.

스퍼 크기를 더욱 더 줄이기 위해 SRC를 도입하였다. 그림 4 (a)가 보여주듯이 PFD에서 UP 신호가 발생하면 CP에서 LF로 전하가 공급되어 루프 필터 전압이 상승한다. 일반적으로 가장 많이 사용되는 2차 LF의 경우, Cp에 전하가 충전된 후 Cz로 전하가 방전되어 전압이 하강하게 된다. 그림 4 (b)의 빗금 친 부분의 면적이 초과위상변이의 크기를 결정한다. SRC는 VCO에 다른 입력전압 V_{src} 를 제공하며 독자적인 부

귀환 루프를 이룬다. V_{src} 는 FOUT의 주파수가 높으면(낮으면) 낮아지게(높아지는)되어 VCO 출력 주파수가 미세하게 변할 때마다 주파수 변화를 줄여주는 보상기로 동작한다. 이러한 과정을 그림 4의 (b)에 나타내었으며 작아진 초과위상변이의 크기는 스퍼의 크기를 줄이는 역할을 한다.

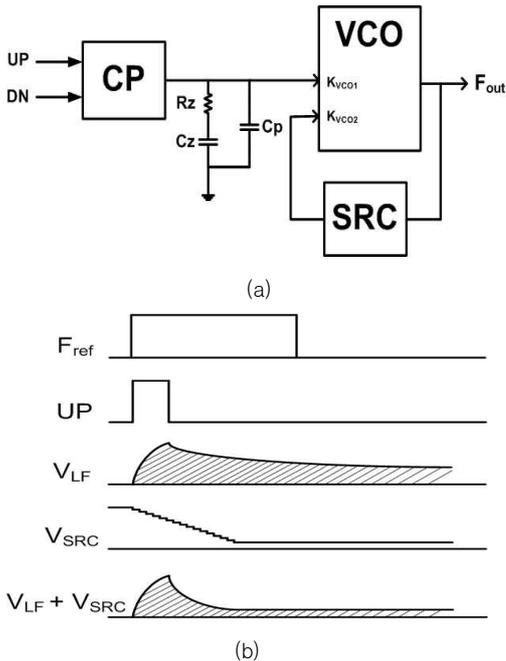


그림 4. (a) VCO와 SRC로 구성된 2차 LF선형 부궤환 회로 (b) SRC 역할
 Fig. 4. (a) linear feedback circuit with Second-order loop filter consisting of VCO and SRC. (b) SRC operation process.

제안된 위상고정루프는 DSM과 SRC를 사용하여 스퍼 크기를 줄였다.

3. 회로 설계

제안된 위상고정루프에 사용된 DSM은 기준신호보다 12배 빠른 16분주된 신호를 사용하였다. CP를 적절히 제어하기 위해서는 DSM 신호의 타이밍이 각각의 UP/DN 펄스에 영향을 미치지 않고 선택할 수 있도록 하는 것이다. 충분한 여유간격을 확보하기 위해

분주기의 16분주 신호의 반전신호를 사용하였으며 이를 그림 5에 나타내었다. 분주기의 16분주 신호의 반전신호에 따라 DSM의 출력 값이 달라진다. 이 값에 따라 두 개의 PFD 출력 신호 중 하나가 선택되어 CP 동작을 제어한다.

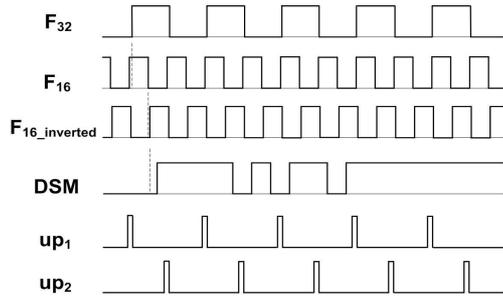


그림 5. DSM 신호 타이밍도
 Fig. 5. DSM signal timing.

그림 6는 제안된 위상고정루프에 사용된 CP 회로이다. 기준 신호보다 2배 빠른 DSM 출력 신호와 이를 반전시킨 신호를 사용하여 CP를 제어하였다.

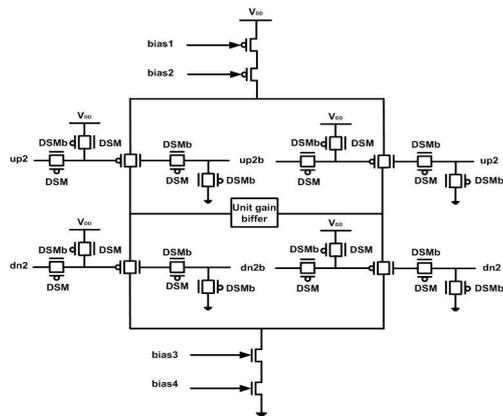


그림 6. 제안된 CP
 Fig. 6. Proposed CP.

SRC의 회로를 그림 7에 나타내었다. SRC는 그림 7의 (b)와 같이 위상고정루프의 출력신호인 FVCO를 입력신호로 사용하며 이로부터 서로 겹치지 않는 SRC

제어신호 ϕ_1 과 ϕ_2 를 생성한다. ϕ_1 과 ϕ_2 가 입력되지 않는 시간 동안 I_{src} 가 C_x 로 흘러들어간다. ϕ_1 신호에 의해 C_x 에 충전된 전하가 C_y 로 흘러들어가며 ϕ_2 신호에 의해 C_x 에 있던 전하가 방전된다. FVCO의 주파수가 증가(감소)하면 V_{src} 는 감소(증가)한다. 이를 통해 SRC는 보상기로 작용하여 ΔA 를 크기, 즉 그림 4(b)의 빗금 친 부분의 면적을 작게 해주는 역할을 하여 스퍼 크기를 줄여준다.

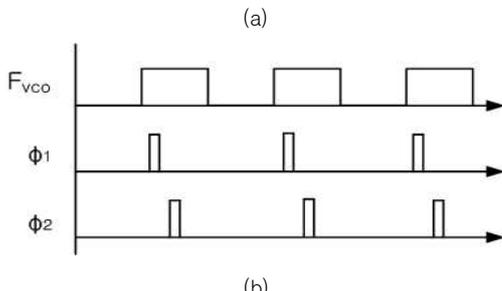
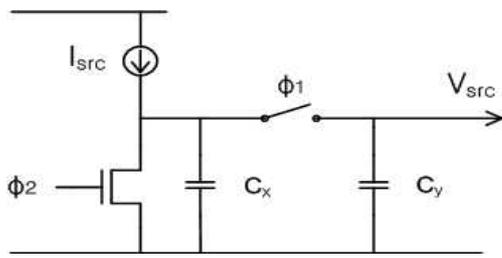


그림 7. (a) SRC 회로도. (b) 제어 신호 타이밍
Fig. 7. (a) SRC schematic. (b) Control signal timing.

4. 시뮬레이션 결과

제안된 위상고정루프는 0.18 μ m CMOS 공정으로 시뮬레이션 하였으며 32의 분주비와 37.5MHz의 입력 주파수를 통해 1.2GHz의 출력주파수를 출력한다. 시뮬레이션에 사용된 변수는 $I_p=180\mu A$, $R_z=1.8k\Omega$, $C_z=200pF$, $C_p=20pF$, $K_{vco}=700MHz/V$, $400MHz/V$, $N=32$ 이다.

DSM 신호에 따라 나타나는 루프필터 파형을 그림 8에 나타내었다. 그림 2의 (b)파형전개와 같이 루프필터 파형의 주기가 랜덤하게 변화하는 것을 확인할 수 있다.

제안된 위상고정루프의 개선된 스퍼의 크기를 확인하기 위해 FFT를 실행한 것을 그림 9에 나타내었다. 제안된 위상고정루프에서 DSM과 SRC를 제외한 구조인 (a)에 비해 제안된 위상고정루프 구조 (b), (c)가 전체적인 주파수 대역에서 스퍼의 크기가 현저히 작음을 확인할 수 있다. 이는 DSM과 SRC를 사용한 경우 전체 스퍼의 크기를 현저히 줄여준 것을 의미한다. 또한 SRC 내부전류 I_{src} 를 달리한 (b), (c)를 살펴보면, 전체 대역에서의 양상이 비슷하지만 I_{src} 가 더 큰 (c)에서 기준신호의 주기에 해당하는 37.5MHz와 반주기에 해당하는 75MHz 지점의 스퍼의 크기가 더 작아짐을 확인할 수 있다. 이는 일종의 보상기로 작용하는 SRC가 전류량이 증가 한만큼 보상기로서 PLL에 미치는 영향이 더 증가되어 한주기당 발생하는 초과위상변이를 보다 많이 줄일 수 있었다. 37.5MHz와 75MHz 지점의 스퍼의 크기를 최대 각각 5dB와 20dB 정도 감소 시켰다.

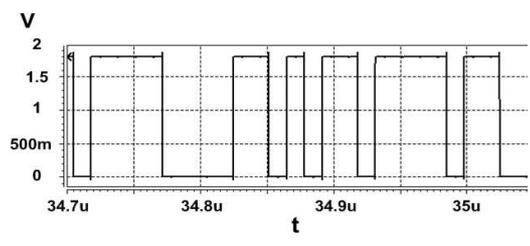
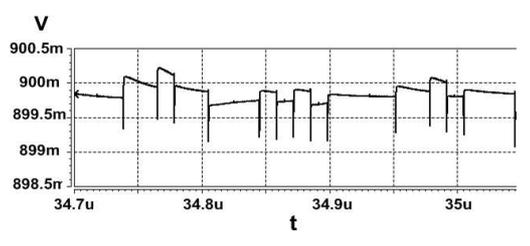


그림 8. (a) 위상고정루프의 루프필터 파형 (b) DSM 출력신호 파형.
Fig. 8. (a) LF waveform of proposed PLL (b) DSM output signal waveform.

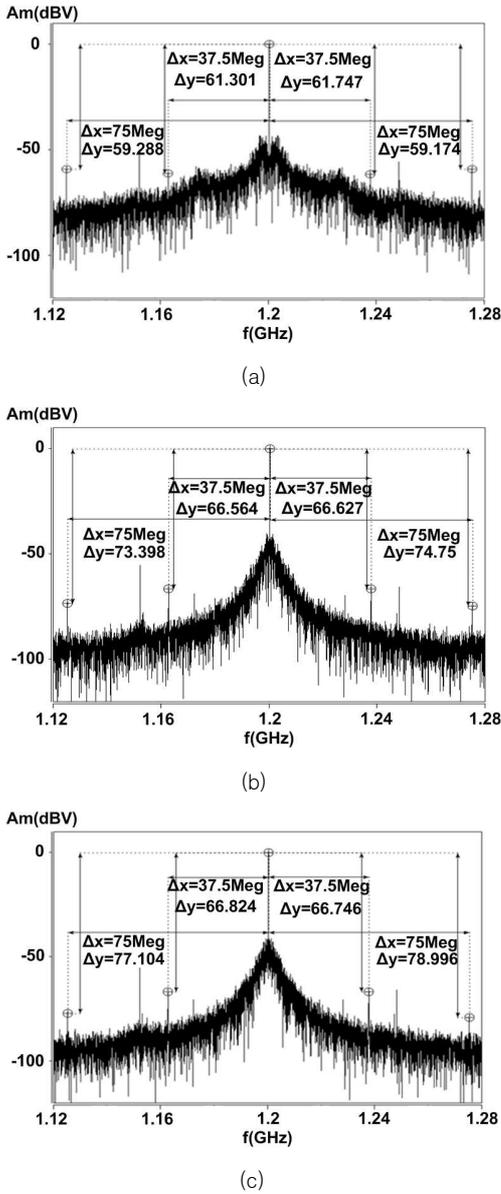


그림 9. (a) DSM과 SRC를 제외한 위상고정루프의 FFT. (b) 제안된 위상고정루프, ISRC=10µA. (c) 제안된 위상고정루프, ISRC=20µA
 Fig. 9. (a) FFT of proposed PLL without DSM and SRC. (b) Proposed PLL, ISRC=10µA. (c) Proposed PLL, ISRC=20µA.

5. 결론

논문에서는 델타-시그마 변조기와 스퍼감소회로를 사용하여 스퍼의 크기를 줄인 위상고정루프를 제안하였다. 델타 시그마 변조기로 두 개의 전하펌프를 제어하여 기준 신호의 주기가 변한 것처럼 동작시켜 스퍼 잡음이 높은 주파수 대역으로 옮겨가는 잡음형성 현상을 일어나게 하여 스퍼 크기를 줄였다. 또한 한주기당 발생하는 루프 필터 전압 변화를 감소 시켜주는 스퍼감소회로를 사용하여 같이 사용하여 스퍼의 크기를 최대 20dB 줄였다. 스퍼감소회로는 전압제어발진기의 출력 신호를 사용하여 스퍼 크기 감소를 극대화하였다. 제안된 위상고정루프는 대역폭이 좁은 통신시스템에 사용될 수 있다.

REFERENCES

- [1] Y. Lee, T. Seong, S. Yoo, and J. Choi, "A -242-dB FOM and -71-dBc reference spur ring VCO based ultra low jitter switched loop filter PLL using a fast phase-error correction technique", VLSI Circuits Symposium on, pp. 186 - 187, 2017.
- [2] A. Rao, M. Mansour, G. Singh, C. Lim, R. Ahmed, and D. R. Johnson, "A 4-6.4 GHz LC PLL with adaptive bandwidth control for a forward clock link", IEEE Journal of Solid-State Circuits, vol. 43, no. 9, pp. 2099-2108, Sept. 2008.
- [3] W. B. Wilson, U. Moon, K. R. Lakshmikummar, and L. Dai, "A CMOS self-calibrating frequency synthesizer", IEEE Journal of Solid-State Circuits, vol. 35, pp. 1437-1444, Oct. 2000.
- [4] Wu-Hsin Chen, Wing-Fai Loke, and Byunghoo Jung, "A 0.5-V, 440-µW Frequency Synthesizer for Implantable Medical Devices", IEEE Journal of Solid-State Circuits, vol. 47, no. 8, pp. 1896 - 1907, Aug. 2012.
- [5] M. M. Elsayed, M. Abdul-Latif, E. Sanchez-Sinocio, "A spur - frequency - boosting PLL with a -74 dBc reference-spur suppression in 90 nm digital CMOS", IEEE Journal of Solid-State Circuits, vol. 48, no. 9, pp. 2104-2117, Sept. 2013.
- [6] M. Kobayashi, Y. Masui, T. Kihara and T. Yoshimura, "Spur Reduction by Self-Injection Loop in a Fractional-N PLL", 2017 24th IEEE International Conference on Electronics, Circuits a

nd Systems (ICECS), 2017.

[7] C.-R Ho and , M.S.W. Chen, "A Digital PLL with Feedforward Multi-Tone Spur Cancellation Loop Achieving $<-73\text{dBc}$ Fractional Spur and $<-110\text{dBc}$ Reference Spur in 65nm CMOS", IEEE Journal of Solid-State Circuits, vol. 51, no. 12, pp. 3216- 3230, Feb., 2016.

[8] M. Zackriya V, J. Reuben, H. M Kittur, "A low power dual modulus prescaler for fractional-N PLL synthesizer", Electronics and Communication Systems (ICECS), pp. 1-4, Feb., 2014.

[9] Y. Zhang, J. H. Mueller, B. Mohr, L. Liao, A. Atac, R. Wunderlich, S. Heinen, "A Multi-Frequency Multi-Standard Wideband Fractional-N PLL With Adaptive Phase-Noise Cancellation for Low-Power Short-Range Standards", IEEE Transactions on Microwave Theory and Techniques, vol. 64, pp. 1133-1142, Apr., 2016.

[10] E. Temporiti, G. Albasini, R. Castello, and M. Colombo, "A 700-KHz bandwidth $\Delta\Sigma$ fractional synthesizer with spurs compensation and linearization techniques for WCDMA applications", IEEE J, Solid-State Circuit, vol. 39, pp. 1446-1454, Sept., 2004.

한 근 형 (Geun-Hyeong Han)

[학생회원]



- 2017년 부경대학교 전자공학과 학사 졸업.
- 2017년 부경대학교 전자공학과 석사 입학.

<관심분야>

PLL, DLL 설계

저자약력

최영식 (Young-Shig Choi)

[정회원]



- 1982년 경북대학교 전자공학과 학사 졸업.
- 1986년 Texas A&M University 전자공학과 석사 졸업.
- 1993년 Arizona State University 박사 졸업.
- 1987년 ~ 1999년 현대전자(현 SK Hynix) 책임연구원
- 2003년 ~ 현재 부경대학교 전자공학 교수

<관심분야>

PLL, DLL 설계