

# 유도성 기생성분에 의한 드레인전류 응답지연을 포함한 SOI MOSFET 고주파모델

김규철\*

## Drain Current Response Delay High Frequency Model of SOI MOSFET with Inductive Parasitic Elements

Gue-Chol Kim\*

요 약

본 논문에서는 고주파에서 동작하는 공핍형 SOI MOSFET의 드레인 전류가 유도성 기생성분에 의해서 응답지연이 일어나는 것을 처음으로 확인하였다. 공핍형 SOI MOSFET는 드레인전압 변동에 따른 드레인전류의 응답지연이 발생하기 때문에 일반적인 MOSFET 고주파모델로는 해석할 수가 없다. 이러한 응답지연은 non-quasi-static 효과로 설명될 수 있으며 SOI MOSFET에서는 일반적인 MOSFET에 비해 유도성 기생성분에 의해 응답지연이 크게 발생하게 된다. 본 논문에서 제시한 고주파모델을 이용하여 공핍형 SOI MOSFET의 드레인 응답지연을 잘 표현하는지 확인한다.

### ABSTRACT

In this paper, it was firstly confirmed that the drain current of the depleted SOI MOSFET operated in the high frequency response delay occurs by the inductive parasitic. Depleted SOI MOSFET cannot be applied as a conventional high-frequency MOSFET model because the response delay of the drain current is generated in accordance with the drain voltage fluctuation. This response delay may be described as a non-quasi-static effect, and the SOI MOSFET generated the response delay by the inductive parasitics compared to typical MOSFET. It is confirmed that depleted SOI MOSFET's RF characteristics can be well reproduced with the proposed method including the drain current response delay.

### 키워드

NQS, CMOS, Z-parameter, MOSFET, High frequency  
NQS, CMOS, Z 파라미터, MOSFET, 고주파

### 1. 서 론

SOI (Silicon-On-Insulator) 기술은 실리콘 산화막 (SiO<sub>2</sub>) 위에 MOSFET를 형성하는 것으로 각 소자와 소자사이가 절연되어 있어 기존의 Bulk MOSFET와 비교하여 MOSFET 소자와 기판 사이의 용량이 작아

누설전류 및 소자간의 잡음에 의한 영향이 작다[1, 2]. 또한 MOSFET의 동작 속도는 드레인 전류와 게이트와 드레인 및 소스 확산층간의 용량에 따라 결정되는데 SOI MOSFET 구조상 드레인과 소스 확산층 용량이 감소하기 때문에 문턱전압의 감소와 그에 따른 대기누설 전류의 증가 없이 동작 속도를 확보할 수 있

\* 교신저자 : 목포해양대학교 해양메카트로닉스학부

• 접수일 : 2018. 07. 09  
• 수정완료일 : 2018. 08. 27  
• 게재확정일 : 2018. 10. 15

• Received : July. 09, 2018, Revised : Aug. 27, 2018, Accepted : Oct. 15, 2018

• Corresponding Author : Gue-Chol Kim  
Division of Marine Mechatronics, Mokpo Maritime University,  
Email : gckim@mmu.ac.kr

다[3]. 게다가 MOSFET 소자와 기판이 완전히 분리되어 있어 대기누설 전류의 하나인 접합누설 전류도 크게 감소되어 SOI MOSFET를 고주파회로에 적용하게 되면 기존에 MOSFET를 사용한 것보다 고성능, 고효율, 저잡음의 특징을 가질 수 있다[4, 5]. 그러나 낮은 주파수인 경우에는 MOSFET의 게이트 단자가 실리콘 산화막에 의해 절연되어 신호가 흐르지 않아 게이트저항을 무시할 수 있지만, 고주파신호에서는 게이트와 소스, 게이트와 드레인 사이의 확산용량을 무시할 수 없기 때문에 게이트 전극의 전기 저항을 무시할 수 없게 된다. 이러한 고주파 신호의 입력에 대한 MOSFET의 응답을 생각한다면, 저주파 신호에서 무시할 수 있었던 기생저항이나 용량 그리고 유도성 기생성분의 영향도 고려하여야한다[5, 6]. 또한 MOSFET을 고속으로 동작 시키면 전하 지연의 영향도 무시할 수 없게 되며 일반적인 MOSFET보다 SOI MOSFET에 의해 현저하게 목격된다. 이러한 전하의 지연은 SOI MOSFET에서 게이트 뿐 아니라 드레인 전압에 따른 드레인 전류의 지연으로 나타나게 되며 선형영역에서 그 현상은 더 활발하게 발생한다.

Shimizu는 SOI MOSFET에서의 드레인 응답지연을 처음으로 발견하였으며 이 영향을  $\tau_{ds}$  로 표현하여 고주파 모델에 적용하였다[7]. 하지만 이것은 MOSFET의 소자에 직렬로 연결되어 있는 기생저항 및 유도성 기생성분에 의한 영향을 고려하지 않아 높은 주파수에서의 동작을 정확하게 예측하기 어려운 단점이 있다.

본 논문에서는 SOI MOSFET의 고주파회로의 동작특성을 정확하게 예측하기 위해 유도성 기생성분에 의한 드레인 전류 응답지연을 확인하고 측정된 결과와 제안한 고주파모델을 비교하여 증명하도록 한다.

## II. SOI MOSFET의 고주파등가회로

### 2.1 SOI MOSFET의 등가회로

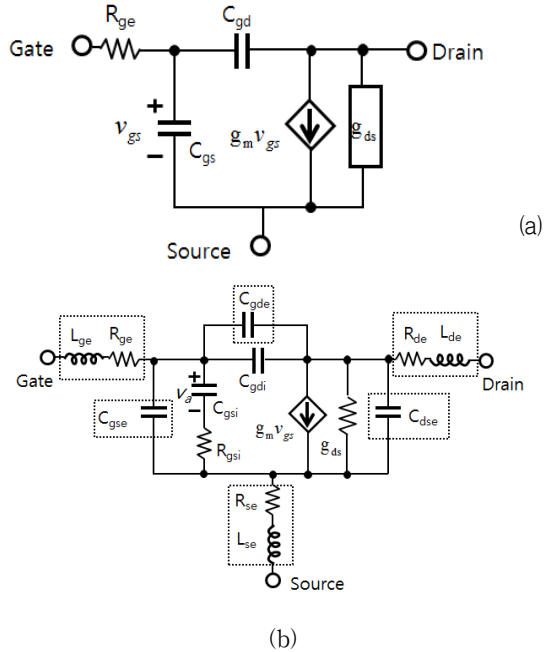


그림 1 SOI MOSFET의 등가회로 (a) 일반적인 모델 (b) 기생성분을 고려한 고주파모델

Fig. 1 High frequency equivalent circuit of SOI MOSFETs (a) Conventional model (b) High frequency model with parasitic elements

그림1(a)는 기생성분을 고려하지 않은 Bulk MOSFET의 소신호 모델이다. 여기서  $R_{ge}$ 는 게이트에 연결되어 있는 직렬저항을 나타내고 다음의 식으로 표현된다[5].

$$R_{ge} = \frac{R_{sg}}{L_f N_f} \left( \frac{W_{ext}}{2} + \frac{W_f}{12} \right) + \frac{R_{cg}}{N_{cg} N_f} \quad (1)$$

여기서  $R_{sg}$ 는 게이트의 시트저항,  $L_f$ 는 평균한개의 게이트 길이,  $N_f$ 는 게이트평균의 수,  $W_f$ 는 평균한개의 게이트 폭,  $W_{ext}$ 는 게이트 콘택트영역과 확산층 영역과의 거리,  $R_{cg}$ 는 콘택트 1개당 저항,  $N_{cg}$ 는 콘택트의 수를 나타낸다.  $C_{gs}$ 와  $C_{gd}$ 는 각각 게이트와 소스, 게이트와 드레인 확산용량을 나타내고  $g_{ds}$ 는 드레인 소스간 컨덕턴스를 나타낸다.

그림1(b)는 NQS효과 및 기생소자를 포함한 고주파 소신호 모델이다. NQS효과를 나타내는  $R_{gsi}$ 와 게이트와 소스( $C_{gsi}$ ), 게이트와 드레인사이의 용량( $C_{gdi}$ ) 외에 게이트, 소스, 드레인에 각각 직렬로 연결되어 있는 기생저항( $R_{ge}$ ,  $R_{de}$ ,  $R_{se}$ )과 유도성 기생성분( $L_{ge}$ ,  $L_{de}$ ,  $L_{se}$ ), 각 단자에 병렬로 연결되어 있는 용량성 기생성분( $C_{gse}$ ,  $C_{dse}$ ,  $C_{gde}$ )으로 구성되어 있다. 여기서  $C_{gse}$ 와  $C_{dse}$ 는 채널에 포함되지 않는 게이트와 소스, 게이트와 드레인사이의 오버랩 용량을 의미한다. 그림 1(b)의 고주파 등가회로를 Z-parameter로 계산하면 식 (2), 식(3), 식(4), 식(5)와 같다.

$$Z_{11} = R_{ge} + R_{se} + j\omega(L_{ge} + L_{se}) + \frac{\frac{g_{ds}}{1+j\omega\tau_{ds}} - j\omega(C_{gd} + C_{ds})}{D}}{D} \quad (2)$$

$$Z_{12} = R_{se} + j\omega L_{se} + \frac{j\omega C_{gd}}{D} \quad (3)$$

$$Z_{21} = R_{se} + j\omega L_{se} - \frac{\frac{g_{ds}}{1+j\omega\tau_{ds}} - j\omega C_{gd}}{D}}{D} \quad (4)$$

$$Z_{22} = R_{de} + R_{se} + j\omega(L_{de} + L_{se}) + \frac{j\omega(C_{gd} + C_{ds})}{D} \quad (5)$$

여기서  $D$ 는  $-\omega^2(C_{gsi}C_{gdi} + C_{gsi}C_{gdi} + C_{gdi}C_{dsi}) + j\omega\left[\frac{g_m}{1+j\omega\tau_{gm}}C_{gd} + \frac{g_{ds}}{1+j\omega\tau_{gds}}(C_{gsi} + C_{gdi})\right]$

를 나타낸다.

위의 식 (2)에서 (5)는 MOSFET의 입출력특성을 나타낸 식으로 이것은 MOSFET의 고유의 특성( $Y_{int}$ )과 MOSFET의 각 단자에 직렬로 연결되어 있는 기생 성분( $Z_s$ )과 병렬로 연결되어 있는 용량성 기생성분( $Y_p$ )들을 모두 포함하고 있다.

이들의 관계는 식 (6), 식(7), 식 (8)과 같이 표현될 수 있다[6].

$$Z_s = \begin{bmatrix} R_{ge} + R_{se}, & R_{se} \\ R_{se}, & R_{ge} + R_{se} \end{bmatrix} + j\omega \begin{bmatrix} L_{ge} + L_{se}, & L_{se} \\ L_{se}, & L_{de} + L_{se} \end{bmatrix} \quad (6)$$

$$Y_p = j\omega \begin{bmatrix} (C_{se} + C_{de}), & -C_{de} \\ -C_{de}, & (C_{se} + C_{de}) \end{bmatrix} \quad (7)$$

$$Y_f = Y[Z_{tr} - Z_s] - Y_p \quad (8)$$

식 (6)~(8)을 이용하면 MOSFET의 측정결과( $Z_{tr}$ )에서 기생성분을 제거한 MOSFET의 고유의 특성( $Y_{int}$ )을 추출할 수 있다.

## 2.2 기생성분의 추출

MOSFET의 고주파 특성의 측정은 2-port S-파라미터로 한다. 측정은 실리콘 웨이퍼의 MOSFET에 GSG 프로브를 연결시켜, Port 1에는 게이트, Port 2에 드레인을 연결하고 소스와 기판은 접지에 연결한다. 또한 여기에서는 Floating-Body 구조의 소자를 이용한 때문에 Body 단자는 존재하지 않는다. 측정은 S-파라미터 벡터 네트워크 분석기 Agilent 8722ES를 이용하여 0.2GHz에서 20GHz까지의 S-파라미터를 측정했다. 그러나 여기에서 얻은 S-파라미터 측정은 MOSFET의 특성 외에, 외부 장치와의 연결을 위한 패드 및 배선의 영향을 포함한다. 이러한 영향은 S-파라미터를 Y-파라미터로 변환하는 과정에서 제거할 수 있다[2].

본 연구에서는 멀티핑거형태의 n+ polysilicon 게이트로 구성된 게이트길이 0.14 $\mu$ m 채널폭 80 $\mu$ m의 MOSFET를 사용하였다.

다음은 MOSFET의 각 단자에 직렬로 연결되어 있는 기생저항과 유도성 기생성분을 추출하는 방법이다. 식(2)에서 (5)를 정리하면 다음과 같이 간략화시킬 수 있다[6].

$$Re(Z_{trij}) = Re(Z_{ij}) + \frac{A_{ij}}{\omega^2 + B} \quad (9)$$

for  $i, j \in 1, 2$

$$\frac{1}{\omega} Im(Z_{trij}) = \frac{1}{\omega} Im(Z_{ij}) - \frac{E_{ij}}{\omega^2 + B} - \frac{F_{ij}}{\omega^2(\omega^2 + B)} \quad (10)$$

for  $i, j \in 1, 2$

여기서 B,  $A_{ij}$ ,  $E_{ij}$ ,  $F_{ij}$ 는 주파수와는 무관한 상수를 나타낸다. 따라서 주파수가 무한대가 되면 식 (11)과 같은 관계로 나타낼 수 있다.

$$y_0 = Re(Z_{kl}) - dx Re(Z_{ij}) \quad (11)$$

식(11)에서  $y_0$ 는 x축의 값이 0일 때 y축의 값으로 주파수가 무한대일때의 임피던스값을 나타내며, dx는

기울기를 나타낸다. 식 (11)을 이용해서  $Re[Z_{21}, Z_{11}]$ ,  $Re[Z_{21}, Z_{12}]$ ,  $Re[Z_{12}, Z_{22}]$ 의 관계를 이용하면  $R_{ge}$  와  $R_{de}, R_{se}$ 를 구할 수 있다.

그림 2는 위 식 (11)을 이용하여  $R_{de}$ 값을 추출하기 위한 그래프로  $R_{de} = y_0 + (1-dx)R_{se}$  으로 1.2Ω의 값을 추출 할 수 있었다.

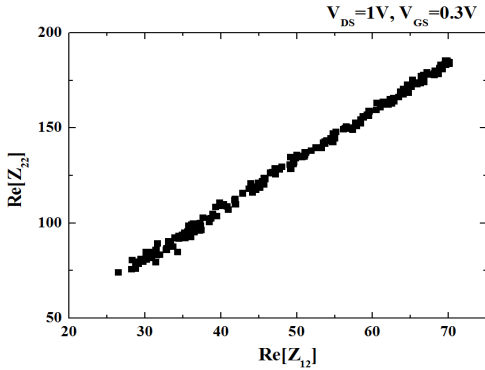


그림 2. Rde의 추출  
Fig. 2 Extraction of the Rde

또한 같은 방법으로 식(10)를 이용해서 다음과 같은 관계로 나타낼 수 있다.

$$\frac{1}{\omega} \text{Im}(Z_{12}) = L_{se} + \frac{E_s}{\omega^2 + B} \quad (12)$$

$$\frac{1}{\omega} \text{Im}(Z_{22} - Z_{12}) = L_{de} + \frac{E_d}{\omega^2 + B} \quad (13)$$

$$\frac{1}{\omega} \text{Im}(Z_{11} - Z_{12}) = L_{ge} + \frac{E_d}{\omega^2 + B} - \frac{F_d}{\omega^2(\omega^2 + B)} \quad (14)$$

식 (12)~(14)를 이용해서  $L_{ge}, L_{de}, L_{se}$ 의 관계를 그림 3과 같이 나타낼 수 있다.

각 그래프의 기울기는  $L_{ge}, L_{de}, L_{se}$ 의 값을 나타내며 MOSFET의 레이아웃을 고려해보면  $L_{de}, L_{se}$ 에 비해  $L_{ge}$ 가 크다는 것을 확인 할 수 있다. 또한 식 (12)과 (13)의 관계를 생각하면

$$y_0 = L_{se} - dx(L_{de} + L_{se}) \quad (15)$$

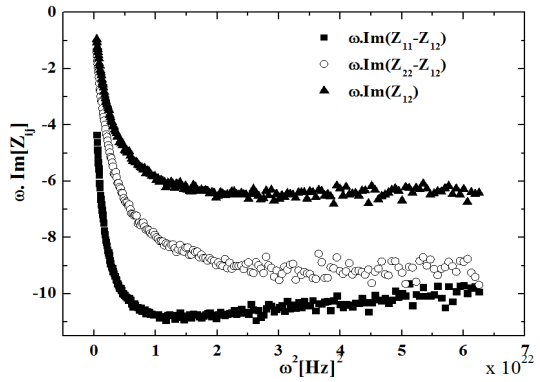


그림 3. Lge, Lde, Lse의 추출  
Fig. 3 Extraction of the Lge, Lde, Lse

로 표현할 수 있고 그림 4와 같이 나타낼 수 있다. 그림 3~5를 이용해서 추출한 기생저항( $R_{ge}, R_{de}, R_{se}$ )과 기생인덕터( $L_{ge}, L_{de}, L_{se}$ )의 값은 표 1과 같다.

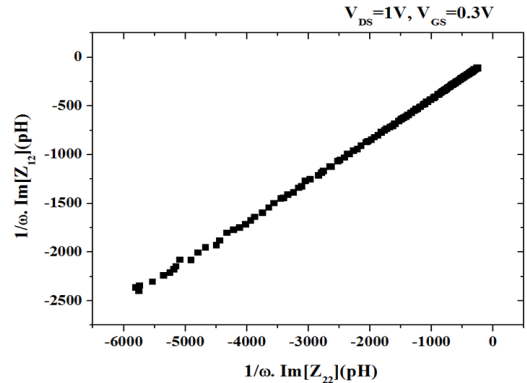


그림 4. Lde의 추출  
Fig. 4 Extraction of the Lde

표 1. 기생소자 추출값  
Table 1. Extraction value of parasitic elements

R	value(Ω)	L	value(pH)
$R_{ge}$	5.3	$L_{ge}$	4.8
$R_{de}$	1.2	$L_{de}$	1.2
$R_{se}$	0.7	$L_{se}$	1.1

### III. SOI MOSFET의 드레인 응답지연

MOSFET를 고주파영역에서 동작시켰을 경우, 반전층을 형성하는 전하는 소스로부터 채널 전체에 전개되어가지만, 전하는 고주파 신호에 대한 응답에 지연을 일으켜 반전층의 형성이나 드레인 전류에 영향을 준다. 이와 같이 MOSFET의 고주파 동작에 있어서 입력 신호에 대한 전하의 응답 지연 현상을 NQS (Non-Quasi Static)라고 부른다[1]. 실제 NQS 지연의 모습은 MOSFET을 차단 주파수 부근에서 동작시켜야 확인할 수 있지만, NQS의 영향은 수 GHz 정도의 주파수 대역에서도 확인되고 있다. NQS 저항은 이론적으로  $\kappa gm$ 에 반비례하며,  $\kappa$ 는 Elmore계수라고 불러 통상 값을 5로 사용한다. 이 식은 캐리어속도포화 또는 단채널효과의 요소가 포함되어있지 않기 때문에 단채널 소자의  $\kappa$ 는 5보다 작다고 할 수 있다[5]. SOI MOSFET에서의 전류의 지연은 게이트전압에 의한 것 뿐아니라 드레인전압에 의해서도 나타난다. NQS에 따른 드레인전류의 응답지연요소를 도입한  $g_{ds}$ 는 식 (16)과 같다[8, 9].

$$g_{ds} = \frac{g_{ds0}}{1 + \tau_{ds}} \tag{16}$$

$$= \frac{g_{ds0}}{1 + \omega^2 \tau_{ds}^2} - j\omega \frac{\tau_{ds} g_{ds0}}{1 + \omega^2 \tau_{ds}^2}$$

여기에서  $g_{ds0}$ 는 NQS의 영향이 적은 저주파에서의  $g_{ds}$ 값을 나타내고  $\tau_{ds}$ 는 드레인전류의 응답지연을 나타낸다.

그림 5는 SOI MOSFET를 측정된 값과 제안한 모델을 이용해 계산한 값을 비교한 결과이다. 그림에서 기생성분을 포함하지 않은 모델과 기생성분을 포함한 모델을 비교해 보면 기생성분을 포함한 모델이 측정값과 현저하게 일치하는 것을 확인할 수 있다. 그림 5(a)는 Z-파라미터의 실수부를 나타내고 있으며 게이트와 소스, 그리고 드레인에 직렬로 연결되어 있는  $R_{ge}$ 와  $R_{se}$ ,  $R_{de}$ 에 의해 차이가 나는 것을 확인할 수 있다. 그림 5(b)는 Z-파라미터의 허수부를 나타내고 있다. 이 중에서 그림5 (b)의  $Z_{22}$ 의 경우에는 측정값과 기생성분을 고려하지 않은 모델의 계산값과의 차이가 현저하게 나타난다.

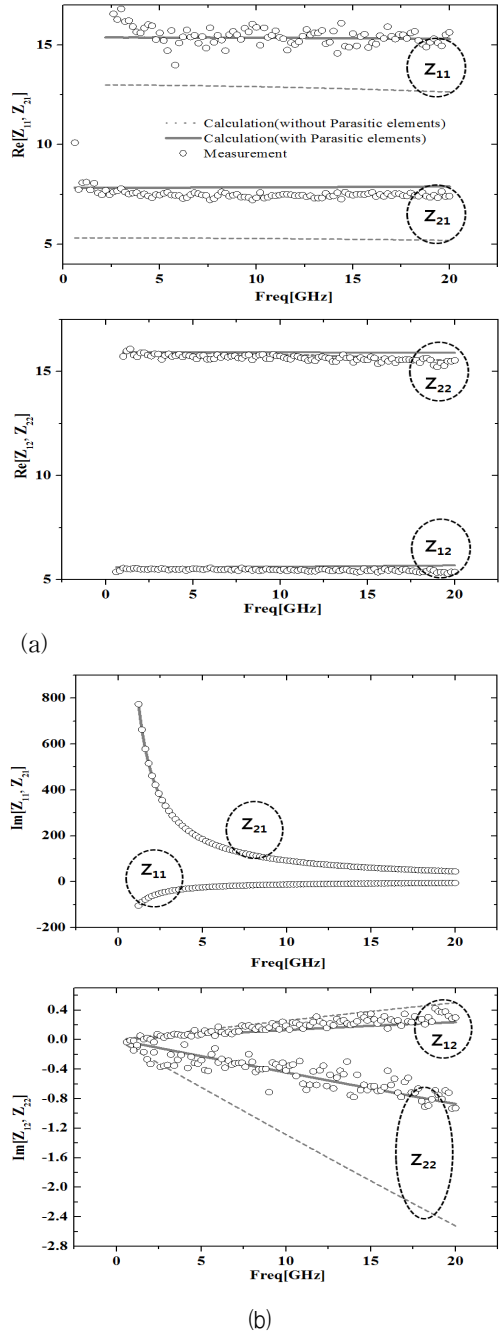


그림 5. SOI MOSFET의 측정값과 계산값 비교  
 (a) Z-파라미터 실수부, (b) Z-파라미터 허수부  
 Fig. 5 Comparison of calculated and measured results  
 (a) Real part of Z-parameter, (b) Imaginary part of Z-parameter

이것은  $Z_{22}$ 의 허수부인 경우 드레인전압에 의한 드레인전류의 지연을 나타내는데 유도성 기생성분에 의한 영향을 포함한 경우에는 드레인전류의 지연을 정확하게 설명하고 있기 때문이다. 또한 그림 5(b)를 통해서 이러한 현상이 주파수가 점점 증가하면서 현저하게 커지는 것을 확인할 수 있었다.

#### IV. 결론

본 논문에서는 SOI MOSFET의 기생성분에 의해서 드레인 전류지연이 발생하는 것을 확인하였다. MOSFET의 각 소자에 직렬로 연결 되어 있는 기생 저항과 기생인덕턴스를 적절히 추출하여 고주파 진성파라미터를 도출하였고, 도출된 파라미터를 이용하여 소신호 모델링을 구성한 결과, 드레인전류의 응답 지연효과를 적절히 설명할 수 있었다. 측정결과와 제안한 모델을 비교한 결과 본 논문에서 제시한 방법을 이용하여 공핍형 SOI MOSFET의 고주파 소신호 모델을 구성하면 SOI MOSFET의 드레인응답지연을 보다 정확한 설명할 수 있음을 확인하였다.

#### References

[1] G. Kim, "Accurate parameter extraction method for FD-SOI MOSFETs RF small-signal model including non-quasi-static effects," *J. of the Korea Institute of Maritime information & Communication Sciences*, vol. 11, no. 10, 2007, pp. 1910-1915.

[2] G. Kim, "Extraction and Analysis of Dual Gate FET Noise Parameter for High Frequency Modeling," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 8, no. 11, 2013, pp. 11633-1640.

[3] B. Lee, "Organic Transistor Characteristics with Electrode Structures," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 8, no. 1, 2013, pp. 93-98.

[4] J. Song, K. Lee, and S. Park, "0.11 $\mu$ m Low Power broadband LNA design for 3G/4G LTE environment," *J. of the Korea Institute of Electronic Communication Sciences*, vol. 9, no. 9,

2014, pp. 1027-1034.

[5] G. Kim, "Analysis and extraction method of noise parameters for short channel MOSFET thermal noise modeling," *J. of the Korea Institute of Maritime information & Communication Sciences*, vol. 13, no. 12, 2009, pp. 2655-2661.

[6] J. Raskin, R. Gillon, J. Chen, D. Janvier, and J. Colinge, "Accurate SOI MOSFET Characterization at Microwave Frequencies for Device Performance Optimization and for Device Performance Optimization and Analog Modeling," *IEEE. Trans. on Electron devices*, vol. 45, no. 5, 1998, pp. 1017-1024.

[7] Y. Shimizu, G. Kim, B. Murakami, K. Ueda, Y. Utsurogi, S. Cha, T. Matsuoka, and K. Taniguchi "Drain current response delay of FD-SOI MOSFETs in RF operation," *IEICE Electronics Express*, vol. 1, no. 16, Nov. 2004, pp. 518-522.

[8] G. Kim, Y. Shimizu, B. Murakami, M. Goto, K. Ueda, T. Kihara, T. Matsuoka, and K. Taniguchi, "Small-Signal and Noise Model of FD-SOI MOS Devices for Low Noise Amplifier," *Japan, J. of Applied Physics*, vol. 45, no. 9A, Sep. 2006, pp. 2655-2661.

[9] G. Kim, "Study on the High Precision RF Analog CMOS Circuit Design," Doctor's Thesis, *Osaka University Graduate School of Engineering*, 2007.

#### 저자 소개

##### 김규철(Gue-Chol Kim)



2000년 2월: 목포해양대학교 해양 전자통신공학과(공학사)

2003년 8월: 목포해양대학교 해양 전자통신공학과(공학석사)

2007년 3월: 오사카대학 전자정보 에너지공학과(공학박사)

2006년 11월 ~ 2008년 2월: 파나소닉 덴코 중앙연구소 연구원

2008년 3월 ~ 현재: 목포해양대학교 해양메카트로닉스학부 교수

※관심분야 : 고주파 모델링, 고주파회로설계