ISSN : 1226-7244 (Print)
ISSN : 2288-243X (Online)
논문번호 18-03-26

j.inst.Korean.electr.electron.eng.Vol.22,No.3,706~711,September 2018
http://dx.doi.org/10.7471/ikeee.2018.22.3.706

PECVD SiON 절연막을 이용한 4H-SiC MOS 소자 특성 연구

Study on Characteristics of 4H-SiC MOS Device with PECVD SiON Insulator

김 현 섭*, 이 재 길**, 임 종 태*, 차 호 영*★

Hyun-Seop Kim*, Jae-Gil Lee**, Jongtae Lim*, Ho-Young Cha*★

Abstract

In this work, we have investigated the characteristics of 4H-SiC metal-oxide-semiconductor (MOS) devices with silicon oxynitride (SiON) insulator using plasma enhanced chemical vapor deposition (PECVD). After post metallization annealing, the trap densities of the fabricated devices decreased significantly. In particular, the device annealed at 500°C in forming gas ambient exhibited excellent MOS characteristics along with negligible hysteresis, which proved the potential of PECVD SiON as an alternative gate insulator for use in 4H-SiC MOS device.

요 약

본 논문에서는 플라즈마 화학기상증착 (plasma enhanced chemical vapor deposition, PECVD) 방식을 이용한 산질화규소 (Silicon oxynitride, SiON) 절연체를 이용하여 4H-SiC metal-oxide-semiconductor (MOS) 소자를 제작하고 특성 분석을 수행하였다. 제작된 소자는 금속 증착 후 열처리 과정 (post metallization annealing, PMA)을 통하여 트랩 밀도가 크게 감소하는 것을 확인하였으며, 특히 500°C의 forming gas 분위기에서 열처리 된 소자의 경우 매우 뛰어난 MOS 특성을 나타내었다. 본 연구를 통하여 4H-SiC MOS 구조를 위한 대체 게이트 절연체로써 PECVD SiON의 활용 가능성을 확인 할 수 있었다.

Key words : 4H-SiC, post metallization annealing, MOS, effective border trap, silicon oxynitride

* School of Electronic and Electrical Engineering, Hongik University
** Dept. of Electrical and Computer Engineering, Seoul National University
★ Corresponding author
E-mail : hcha@hongik.ac.kr, Tel : +82-2-320-3062
※ Acknowledgment
This work was supported by Korea Electric Power Corporation (Grant R18XA02) and Basic Science Research Programs (2015R1A6A1A03031833 and 2016R1D1A1B03935445) through the National Research Foundation of Korea (NRF).
Manuscript received Sep. 6, 2018; revised Sep. 14, 2018; accepted Sep. 18, 2018
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Ⅰ. 서론

탄화규소 (SiC)는 실리콘 (Si)에 비해 큰 에너지 밴드갭 (3.24 eV)과 높은 전자 포화 속도 (2×10^7 cm/s) 및 높은 열전도도 (4.9 W/cm・K)의 우수한 물질 특성으로 인하여 고전력 및 고온 동작을 목적으로 하는 응용 분야에 적합한 반도체 재료이다[1, 2]. 또한, 차세대 반도체 소자 재료로써 각광받고 있는 질화갈륨 (GaN), 질화알루미늄 (AlN), 산화아연 (ZnO) 등과 달리 SiC는 단결정 잉곳 (ingot) 성장 기술로 대량 생산이 가능하며 Si과 같이 열 산화 공정을 이용하여 산화규소 (SiO_2) 산화막을 얻을 수 있는 장점을 가지고 있다. 위와 같은 재료 특성으로 SiC metal-oxide-semiconductor (MOS) 기

반 트랜지스터는 고전력 응용 분야에 큰 잠재력을 가지고 있지만 여전히 MOS 구조의 계면 특성이 좋지 않은 단점을 가지고 있다. 일반적인 열 산화 공정을 이용하여 증착 된 SiO_2 기반의 MOS 소자는 높은 계면 상태 밀도 때문에 매우 낮은 채널 이동도의 특성을 가지고 있다[3, 4]. 이러한 MOS 계면 문제를 극복하기 위해 AlN [5], 산화알루미늄 (Al_2O_3) [6, 7], 산화하프늄 (HfO_2) [8], 산화란탄 (La_2O_3) [9] 등과 같은 다양한 유전체 재료가 대체 게이트 절연체로써 연구되어 왔다. 이러한 물질들은 높은 유전율을 가지고 있지만 SiO_2와 비교했을 때 상대적으로 작은 conduction band offset (ΔE_c)를 가지고 있다는 특징이 있다. 위와 같은 관점에서, 산질화규소 (Silicon oxynitide, SiON)는 앞서 언급한 높은 유전율을 가진 절연체보다 상대적으로 ΔE_c가 크며 기존 SiO_2와 비교하였을 때, 유전율이 높고 불순물의 침투를 방지할 수 있을 뿐 만 아니라 고온에서의 전자 유도 열화 현상을 감소시킬 수 있으므로 [10] SiC MOS 구조를 위한 좋은 대체 게이트 절연체로써의 가능성을 가지고 있다. 그러나 기존에 발표된 열 산화 공정을 이용한 SiON의 경우, 증착 시 N_2, NO 또는 N_2O 가스 분위기에서 1000°C 이상의 고온 열처리가 필요하기 때문에 [11, 12] 공정 순서에 한계가 있으며 열 산화 공정의 특징인 증착 속도를 정밀하게 조절하기 어렵다는 단점을 가지고 있다.

따라서 본 논문에서는 플라즈마 화학기상증착 (plasma enhanced chemical vapor deposition, PECVD) 방식을 이용한 SiON 절연체를 이용하여 4H-SiC MOS 소자를 제작하고 열처리에 따른 소자의 특성을 조사하였다.

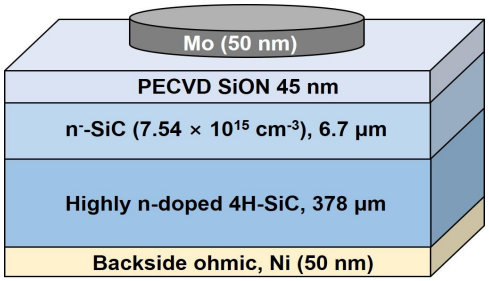

Fig. 1. Cross-sectional view of the fabricated 4H-SiC MOS device.
그림 1. 제작된 4H-SiC MOS 소자의 단면도

II. 본론

1. 4H-SiC MOS 커패시터 제작

그림 1은 본 연구에서 제작된 4H-SiC MOS 소자의 단면 구조를 보여준다. 웨이퍼의 에피 구조는 고농도의 n-type으로 도핑 된 378 μm 두께의 4H-SiC (0001) 기판 위에 6.7 μm 두께의 7.54 × 10^{15} cm^{-3}의 도핑 값을 가지고 있는 n^--SiC가 존재한다. 소자 제작에 앞서, Sulfuric Peroxide Mixture (SPM, $H_2SO_4 : H_2O_2 = 4 : 1$) 세정액을 이용하여 표면 유기물 및 오염 물질을 제거한 후 희석된 HF를 사용하여 표면의 자연산화물을 제거하였다. 이후, 소자 뒷면에 낮은 저항의 오믹 접합을 형성하기 위하여 Ni (= 50 nm)을 전자빔 증착기를 사용하여 증착한 후 1000°C에서 1 분 동안 급속 열처리 과정을 통하여 오믹 접합을 형성하였다. 그리고 n^--SiC 표면 위에 PECVD 방식을 이용하여 350°C의 온도에서 SiH_4, N_2O 및 NH_3 (= 50/25/25 sccm) 가스를

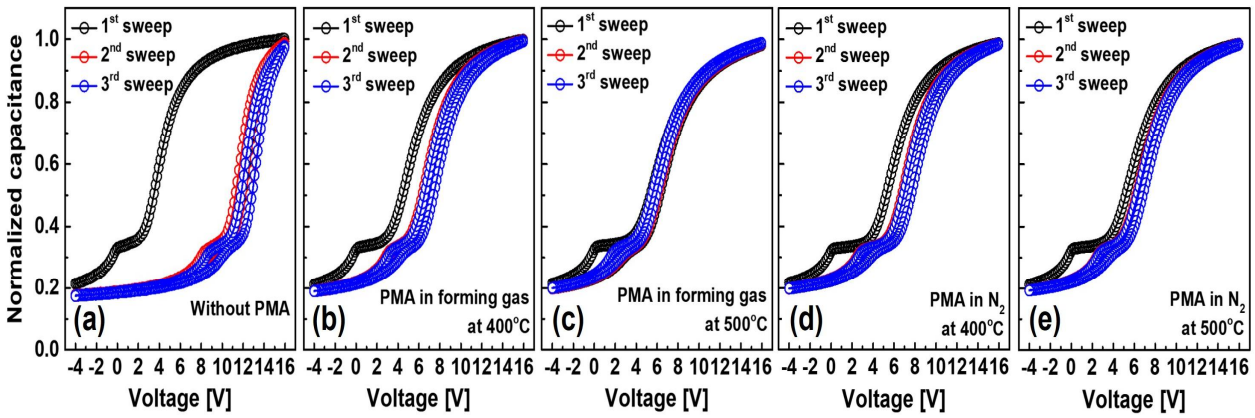

Fig. 2. Capacitance-voltage characteristics of the fabricated 4H-SiC MOS devices with difference PMA conditions.
그림 2. 다양한 PMA 조건에 따른 4H-SiC MOS 소자의 커패시턴스-전압 특성

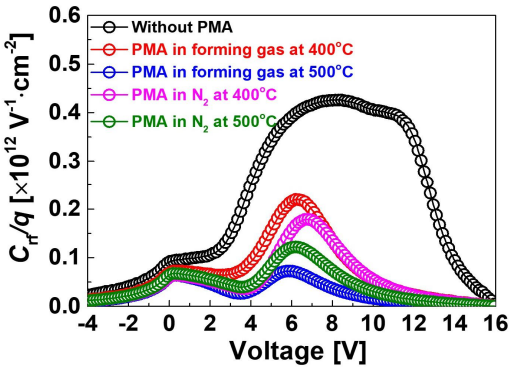

Fig. 3. Effective border trap densities extracted for the samples with different PMA conditions.

그림 3. 다양한 PMA 조건에 따른 소자의 추출된 effective border 트랩 밀도

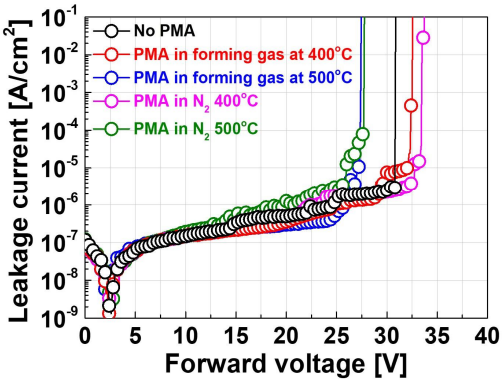

Fig. 4. Forward current-voltage characteristics of the fabricated 4H-SiC MOS devices with different PMA conditions.

그림 4. 다양한 PMA 조건에 따른 4H-SiC MOS 소자의 순방향 전류-전압 특성

혼합하여 45 nm 두께의 SiON 절연막을 증착하였다[13]. MOS 구조 제작을 위하여 증착된 SiON 절연막 위에 사진식각공정을 이용하여 지름 100 μm 크기의 게이트 전극 영역을 정의하고 Mo (= 50 nm)을 전자빔 증착기를 이용하여 증착하였으며, 마지막으로 SiON과 4H-SiC의 계면 안정화 및 특성을 향상시키기 위하여 400°C와 500°C 조건에서 N_2 또는 forming gas (N_2 95%, H_2 5%) 분위기에서 10분 동안 금속 증착 후 열처리 (Post Metallization Annealing, PMA) 과정을 진행하였다.

2. 실험결과 및 토의

그림 2는 다양한 PMA 조건에서 열처리 된 SiC MOS 소자의 100 kHz 조건에서 측정한 커패시턴스-전압 (C-V) 특성을 보여준다. PMA 공정 이전의 소자는 첫 번째 측정에서 매우 큰 히스테리시스 (hysteresis) 특성을 나타내었다. 반복 측정 과정에서 hysteresis가 상당히 줄어들었지만 flat-band voltage (V_{FB})가 양의 방향으로 점차 변화하는 것을 확인하였다. PMA 공정 이후, MOS 소자의 C-V 특성은 열처리 온도가 증가함에 따라 점차 개선되는 것을 확인하였다. 첫 번째 측정에서도 PMA 공정 이전의 소자보다 훨씬 작은 hysteresis 특성을 보였으며 반복 측정에 따른 V_{FB} 변화량 또한 매우 감소하였다. 반복측정에 따른 V_{FB}가 양의 방향으로 점차 변화하는 현상은 MOS 계면 근처의 느린 전자 트랩 (slow electron-trapping) 현상과 관계된 것으로 [14] 열처리를 통해 트랩 현상이 감소된 것을 판단 할 수 있다. 특히, 500°C의 forming gas 분위기에서 열처리 된 소자는 hysteresis 특성이 거의 나타나지 않았으며 측정 횟수에 따른 V_{FB}의 변화량이 가장 적은 매우 안정적인 C-V 특성을 나타내었다. 제작된 소자의 C-V 특성에서 추출된 PECVD SiON의 유전 상수는 5.17 으로 열처리 조건과는 상관없이 일정한 값을 나타내었으며 SiO_2 (3.9) 및 질화규소 (SiN_x) (~7.2) 유전상수의 중간 값을 가지는 것을 확인하였다.

PMA 전·후의 MOS 소자의 계면 특성을 확인하기 위하여 측정된 C-V 특성으로부터 effective border 트랩 밀도 (ΔN_{bt})를 추출하였다. ΔN_{bt}의 경우 다음과 같은 식에 의해 추출 될 수 있다[15, 16].

$$\Delta N_{bt} \approx \frac{1}{q}\int C_{rf}(V_g)dV = \frac{1}{q}\int |C_r - C_f|dV \quad (1)$$

위 식에서 C_r은 accumulation에서 inversion 방향으로 측정된 커패시턴스 값이며 C_f는 inversion에서 accumulation 방향으로 측정된 커패시턴스 값, q는 전자의 전하량 (electron charge)을 나타낸다. 다양한 PMA 조건에서 열처리 된 소자의 추출된 전압에 따른 C_{rf}/q의 트랩 밀도는 그림 3에 나타내었다. PMA 공정 이후의 모든 소자는 상당히 낮은 ΔN_{bt} 특성을 보였으며, 이 중에서도 500°C의 forming gas 분위기에서 열처리한 소자가 가장 낮은 트랩 밀도의 특성을 갖는다는 것을 확인하였다.

그림 4는 다양한 PMA 조건에서 열처리 된 Mo/PECVD SiON/4H-SiC MOS 소자의 순 방향 전류-전압 (I-V) 특성을 보여준다. 500°C의 PMA

조건에서 가스 분위기에 상관없이 순 방향 전압 인가에 따른 최대 동작 전압 범위가 감소했지만 forming gas 분위기에서 열처리 된 소자의 경우, 온도가 증가하면서 열처리 전의 소자보다 순 방향 전압에 따른 누설 전류가 상대적으로 낮아지는 것을 확인하였다.

그림 5는 500°C의 forming gas 분위기에서의 열처리 전·후 소자에 대한 순 방향 전압에 따른 누설 전류의 Fowler-Nodheim 터널링 특성을 보여준다. 높은 필드 영역의 선형 기울기는 열처리 전·후에 따른 PECVD SiON과 4H-SiC 사이의 ΔE_c를 추출하기 위해 사용되었으며 열처리 전과 500°C의 forming gas 분위기에서 열처리 된 소자의 ΔE_c는 각각 1.27 및 2.41 eV로 추출되었다. 열처리 후 추출된 ΔE_c의 경우, 이전에 보고 된 SiO_2 (ΔE_c = 2.7 eV)와 SiN_x (ΔE_c = 1.6 eV) [17]의 값을 바탕으로 매우 큰 ΔE_c를 갖는다는 것을 확인하였다. 이는 열처리 후 SiON과 4H-SiC 계면의 최적화로 ΔE_c의 값이 증가하여 누설 전류가 감소한 것으로 판단된다.

본 연구에서 PECVD SiON을 이용하여 제작된 4H-SiC MOS 소자를 바탕으로 4H-SiC MOS 구조의 대체 게이트 절연체로써 PECVD SiON의 가능성을 확인하였으며 향후 증착조건의 최적화를 통하여 보다 향상된 특성을 얻을 수 있을 것으로 기대된다.

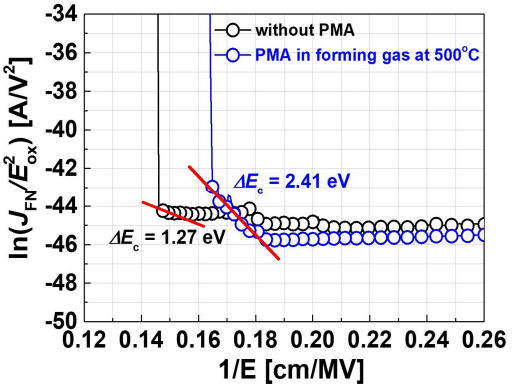

Fig. 5. Fowler-Nodheim tunneling plot of the fabricated PECVD SiON/4H-SiC MOS devices before and after PMA.

그림 5. 열처리 전·후에 따른 PECVD SiON/4H-SiC MOS 소자의 Fowler-Nodheim 터널링 특성

III. 결론

본 논문에서는 PECVD SiON 절연체를 이용한 4H-SiC MOS 소자를 제작하고 PMA 열처리 조건에 따른 소자의 *C-V* 및 *I-V* 특성을 조사하였다. PMA 공정 이전의 소자는 매우 큰 hysteresis 특성 및 반복 측정에 따른 큰 V_{FB} 변화를 보였지만, PMA 공정 이후 트랩 밀도가 감소하여 MOS 특성이 크게 개선되는 것을 확인하였다. 특히, 500°C의 forming gas 분위기의 열처리 이후 매우 뛰어난 MOS 특성을 가졌으며 추출된 PECVD SiON의 유전상수와 4H-SiC로부터의 ΔE_c은 각각 5.17 및 2.41 eV로써 4H-SiC MOS 구조의 대체 게이트 절연체의 가능성을 확인하였다.

References

[1] T. Kimoto, "Material Science and Device Physics in SiC Technology for High-Voltage Power Devices," *Jpn. J. Appl. Phys.*, vol.54, no.4, p.040103, 2015. DOI:10.7567/JJAP.54.040103

[2] J. A. Cooper and A. Agarwal, "SiC Power-Switching Device-The Second Electronics Revolution," *Proc. IEEE*, vol.90, no.6, pp.956-968, 2002. DOI:10.1109/JPROC.2002.1021561

[3] V. V. Afanasev, M. Basler, G. Pensl, and M. Schulz, "Intrinsic SiC/SiO_2 Interface States," *Phys. Stat. Sol. (a)*, vol.162, no.1, pp.321-337, 1997. DOI:10.1002/1521-396X

[4] L. A. Lipkin and J. W. Palmour, "Improved Oxidation Procedures for Reduced SiO_2/SiC Defects," *J. Electron. Mater.*, vol.25, no.5, pp. 909-915, 1996. DOI:10.1007/BF02666657

[5] L. A. Lipkin and J. W. Palmour, "Insulator Investigation on SiC for Improved Reliability," *IEEE Trans. Electron Devices*, vol.46, no.3, pp.525-532, 1999. DOI: 10.1109/16.748872

[6] H. R. Lazar, V. Misra, R. S. Johnson, and G. Lucovsky, "Characteristics of Metalorganic Remote Plasma Chemical Vapor Deposited Al_2O_3 Gate Stack on SiC Metal-Oxide-Semiconductor Devices," *Appl. Phys. Lett.*, vol.79, no.7, pp.973-975, 2001. DOI:10.1063/1.1392973

[7] A. Paskaleva, R. R. Ciechonski, M. Syväjärvi, E. Atanassova, and Yakimova, "Electrical Behavior of 4H-SiC Metal-Oxide-Semiconductor Structures

with Al_2O_3 as Gate Dielectric," *J. Appl. Phys.*, vol.97, no.12, p.124507, 2005. DOI:10.1063/1.1938267
[8] V. V. Afanas'ev, S. A. Campbell, K. Y. Cheong, F. Ciobanu, S. Dimitrijev, G. Pensl, A. Stesmans, and L. Zhong, "Electronic Properties of SiON/HfO_2 Insulating Stacks on 4H-SiC (0001)," *Mater. Sci. Forum*, vol.457-460, pp.1361-1364, 2004. DOI:10.4028/www.scientific.net/MSF.457-460.1361
[9] J. H. Moon, D. I. Eom, S. Y. No, H. K. Song, J. H. Yim, H. J. Na, J. B. Lee, and H. J. Kim, "Electrical Properties of the La_2O_3/4H-SiC Interface Prepared by Atomic Layer Deposition Using La(iPrCp)$_3$ and H_2O," *Mater. Sci. Forum*, vol.527-529, pp.1083-1086, 2006. DOI:10.4028/www.scientific.net/MSF.527-529.1083
[10] M. L. Green, E. P. Gusev, R. Degraeve, and E. L. Garfunkel, "Ultra-thin (<4 nm) SiO2 and Si-O-N Gate Dielectric Layers for Silicon Microelectronics: Understanding the Processing, Structure, and Physical and Electrical Limits," *J. Appl. Phys.*, vol.90, no.5, pp.2057-2121, 2001. DOI:10.1063/1.1385803
[11] K. Chatty, V. Khemka, T. P. Chow, and R. J. Gutmann, "Re-Oxidation Characteristics of Oxynitrides on 3C- and 4H-SiC," *Jour. Elec. Mater.*, vol.28, no.3, pp.161-166, 1999. DOI:10.1007/s11664-999-0007-0
[12] S. Chakraborty, P. T. Lai, and P. C. K. Kwok, "MOS Characteristics of NO-Grown Oxynitrides on N-Type 6H-SiC," *Microelectronics Reliability*, vol.42, no.3, pp.455-458, 2002. DOI:10.1016/S0026-2714(01)00220-7
[13] H.-S. Kim, S.-W. Han, W.-H. Jang, C.-H. Cho, K.-S. Seo, J. Oh, and H.-Y. Cha, "Normally-off GaN-on-Si MISFET Using PECVD SiON Gate Dielectric," *IEEE Electron Device Lett.*, vol.38, no.8, pp.1090-1093, 2017. DOI:10.1109/LED.2017.2720719
[14] M. Okamoto, Y. Makifuchi, M. Iijima, Y. Sakai, N. Iwamuro, H. Kimura, K. Fukuda, and H. Okumura, "Coexistence of Small Threshold Voltage Instability and High Channel Mobility in 4H-SiC(0001) Metal-Oxide-Semiconductor Field-Effect Transistors," *Appl. Phys. Express*, vol.5, no.4, p.041302, 2012. DOI:10.1143/APEX.5.041302
[15] E. K. Evangelou, M. S. Rahman, and A. Dimoulas, "Correlation of Charge Buildup and Stress-Induced Leakage Current in Cerium Oxide Films Grown on Ge (100) Substrates," *IEEE Trans. Electron Devices*, vol.56, no.3, pp.399-407, 2009. DOI:10.1109/TED.2008.2011935
[16] D. M. Fleetwood and N. S. Saks, "Oxide, Interface, and Border Traps in Thermal, N_2O, and N_2O-Nitrided Oxides," *J. Appl. Phys.*, vol.79, no.3, pp.1583-1594, 1996. DOI:10.1063/1.361002
[17] R. Singh, "Reliability and Performance Limitations in SiC Power Devices," *Microelectronics Reliability*, vol.46, no.5-6, pp.713-730, 2006. DOI:10.1016/j.microrel.2005.10.013

BIOGRAPHY

Hyun-Seop Kim (Member)

2014 : B.S. degree in School of Electronic and Electrical Engineering, Hongik University.
2017 : M.S. degree in Electronic and Electrical Engineering, Hongik University.
2017~Present : Pursuing Ph.D. degree in Electronic and Electrical Engineering, Hongik University.

Jae-Gil Lee (Member)

2010 : B.S. degree in School of Electronic and Electrical Engineering, Hongik University.
2012 : M.S. degree in Electronic and Electrical Engineering, Hongik University.
2015 : Ph.D. degree in Electronic and Electrical Engineering, Hongik University.
2015~2017 : Postdoctoral Researcher in Department of Materials Science and Engineering, The University of Texas at Dallas.
2017 : BK Assistant Professor in Department of Electrical and Computer Engineering, Seoul National University.

Jongtae Lim (Member)

1989 : B.S. degree in Electronics Engineering, Seoul National University.
1991 : M.S. degree in Electronics Engineering, Seoul National University.

2001 : Ph.D. degree in Department of Electrical Engineering and Computer Science, University of Michigan.
2004~2008 : Professor, Korea Aerospace University.
2008~Present : Professor in School of Electronic and Electrical Engineering, Hongik University.

Ho-Young Cha (Member)

1996 : B.S. degree in Electrical Engineering, Seoul National University.
1999 : M.S. degree in Electrical Engineering, Seoul National University.

2004 : Ph.D. degree in Electrical and Computer Engineering, Cornell University.
2004~2005 : Postdoctoral Research Associate in Electrical and Computer Engineering, Cornell University.
2005~2007 : Research Scientist, GE Global Research Center.
2007~Present : Professor in School of Electronic and Electrical Engineering, Hongik University.