

## 다기능 레이더용 주파수합성기 개발

이희민<sup>1\*</sup> · 최재홍<sup>1</sup> · 한일탁<sup>2</sup>

### Development of the Frequency Synthesizer for Multi-function Radar

Hui-min Yi<sup>1\*</sup> · Jae-hung Choi<sup>1</sup> · Il-tak Han<sup>2</sup>

<sup>1\*</sup>Radar-PGM R&D Division, Hanwha Systems, Yongin 17121, Korea

<sup>2</sup>Agency for Defense Development, DaeJeon 34186, Korea

#### 요약

본 논문은 장거리 다기능레이더용 주파수합성기 개발에 관한 것으로 다기능레이더 체계의 기능 및 성능을 보장하기 위해 필요한 주파수합성기 성능지표를 도출하고 분석하였다. 다기능레이더는 위상배열 전자 스캔 방식을 적용한 레이더체계이고, 주파수합성기는 STALO를 포함하여 다기능레이더에 필요한 다양한 주파수신호를 합성하는 역할을 수행한다. 다기능레이더 요구사항 분석을 통해 최적의 주파수합성 방식을 선택하고, 회로크기를 포함한 성능 및 기능을 최적화하였다. 도출된 MFR용 주파수합성기 개발규격을 만족하기 위해 DDS-driven Offset-PLL(Phase Locked Loop) 방식을 사용하여 낮은 위상 잡음과 빠른 주파수 고정 시간, 우수한 불요파 특성을 갖는 주파수 합성기를 설계 및 제작하였다. 제작된 다기능 레이더용 주파수합성기는 위상잡음  $-131\text{dBc/Hz}@100\text{kHz}$  이하, 주파수 고정 시간  $4.1\mu\text{s}$  이하의 성능을 측정하였다.

#### ABSTRACT

In this paper, we developed and then analyzed the specifications of the frequency synthesizer which was applied to long range MFR (Multi-function Radar). These specifications were able to guarantee the functions and performance of MFR. MFR was the radar system that used phase array for electronically scanning. This frequency synthesizer made various frequency signals including to STALO (Stable Local Oscillator) for MFR. By analyzing the MFR requirements, we choose the optimal frequency synthesis method and then we got the best performance and functionality including to physical size for this system. We designed and fabricated DDS (Direct Digital Synthesizer)-driven Offset-PLL (Phase Locked Loop) synthesizer to meet the requirements which were low phase noise, fast switching time and low spurious. This synthesizer had less than  $-131\text{dBc/Hz}@100\text{kHz}$  phase noise and less than  $4.1\mu\text{s}$  switching time, respectively.

**키워드** : DDS, 주파수합성기, 다기능레이더, 오프셋 위상고정루프

**Keyword** : DDS(Direct Digital Synthesizer), Frequency Synthesizer, MFR(Multi-Function Radar), Offset-PLL(Phase Locked Loop)

Received 23 May 2018, Revised 11 June 2018, Accepted 21 July 2018

\* Corresponding Author Hui-Min Yi(E-mail:huimin.yi@hanwha.com, Tel:+82-31-8020-7547)

Radar-PGM R&D Division, Hanwha Systems, Yongin 17121, Korea

Open Access <http://doi.org/10.6109/jkiice.2018.22.8.1099>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서론

다기능레이더(MFR: Multi-Function Radar)는 위상 배열에 의한 전자 스캔 레이더(ESR: Electronically Scanned Radar)로 분류되는 레이더 체계이다[1]. 다기능레이더는 그 기능이 탐색 혹은 추적에 각각 제한되어 있는 탐지 레이더 및 추적 레이더와 달리 그림 1과 같이 지형 및 기상 클러스터 조건에서 고정의 항공기, 헬리콥터, 무인 항공기와 각종 유도탄 및 탄도탄 등의 다양한 표적을 동시에 탐색하고, 탐지된 다중 표적에 대한 정밀추적을 수행함과 동시에 적아식별(IFF: Identification of Friend or Foe)을 자동으로 수행한다. 또한 교전 시 위협 표적을 요격하기 위해 발사된 유도탄에 대한 포착/추적 및 비행 중인 유도탄에 대한 무선 링크 연동 기능을 수행하며, 상부 체계와의 원활한 정보 교환을 위해 데이터 링크를 통한 연동 기능을 지원한다[2].

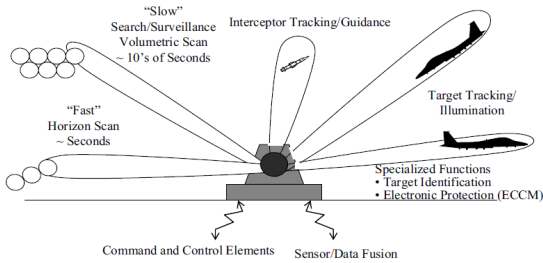


Fig. 1 Surface-Based Multi-function Phased Array Radar Operations[3]

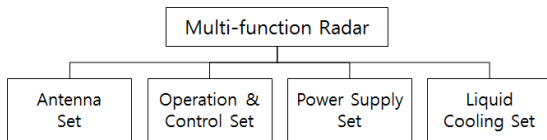


Fig. 2 Multi-function Radar System

다기능레이더 체계는 그림 2와 같이 안테나세트, 운용/통제세트, 전원세트, 냉각장치세트로 구성한다. 안테나세트는 다양한 레이더 파형을 생성하고, 고주파신호로 변환/증폭한 신호를 능동형 위상배열소자를 통하여 지정된 방향으로 조향하여 외부로 방사하고, 원거리 외부표적에서 반사된 신호를 수신하여 증폭하고 디지털 데이터로 변환하는 업무를 수행한다. 안테나세트의 블록도는 그림 3과 같다. 운용/통제세트는 레이더 구성품

의 제어를 통해 안테나로부터 전달된 수신 신호를 처리하고, 다양한 알고리즘을 운용하여 표적을 추적하고 운용자 또는 통제소와 연동을 담당한다. 냉각장치 세트는 발열량이 많은 안테나의 능동형 배열소자에서 발생한 열을 냉각하고, 전원세트는 다기능레이더 전체에 전원을 공급한다.

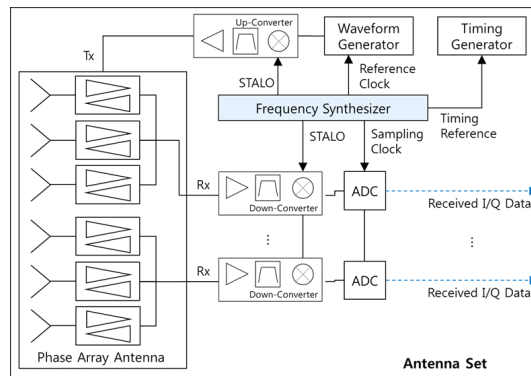


Fig. 3 MFR Antenna Set Block diagram

본 논문은 다기능레이더 안테나세트의 핵심 장치 중 하나인 주파수합성기에 관한 것이다. 주파수합성기는 레이더체계뿐만 아니라 일반적인 통신체계에서 국부신호 포함 체계 운용에 필요한 다양한 주파수 신호를 발생하는 장치이다. 본 논문에서는 다기능레이더 체계의 성능을 보장하기 위한 주파수합성기 규격을 도출하고, 그 요구사항을 만족하도록 설계 및 제작하여, 측정된 결과에 대해 기술하였다.

## II. MFR 주파수합성기 요구사항 분석

다기능레이더의 운용환경 및 표적종류에 따른 최대 탐지거리, 탐지영역, 탐지속도 등의 규격에 따라 안테나 세트의 운용주파수, 최대 송신전력, 수신동적영역, 안테나빔폭, 안테나빔조향각도, 레이더파형 종류, 송수신운용타이밍 등 다양한 하드웨어 규격이 결정된다. 또한 레이더 수신신호에서 클러스터 신호를 효과적으로 억압하고, 도플러 신호처리를 수행하여, 탐지 속도 측정 및 분해능을 개선하기 위해 하드웨어 제작시 코히어런스(Coherence) 특성도 필요하다. 초창기의 펄스레이더가

수신된 레이더 신호의 진폭 검파를 통해 반사 신호의 지연시간을 측정하여 표적의 거리를 측정하던 것에 비해, 최근의 코히어런트 레이더는 위상성분을 포함한 수신 신호의 벡터성분 측정이 필요하다. 수신 신호의 위상 측정을 위해서는 레이더 송신신호와 수신신호 간의 기준 및 동기가 잘 제어되어야 하며 이를 만족하기 위해 주파수합성기의 위상잡음(Phase noise), 지터(Jitter), 불요파(Spurious), 안정도(Stability) 규격이 잘 정의되어야 한다[4].

다기능레이더용 주파수합성기의 주요 성능항목은 표 1과 같다.

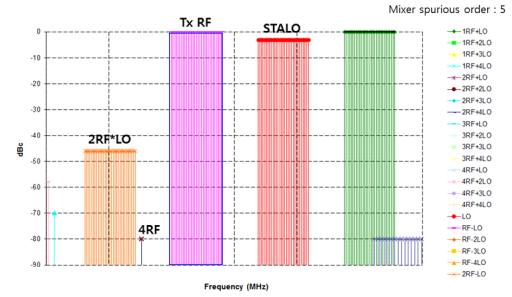
**Table. 1** Frequency Synthesizer specifications for MFR

Items	Specifications	Description
Signals	STALO, Reference clock, Sampling clock, Timing reference and etc.	
Frequency [MHz]	S-band (BW ≥ 10%)	STALO
Frequency Channel	OO channels Step : 0 MHz	STALO
Phase Noise [dBc/Hz]	≤ -000 @100kHz	STALO
Switching Time [μs]	≤ 0	STALO
Spurious [dBc]	≤ -00 @ in band	STALO
Jitter [ps]	≤ 0.0	Sampling Clock
Stability [ppb]	≤ ± 5 @1day, Power Supply ± 5%, 50Ω Load ± 5	Reference Oscillator

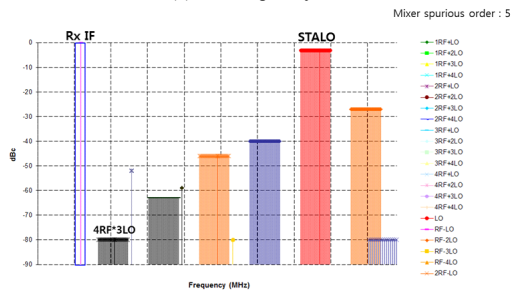
다기능레이더에 필요한 주파수 신호는 레이더 파형 발생을 위한 파형발생기 기준신호(Reference clock), 주파수상/하향 및 운용주파수 선택을 위한 국부신호(STALO, Stable Local Oscillator), 수신기 ADC 샘플링 클럭, 레이더 운용 타이밍 생성을 위한 기준신호(Timing Reference) 등이고, 이 외에 외부 계측장비와 동기를 위한 동기신호 등이 필요하다.

STALO 신호의 주파수는 그림 4와 같이 송/수신 주파수 플랜 분석을 통해 선택하였다. 주파수 플랜 분석 시 제작 가능한 필터 규격을 고려하였으며, 불요파 규격은 수신기 동적영역 이하로 규정하였다. 또한 다기능레이더 운용주파수 범위 내에서 원하는 주파수 채널 선택이

가능하고, 다기능레이더 기능에 맞춰 빠른 주파수 이동을 할 수 있도록 주파수 이동 시간(Switching Time) 규격을 정의하였다.



(a) Tx Frequency Plan



(b) Rx Frequency Plan

**Fig. 4** MFR Operating Frequency Plan

STALO 신호의 위상잡음은 다기능레이더 송신신호 성능을 결정하는 주요 성분이고, 수신 동적영역 등 레이더체계 안정도에 영향을 미치는 파라미터로 표적과 클러터를 분리하고, 수신 동적영역을 보장하는 내에서 결정한다[3].

ADC 샘플링 클럭은 수신기 SNR(Signal to Noise Ratio)을 고려하여 수식 (1)과 같이 계산한다[5].

$$t_j = \frac{1}{2\pi f_i 10^{(SNR_{dB}/20)}} \quad (1)$$

여기서,  $t_j$ 는 샘플링 클럭의 지터,  $f_i$ 는 ADC 입력신호 주파수,  $SNR_{dB}$ 는 ADC의 SNR값이다.

안정도(Stability) 규격을 만족하기 위해 Reference Oscillator는 단기간/장기간 시간변화, 공급전압 변화, 부하저항 변화, 주변 온도변화에 따라 주파수 안정도가 우수한 OCXO(Oven Controlled Crystal Oscillator)를 사용하였다.

### III. MFR 주파수합성기 설계 및 제작

#### 3.1. 주파수합성기 설계

주파수합성 방식은 PLL을 사용한 아날로그 주파수 합성 방식과 DDS를 사용한 디지털 주파수합성 방식으로 나눌 수 있다. 아날로그 주파수합성 방식은 불요파 성능이 우수하고, S-대역 주파수에서는 추가적인 주파수 채배기 없이 주파수 고정 가능하여, 회로가 간단하다. 반면에 궤환회로 특성 상 주파수 이동시간이 수~수십us 수준이고, 주파수 채널 해상도가 PLL의 기준신호 주파수, IC 내부의 분주기 값에 의해 결정되므로 설계가 어렵다. DDS를 사용한 디지털 주파수합성 방식은 출력 주파수 해상도가 우수하고, 주파수 이동 시간이 ns 단위로 매우 빠르다. 반면에 직접 출력할 수 있는 주파수 범위가 한정되고, 디지털 특성으로 인해 발생하는 출력신호 불요파 제거가 필요하다. S-대역 주파수 신호를 얻기 위해서는 별도의 주파수 채배기나 믹서 등이 필요하고, 다기능레이더 운용대역 내의 불요파 억압을 위해 하위 주파수 대역별 필터 뱅크가 추가되는 등 회로가 복잡해질 수 있다.

표 1과 같은 규격을 만족시키기 위해서 주파수합성기는 S-대역에서 10%이상의 넓은 대역폭을 갖으면서 주파수 채널은 0 MHz 이하 고해상도 간격으로 6us이하 시간 내에 이동할 수 있어야 한다. 또한 다기능레이더 성능 확보를 위해 위상잡음과 불요파 특성 또한 우수해야 한다. 이러한 성능을 모두 만족시키기 위해 아날로그 주파수합성 방식과 디지털 주파수합성 방식을 조합한 하이브리드 주파수합성 방식의 DDS driven Offset PLL 구조를 적용하였다[6-7].

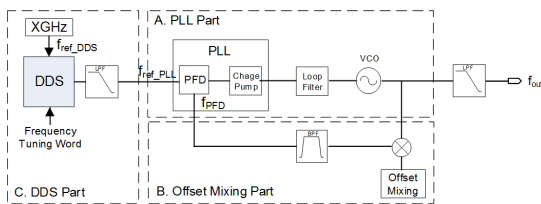


Fig. 5 DDS driven Offset PLL Block Diagram

DDS driven Offset PLL의 블록도는 그림 5와 같으며, 블록도를 크게 세 부분으로 구분하였다. A. PLL 부는 기존의 PLL 회로와 동일하여 우수한 불요파 특성을 얻을

수 있다. 하지만 주파수 이동 시간을 줄이기 위해 루프 필터의 대역폭은 최대한 넓게 설계하였다. PLL 회로의 주파수 고정 시간은 근사적으로 수식 (2)와 같다[8].

$$Lock\ Time \approx \frac{4}{BW} \quad (2)$$

여기서 Lock time은 주파수 고정시간, BW는 루프 필터 대역폭이다.

위의 수식과 같이 주파수 고정시간은 루프 필터 대역폭에 반비례한다. 대역폭을 넓힐수록 빠른 고정시간을 얻을 수 있지만 불요파, 위상잡음 등 다른 파라미터들이 열화되지 않도록 적절히 선택해야 한다.

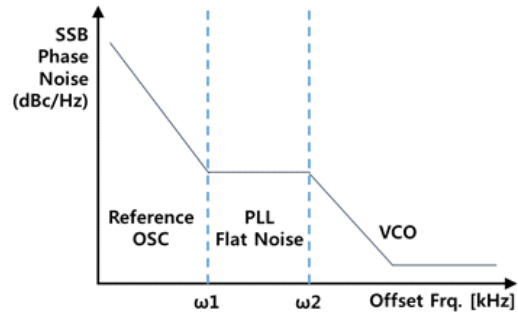


Fig. 6 Phase Noise Contribution to PLL

그림 6은 주파수 옵션별로 PLL 출력 위상잡음의 기여도를 나타낸다. PLL 회로 위상잡음은  $\omega_1$  이하 대역에서는 기준 신호(Reference Oscillator)의 위상잡음이 주요하고,  $\omega_1 \sim \omega_2$  대역에서는 PLL 회로의 잡음 특성이 주요하며,  $\omega_2$  이상 대역에서는 VCO(Voltage Controlled Oscillator) 위상잡음 특성을 따른다. 루프필터 대역폭 선정 시 위상잡음과 불요파 억압을 위해서는  $\omega_1$  근처로 선택해야 하고, 주파수 고정시간을 개선하기 위해서는  $\omega_2$  이상으로 선택해야 한다.

또한 PLL 회로의 잡음 특성은 수식 (3)과 같다[6].

$$PLL\ noise_{flat} = Phase\ Noise\ Floor\ (PN\ Hz) + 10 \cdot \log\left(\frac{f_{PFD}}{1\ Hz}\right) + 20 \cdot \log(N) \quad (3)$$

여기서, PhaseNoise는 PLL IC의 잡음특성이고, N 값은 PLL IC 내부 분주기 값으로 PLL 기준 신호 주파수 ( $f_{ref\_PLL}$ )와 위상비교 신호 주파수( $f_{PFD}$ ) 배수이다.

위상잡음 특성 개선을 위해서는 위 수식과 같이 PLL IC의 위상비교 신호 주파수( $f_{PFD}$ )를 낮추고, N값을 높이는 것에 비해 위상비교 신호 주파수( $f_{PFD}$ )를 높이고, N값을 낮추는 것이 더 효과적이다.

요구사항의 주파수 이동 시간을 만족할 수 있도록 루프필터 대역폭은 넓히면서, N값은 낮춰서 위상잡음 열화를 개선하기 위해 그림 5의 B. Offset mixing 부와 같은 회로를 추가하였다. S-대역의 VCO 출력신호와 offset 주파수 신호를 혼합하여 위상비교 신호 주파수( $f_{PFD}$ )와 기준 신호 주파수( $f_{ref\_PLL}$ )의 차이를 줄여서 위상잡음을 개선하였다.

마지막으로 Offset PLL 회로 구성에도 원하는 주파수 채널 간격을 얻을 수 있도록 DDS driven PLL 회로를 설계하였다. 그림 5의 C. DDS 부와 같이 PLL 기준신호를 일반적인 고정주파수 신호가 아닌 DDS 회로로 구성하여 주파수 선택에 자유도를 높였다.

그림 7은 설계한 주파수합성기 회로의 STALO 신호 위상잡음 특성을 시뮬레이션한 결과이다. ADS 시뮬레이터의 PLL 모델을 적용하였고,  $-130 \text{ dBc/Hz @100kHz}$ 의 결과를 얻었다. 그림 8은 주파수 고정시간을 시뮬레이션한 결과이다. 루프필터는 광대역 VCO의 제어전압을 조정하기 위해 능동형 3차 필터를 적용하였고, 루프필터 대역폭은 1MHz로 설계한 결과 주파수 고정 시간은 약 6us이다. 최종 회로 제작시 루프필터 최적화 튜닝을 통해 위상잡음과 주파수 고정시간 조정이 필요할 것으로 예상된다.

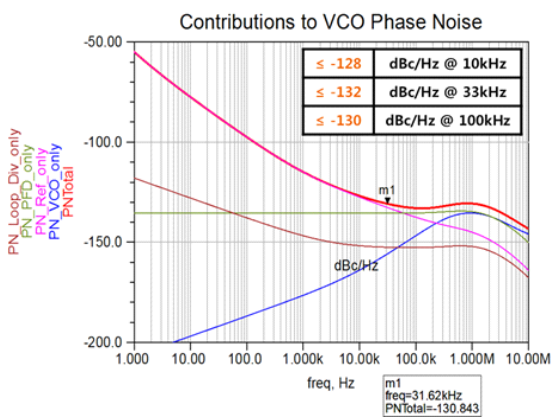


Fig. 7 STALO Phase Noise Simulation Result

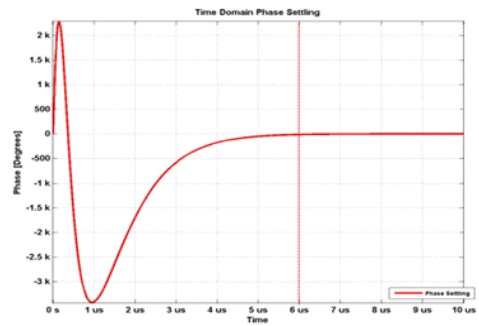


Fig. 8 STALO Frequency Lock time Simulation Result

### 3.2. 주파수합성기 제작 결과

제작한 주파수합성기 형상은 그림 9와 같다. 가로×세로 모듈 크기는 230×230mm이다. 각종 노이즈와 불요파 성분을 억압하기 위해 디지털회로(DDS 및 제어부)와 아날로그회로(PLL 및 VCO)를 분리하여 제작하고, 기구적으로는 격벽을 반영하였다.

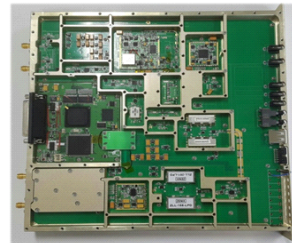
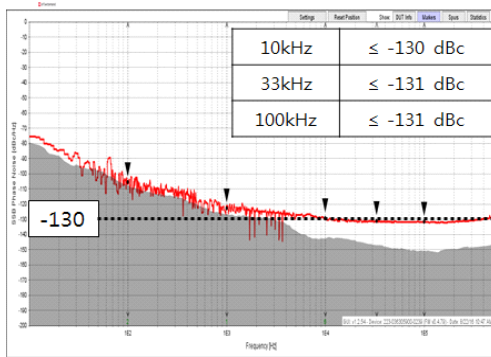


Fig. 9 STALO Frequency Lock time Simulation Result

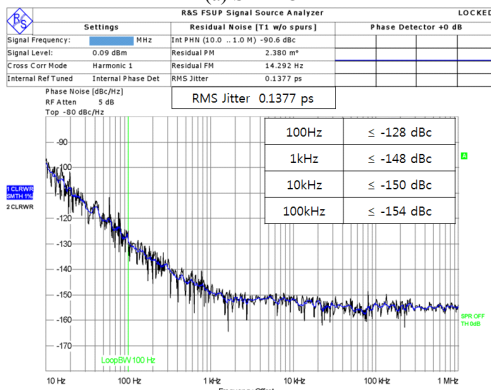
Table. 2 Frequency Synthesizer Test Results for MFR

Items	Specifications	Simulation	Test Results
Frequency [MHz]		S-band (BW ≥ 10%)	
Frequency Channel		OO channels Step : 0 MHz	
Phase Noise [dBc/Hz]	≤ -000 @100kHz	-132	≤ -131
Switching Time [μs]	≤ 0	6	4.1
Spurious [dBc]	≤ -00	-	≤ -70
Sampling Clock Jitter [ps]	≤ 0.0	0.096	0.14

주요 시험 측정 결과는 표 2에 정리하였다.



(a) STALO



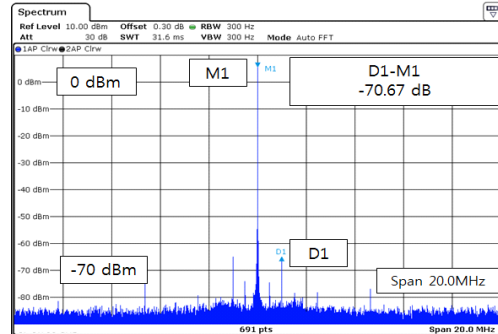
(b) Sampling Clock

Fig. 10 Phase Noise Measurement Results

그림 10은 STALO 신호와 샘플링 클럭 신호의 위상 잡음을 측정된 결과이다. STALO 신호의 위상잡음은  $-132\text{dBc}/\text{Hz}@100\text{kHz}$  이하이고, 샘플링 클럭 지터는 위상잡음을 환산한 측정결과  $0.14\text{ps}$  이하이다. 그림 11은 STALO 신호의 주파수 고정시간과 불요파를 측정된 결과로 주파수 고정시간  $4.1\mu\text{s}$  이하, 불요파  $-70\text{dBc}$  이하이다.



(a) Lock Time



(b) Spurious

Fig. 11 STALO Frequency Lock time and Spurious Test Result

### 3.3. 다기능레이더 송신신호 성능 측정

제작한 주파수합성기를 I 장의 그림 3과 같은 다기능 레이더 안테나세트에 적용하여 레이더 송신신호(Tx)의 성능을 측정하였다.

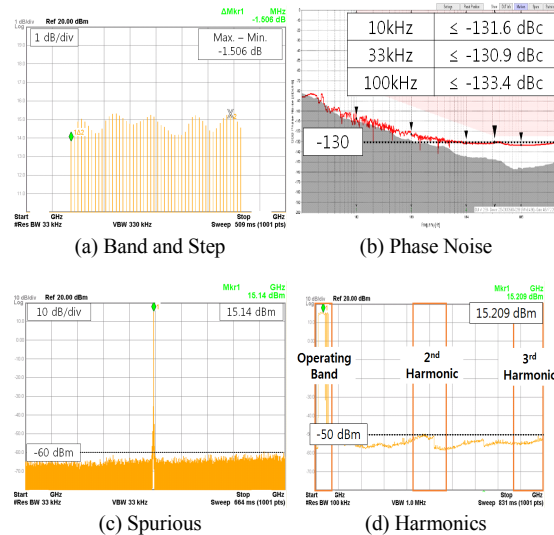


Fig. 12 Tx signal performance for MFR

다기능레이더 운용 파형은 파형발생기가 생성하는 펄스 형태의 파형이지만, 정상적인 송신 신호 성능 측정을 위해 CW 파형을 시험용으로 생성하여 사용하였다.

시험 결과는 그림 12에 정리하였다. 그림 12 (a)와 같이 S-대역에서 OO개 주파수 채널의 레이더 송신 신호를 생성하였다. 대역내 신호 평탄도는 최대값과 최소값의 레벨차이가 1.5dB이며, 그림 12 (b)와 같이 주파수 채

널별 위상잡음이  $-131\text{dBc/Hz}$  @ $100\text{kHz}$  이하인 결과를 얻었다. 그림 12 (c) 송신신호의 불요파는  $-70\text{dBc}$  이하이고, 2차 및 3차 고조파는 그림 12 (d)와 같이  $-60\text{dBc}$  이하이다.

#### IV. 결론

다기능레이더용 주파수합성기를 설계 및 제작하였다. 다기능레이더의 성능과 기능을 만족할 수 있는 수준에서 필요한 목표 규격을 도출하고 분석하여 과도한 성능 구현을 지양하고, 규격에 부합하는 주파수합성기를 설계하였다. 야전에 배치할 장비를 개발할 경우 무조건적인 고성능 지향보다는 체계 요구사항에 부합하는 성능 최적화, 설치 환경에 대한 최적화, 개발 비용에 대한 최적화가 필요하다.

본 논문에서 개발한 주파수합성기는 DDS driven Offset PLL 구조를 적용하여, 레이더 신호 성능의 주요 지표인 운용 주파수 대역 S-대역, 채널 해상도 O MHz, 위상잡음  $-131\text{dBc/Hz}$ @ $100\text{kHz}$  이하, 불요파  $-70\text{dBc}$  이하이며,  $4.1\mu\text{s}$  대의 빠른 시간 내에 주파수 이동이 가능하다. PLL 회로를 구현하여 대역내 불요파를 효과적으로 최소화하고, DDS driven 방식을 통해 채널 해상도를 구현하였으며, Offset-mixing 방식을 추가하여 PLL 회로의 위상잡음 특성을 개선하였다.

개발한 주파수합성기를 다기능레이더에 적용하여 송신 신호를 생성하고, 성능을 측정하였다. 식별된 요구사항 분석을 통해 최적의 주파수합성 방식을 선택하고, 성능 및 기능, 회로 크기 등을 최적화하였다.

향후 다기능레이더 운용환경이나 레이더신호처리 방식에 따른 상세 요구사항을 추가 식별하여 주파수합성기를 포함한 전체 송수신 하드웨어 설계 시 반영하는 연구가 계속될 예정이다.

#### REFERENCES

- [ 1 ] H. M. Yi, B. C. Jun and B. H. Lee, "Miniaturization Development of Transmit/Receive Module using a 10W MEMS switch," in *Journal of the Korea Institute of Information and Communication Engineering*, vol. 20, no. 12, pp. 2417-2424, Dec. 2016.
- [ 2 ] K. Y. Jung, "Long-range Multi-function Radar for combat technology trend and development direction," in *The Proceedings of the Korea Electromagnetic Engineering Society*, vol. 25, no. 2, pp. 21-29, Mar. 2014.
- [ 3 ] W. L. Melvin and J. A. Scheer, *Advanced Principles of Modern Radar : Vol. III Radar Applications*, Edison, NJ: SciTech Publishing, 2014.
- [ 4 ] M. A. Richards, J. A. Scheer and W. A. Holm, *Advanced Principles of Modern Radar : Vol. I Basic Principles*, Edison, NJ: SciTech Publishing, 2010.
- [ 5 ] W. Kester, *Advanced The Data Conversion Handbook*, Burlington, MA: Elsevier and Newnes, 2005.
- [ 6 ] J. H. Choi, H. M. Yi, J. Y. Park and I. T. Han, "Frequency Synthesizer Design Using DDS Driven Offset PLL", in *2016 Korea Institute of Military Science and Technology Fall Conference*, pp. 33 - 34, Nov. 2016
- [ 7 ] J. H. Lim, S. C. Song, "Design and Fabrication of a Offset-PLL with DAC", *The Journal of Korean Institute of Electromagnetic Engineering and Science*, vol. 22, no. 2, pp. 258 - 264, Feb. 2011.
- [ 8 ] D. Banerjee, *PLL Performance, Simulation and Design*, 5th ed. Indianapolis, IN: Dog Ear Publishing, 2017.



**이희민(Hui-Min Yi)**

전파공학전공 공학박사  
한화시스템 레이다 · PGM 연구소 수석연구원  
※관심분야: 레이다, 주파수합성기, 초고주파부품



**최재흥(Jae-Hung Choi)**

전자전기컴퓨터공학전공 공학석사  
한화시스템 레이다 · PGM 연구소 전문연구원  
※관심분야: 레이다, 주파수합성기, 초고주파부품



**한일탁(Il-Tak Han)**

전파공학전공 공학석사  
국방과학연구소 선임연구원  
※관심분야: 레이다, 레이다 신호처리, 레이다 송수신체계