

## 두 개의 입력을 가진 VCO를 이용하여 루프필터와 스퍼 크기를 줄인 위상고정루프

최영식<sup>1\*</sup> · 문대현<sup>2</sup>

### A Loop Filter Size and Spur Reduced PLL with Two-Input Voltage Controlled Oscillator

Young-Shig Choi<sup>1\*</sup> · Dae-Hyun Moon<sup>1</sup>

<sup>1\*</sup>Department of Electronic Engineering, Pukyong National University, Busan 48513, Korea

#### 요 약

본 논문에서는 위상고정 상태에 따라 활성화 되는 루프가 다르게 설정하고, 두 개의 입력을 가지는 전압제어발진기를 사용하여 스퍼를 억제함과 동시에 루프필터의 크기를 줄이는 위상고정루프를 제안하였다. 동작 상태에 따른 안정도 분석을 통하여 위상고정 후에는 위상고정루프가 안정적으로 동작되게 설계하였다. 일반적으로 루프 필터의 커패시터는 위상고정루프에서 큰 면적을 차지한다. 두 개의 전하펌프에 의한 동시 충전·방전 동작을 통해 커패시터의 유효커패시턴스를 증가시켜 루프필터 크기를 줄일 수 있으며, 서로 반대 위상으로 동작하는 두 개의 신호를 입력으로 가지는 전압제어발진기로 스퍼의 크기를 억제할 수 있었다. 위상고정 상태를 알려주는 LSI(Locking Status Indicator)를 사용하여 위상고정 시간은  $80\mu s$ 가 되도록 하였다. 제안된 위상고정루프는 1.8V의 공급전압과  $0.18\mu m$  CMOS공정을 사용하여 설계하였다.

#### ABSTRACT

In this paper, a novel PLL has been proposed that reduces the size of the loop filter while suppressing spur by using a VCO with two inputs. Through the stability analysis according to the operating status, the PLL is designed to operate stably after the phase fixing. The capacitor of loop filter usually occupies larger area of PLL. It is a VCO that can reduce the size of the loop filter by increasing the effective capacitance of the capacitor through the simultaneous charge and discharge operation by two charge pumps and has two signals operating in opposite phases. The settling time of set to  $80\mu s$  approximately by using a LSI(Locking Status Indicator) indicating the phase locking status. The proposed PLL is designed using a supply voltage of 1.8V and a  $0.18\mu m$  CMOS process.

**키워드** : 위상고정루프, 전압제어발진기, 전하펌프, 루프필터, 스퍼

**Key word** : Phase-locked loop, Voltage controlled oscillator, Charge pump, Loop filter, Spur

Received 3 May 2018, Revised 14 May 2018, Accepted 4 June 2018

\* Corresponding Author Young-Shig Choi(E-mail:choiys@pknu.ac.kr, Tel:+82-51-629-6222)

Department of Electronic Engineering, Pukyong University, Pusan, 48513 Korea

Open Access <http://doi.org/10.6109/jkiice.2018.22.8.1068>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

위상고정루프(Phase-Locked Loop: PLL)는 CMOS 기술의 발전과 함께 집적회로 기술도 발전하며 좋은 성능의 위상고정루프를 구현할 수 있게 되면서 오늘날 무선 통신 시스템에서는 주파수 합성기로, 그리고 디지털 칩에서는 클럭 생성기 등의 용도로 널리 사용되고 있다[1].

반도체 공정의 발전과 시스템의 고속화로 인하여 고성능의 위상고정루프 설계 또한 요구되고 있다. 큰 기준 신호 스퍼는 인접한 채널의 신호에 섞여 무선 송·수신 동작능력을 떨어뜨린다. 위상고정루프에서 전압제어발진기는 루프필터의 전압에 의해 제어되므로 안정적인 동작을 위해 루프필터의 전압변화를 줄여 스퍼를 줄이고 잡음특성을 향상시키기 위한 기술들의 많이 적용되어왔다. Feedforward 루프를 사용한 디지털 위상고정루프로 스퍼 크기를 줄였다[2]. 하지만 아주 복잡한 구조로 설계 되어 있다. 또한 current modulator를 이용하여 루프필터에 흐르는 전류량을 조절하여 유효커패시턴스를 증가시킨 루프필터를 구현하였다[3]. 이는 커패시터의 크기를 줄임과 동시에 회로에 안정성을 제공해줄 수 있지만 루프필터의 전압변동을 줄이는데 한계가 있고, 스퍼를 효과적으로 감소시키지 못한다. 밀러증배효과를 이용해 루프필터의 커패시터 크기를 줄이는 구조가 적용되었다[4-6]. 연산증폭기의 높은 전압이득을 통해 큰 증배인자를 얻어내는 구조[4]는 극점의 크기가 작아져 위상마진을 확보하는데 어려움이 있고, 공급전압이 낮아지는 추세에서 입력전압의 스윙에 의해 출력되는 노드의 전압이 공급전압에 의해 제한되기 때문에 증배인자를 증가시키는데 한계가 있다. 전류이득을 증배인자로 사용한 self-biased capacitor multiplier를 사용한 구조[5]와 capacitor multiplier unit을 사용한 구조[6]는 전압증폭을 이용한 증배인자와 같은 증배인자를 얻기 위해서는 그만큼 많은 전류가 흘러야 하고 이는 전력소모를 증가시킨다. 전하 펌프에서 누설 전류 크기를 줄여서 스퍼 크기를 최소화 하였다[7]. 하지만 누설 전류를 최소화 시키는 과정에서 루프 필터의 전압이 불안정해져 지터 크기가 증가할 수 있다.

본 논문에서는 루프필터 크기의 감소와 동시에 스퍼의 효과적인 억제를 위해 서로 반대위상으로 동작하는 두 개의 신호를 전압제어발진기의 입력으로 사용하는 위상고정루프를 구현하였다. 이 전압제어발진기는 루

프필터의 충·방전되는 노드를 제어전압으로 인가받게 된다. 그러므로 서로 상반된 파형의 루프필터전압이 전압제어발진기의 두 개의 입력으로 전달되어 루프필터 전압 변화량을 줄이는 효과를 얻게 되어 스퍼의 크기가 감소하며 2차 루프필터의 유효 커패시턴스 용량을 증가시켜 전체 칩 크기를 줄일 수 있게 해준다.

## II. 본 론

### 2.1. 제안한 위상고정루프 회로

그림 1은 본 논문에서 제안한 위상고정루프의 구조이다. 서로 다른 주파수의 신호를 받는 2개의 PFD와 각 PFD에 연결된 2개의 전하펌프가 있으며 위상고정루프의 위상이 고정되기 전과 후에 따라 활성화 되는 전하펌프가 다르다. 그리고 2개의 이득을 가지는 전압제어발진기를 사용하였고 분주기의 분주비는  $M=2$ ,  $N=32$ 로 하여 전압제어발진기의 출력신호를 분주시켰다.

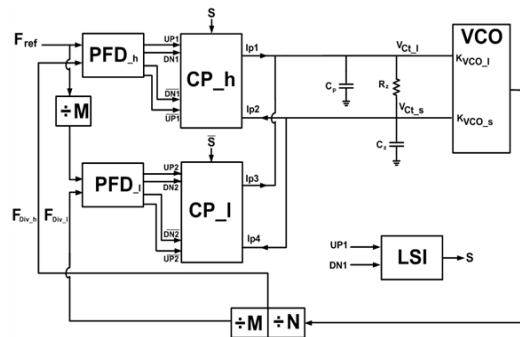


Fig. 1 Proposed PLL architecture.

위상고정이 된 상태와 위상고정이 되지 않은 상태에서 동작하는 전하펌프를 제어하기 위해 위상고정루프의 위상고정 상태를 나타내주는 LSI(locking status indicator)를 사용하여 각 전하펌프를 “on/off” 시킨다. 제안한 위상고정루프의 크기를 줄이기 위해 각 전하펌프는 루프필터에 전하를 충·방전이 동시에 일어나도록 하였다. 충전시켜주는 전류와 방전시키는 전류의 비를 다르게 하여 커패시터의 유효 커패시턴스를 조절해 실제 커패시터의 크기를 줄일 수 있다. 영점을 결정하는 커패시터  $C_s$ 는 위상고정루프의 충분한 위상 확보를 위해 극점을 결정하는 커패시터인  $C_p$ 보다 7-10배 정도의

큰 용량이 요구된다. 본 논문에서는 커패시터  $C_z$ 에 흐르는 전류량을 전하펌프를 통해 조절하여 큰 유효커패시턴스를 얻는 기술을 적용하였다. 이는 작은 용량의 커패시터로 큰 용량을 가지는 커패시터 효과를 내어 위상 고정루프가 안정하게 동작하도록 충분한 위상마진을 가지도록 해준다.

그림 2는 위상이 고정된 후 위상고정루프의 선형모델을 도식화 한 것이다. 전류량의 비와 커패시터의 용량을 결정하기 위해 위상이 고정된 상태에서 전압제어발진기를 제어하는 루프필터의 전압을 표현하면 다음과 같다.

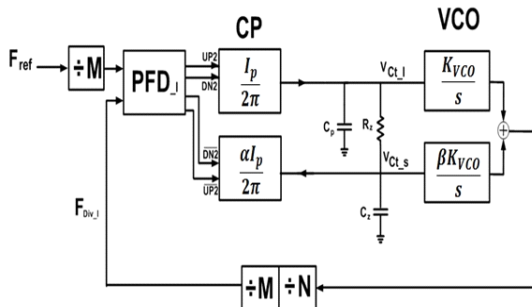


Fig. 2 A linear model after PLL is locked.

$$V_{cl} = \frac{I_p [1 - \alpha(R_z C_p s + 1)]}{R_z C_z C_p s^2 + (C_z + C_p)s} \quad (1)$$

$$V_{cls} = \frac{I_p (R_z C_z s + 1 - \alpha)}{R_z C_z C_p s^2 + (C_z + C_p)s} \quad (2)$$

여기서  $\alpha$ 는 루프필터를 충·방전하는 전하펌프 전류의 비이고, 식(3)과 같이 표현된다.

$$\alpha = \begin{cases} \frac{I_{p1}}{I_{p2}} & (\text{위상이 고정되기 전}) \\ \frac{I_{p3}}{I_{p4}} & (\text{위상이 고정된 후}) \end{cases} \quad (3)$$

식(1)과 식(2)를 이용해 위상고정루프의 개루프 전달함수를 구하면 다음과 같다.

$$G_1(s) = \frac{I_p K_{vco}}{s^2} \times \frac{R_z s (C_p - \alpha \beta C_z) + (1 - \alpha)(1 + \beta)}{R_z C_z C_p s + (C_z + C_p)} \quad (4)$$

여기서  $\beta$ 는 두 개의 전압제어발진기 이득의 비이고, 식(5)와 같이 표현된다.

$$\beta = \frac{K_{VCOs}}{K_{VCOl}} \quad (5)$$

개루프 전달함수를 통해 본 위상고정루프 시스템의 영점과 극점의 위치를 표현하면 식(6)과 식(7)과 같다.

$$W_{zero, G_1} = \frac{(1 - \alpha)(1 + \beta)}{R_z (C_p - \alpha \beta C_z)} \quad (6)$$

$$W_{pole, G_1} = \frac{C_z + C_p}{R_z C_z C_p} \quad (7)$$

위 식을 토대로  $C_p$ 와  $C_z$ 의 크기를 같게 설계하면서, 위상고정 상태에 따른 전류비  $\alpha$ 와 전압제어발진기 이득의 비인  $\beta$ 를 조절해 기본 위상고정루프에서 7-10배 큰 용량을 필요로 한  $C_z$ 의 효과를 얻을 수 있음을 알 수 있다. 또한, 위상고정 상태에 따른  $\alpha$ 의 변화는 영점의 위치를 변화시킬 수 있음을 식을 통해 알 수 있다. 따라서 위상이 고정되기 전에는 넓은 대역폭을 확보해 빠른 고정시간을 갖게 할 수 있고, 위상이 고정된 후에는 충분한 위상마진을 확보할 수 있도록 해준다.

MATLAB을 사용하여 본 논문에서 사용한 전하 펌프의 전류 크기, 루프필터에 사용된 저항과 커패시터의 크기와  $\alpha$ ,  $\beta$ 의 비율을 구하였다. 위상이 고정된 후 동작하는 전하펌프 CP\_1의 전류비에 따른 위상마진과 고정시간의 변화 시뮬레이션 결과를 표 1에 나타내었으며, 그림 3은 위상고정 전과 후의 주파수특성 및 위상마진을 나타낸 것이다.

Table. 1 Simulated phase margin and settling time versus CP\_1's  $\alpha$  with CP\_h's  $\alpha$  and VCO gain  $\beta$  was fixed (CP\_h's  $\alpha=0.09$ ,  $\beta=0.182$ ).

CP_1's $\alpha$	phase margin(deg)	settling time(us)	$\Delta V_{ctl}(uV)$	$\Delta V_{cts}(uV)$
0.5	26.14	oscillation	773	767
0.6	30.92	oscillation	661	664
0.7	37.22	110	174	188
0.8	46.06	110	295	318
0.9	59.41	70	701	766

두 개의 입력을 가진 VCO를 이용하여 루프필터와 스퍼 크기를 줄인 위상고정루프

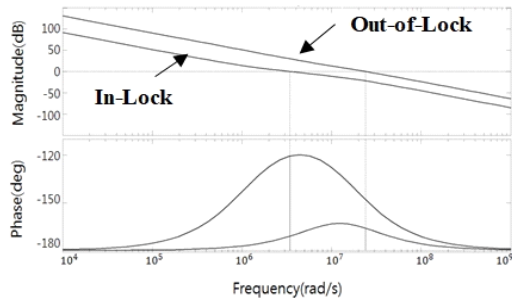


Fig. 3 Open-loop frequency response and phase margin as PLLs phase locked status.

위상고정루프에서 루프필터의 전압변화, 즉 변동 폭은 전압제어발진기의 스퍼 특성을 포함한 잡음특성에 직접적인 영향을 주는 요소이기 때문에 그 변동 폭을 최소화시키는 것이 매우 중요하다. 루프필터의 전압변화와 스퍼는 식(8)과 같은 관계가 있다.

$$S_{spur} = 20 \log \frac{A_m K_{VCO}}{2w_{REF}} \quad (8)$$

여기서  $A_m$ 은 기준 신호 한주기 동안 발생하는 루프필터 전압의 진폭이며, 그림 4에 루프필터의 전압변화를 나타내었다.

제안한 위상고정루프에선 스퍼 크기를 최소화시키고, 또한 잡음특성을 좋게 하기 위해 두 개의 이득을 가지는 전압제어발진기를 사용하였다. 전압제어발진기의 두 개의 입력은 루프필터의 충·방전 되는 두 개의 노드로 연결되어 있다. 두 개의 전하펌프는 각기 다른 노드를 충·방전하도록 되어 있다. 즉, 기존 한 개의 루프필터 전압이 전압제어발진기에 인가되었던 경우와 달리 반대 방향으로 변화하는 루프 필터 전압도 전압제어발

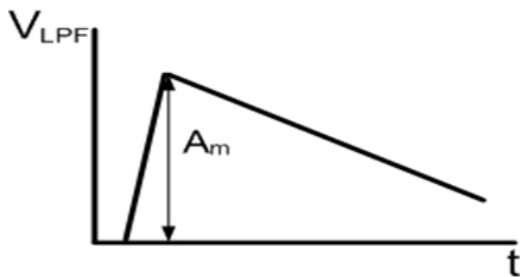


Fig. 4 Loop filter voltage variation waveform after PLL is locked.

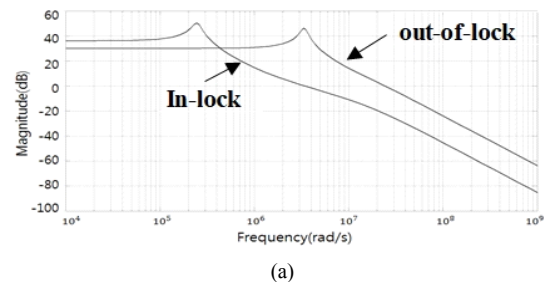
진기에 인가시켜 전압제어발진기에 유효 입력 전압 크기를 줄일 수 있게 해준다.

위상고정루프의 대역폭은 식(9)과 같이 나타낼 수 있다[8]. 이를 토대로 제안한 구조에서는 위상고정 상태에 따라 분주비를 다르게 적용시켰으며, 위상이 고정된 후 더 큰 분주비를 사용하였다. 증가된 분주비는 대역폭을 줄일 수 있게 해주며 낮은 위상잡음을 얻게 해준다.

$$W_{BW} = \frac{I_p K_{VCO} R_z}{N} \quad (9)$$

그림 5(a)는 위상고정루프의 위상고정 상태에 따른 페루프 전달 함수를 나타낸 것이며, 그림 5(b)는 위상이 고정된 후 전하펌프의 전류비  $\alpha$ 에 따른 페루프 전달 함수를 나타낸 것이다. 그림 5(a)에서 볼 수 있듯이 위상고정루프의 위상이 고정된 후의 대역폭이 그 전보다 약 1/10로 줄어든 것을 확인할 수 있다.

그림 5(b)를 통해 위상이 고정된 후 전하펌프의 전류비  $\alpha$ 를 크게 해줄수록 대역폭이 줄어들고 피크 값이 작아지는 것을 확인할 수 있다. 피크 값은 제동비(damping ratio)와 관련이 있으며 피크 값이 작을수록 제동비가 커지게 된다. 나아가 제동비는 시스템이 정상상태에 도달하는 시간과 관련이 있으며 제동비가 클수록 시스템은 더 빠르게 정상상태에 도달한다. 따라서 피크 값이 작다는 것은 제동비가 크다는 것을 뜻하며 잡음 등의 영향에 의해 시스템에 오차가 생길 경우 빠르게 오차를 줄일 수 있는 능력이 있으며, 안정성이 높다는 것을 뜻한다. 따라서 본 논문에서 제안한 위상고정루프의 위상이 고정된 후 동작하는 전하펌프 CP\_1의 충·방전 전류비  $\alpha$ 의 크기가 클수록 회로는 더 안정적으로 동작하게 된다.



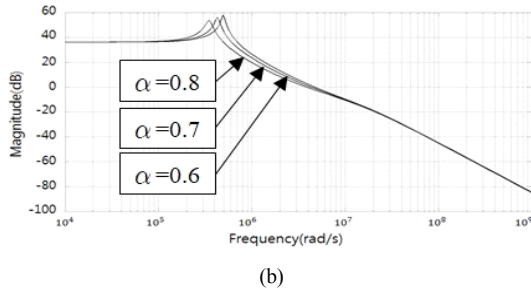
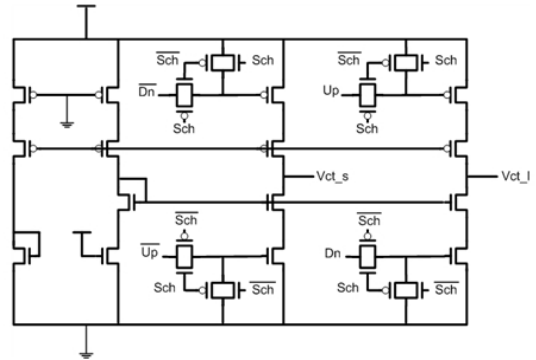


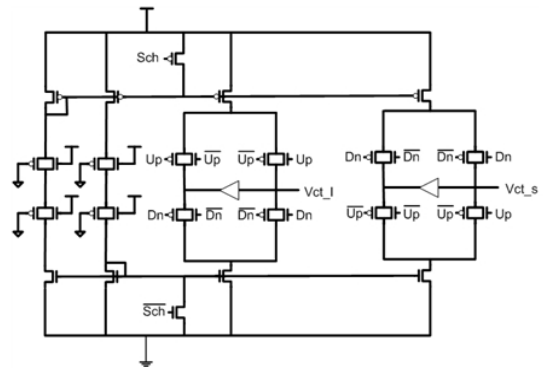
Fig. 5 (a)Closed-loop frequency response as PLLs phase locked status (b)Closed-loop frequency response with CP\_1's current ratio  $\alpha$  after PLL's phase locked.

### III. 회로 설계

제안한 위상고정루프 구조에서 위상고정 상태에 따라 활성화되는 전하펌프가 다르며 위상고정루프 회로에서 역할이 차이가 나고 이는 설계에 반영된다. 그림 6(a)는 위상이 고정되기 전 동작하는 전하펌프, CP\_h의 구조이고, 그림 6(b)는 위상이 고정된 후 동작하는 전하펌프, CP\_l의 구조이다. 위상이 고정되기 전에 동작하는 전하펌프 CP\_h는 위상이 고정된 후 동작하는 전하펌프 CP\_l에 비해 비교적 큰 전류가 흐른다. 즉 CP\_h는 위상 고정시간을 줄여주는 역할만 한다. 반면 CP\_l은 위상고정루프의 위상이 고정된 후 스퍼 특성을 결정함으로써 전류 부정합 현상을 최소화시켜 스퍼의 크기를 줄여야 한다. 따라서 CP\_h에 사용되는 CMOS로 구성된 정전류 회로와 능동 부하는 공정 최소단위로 설계하여 특성이 좋지 못하더라도 위상고정루프의 위상이 고정된 후에는 동작을 멈추기 때문에 칩의 크기를 최소화하도록 설계하였다. 또한 완벽한 동작제어를 위해 그림 6(a)와 같이 충·방전 전류노드에 스위치를 사용하였다. CP\_l에 사용된 트랜스미션 게이트는 up/down 신호의 타이밍 오류로 인한 전류 부정합의 효과를 줄여주며, 단위 이득 버퍼는 스위치가 on/off시 발생하는 전하공유현상을 줄일 수 있다. 위상이 고정된 후 최소한의 전류 부정합 현상이 발생하도록 설계하여 위상고정루프의 스퍼 크기를 더욱 더 감소 시켰다. 본 논문에서는 두 개의 이득을 가지는 전압제어발진기를 사용하였다[9]. 전압제어발진기의 이득은 330MHz/V, 60MHz/V이다.



(a)



(b)

Fig. 6 (a)The activated charge pump architecture before PLL is locked (b) The activated charge pump architecture after PLL is locked

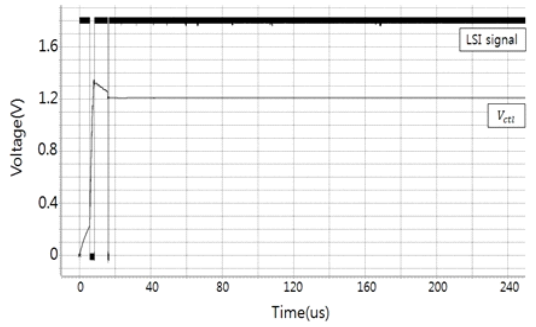
### IV. 시뮬레이션 결과

본 논문에서 제안한 위상고정루프는 1.8V의 공급전압과 0.18 $\mu$ m CMOS 공정을 사용하여 시뮬레이션 하였다. 입력신호의 기준주파수는 31.25MHz이며 1.2V의 고정전압에서 최종 출력신호의 주파수는 1GHz이다. 시뮬레이션에 사용된 위상고정루프 블록의 변수 값은 CP\_h = 200 $\mu$ A/18 $\mu$ A( $\alpha=0.09$ ), CP\_l = 20 $\mu$ A/16 $\mu$ A( $\alpha=0.8$ ),  $C_z=100$ pF,  $C_p=100$ pF,  $R_z=1.2$ k $\Omega$ ,  $K_{vool}=330$  Mhz/V,  $K_{vocos}=60$ Mhz/V( $\beta=0.182$ ), M=32, N=2이다.

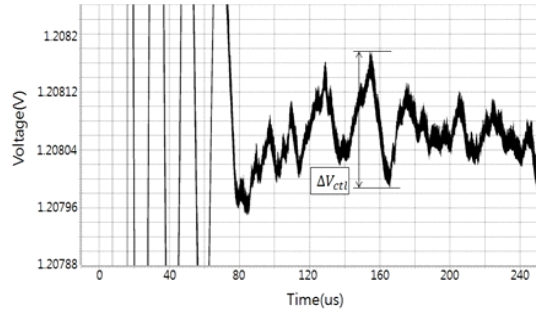
그림 7은 본 논문에서 제안한 위상고정루프의 시뮬레이션 결과이다. 그림 7(a)에 루프필터의 출력전압과 위상고정 상태를 표시해주는 LSI의 출력전압을 나타내

었다. 그림 7(b)는 정확한 위상 고정 시간을 보여주고 있다. 위상이 고정되었을 때 루프필터의 전압변화를 통해 위상고정루프의 잡음과 스퍼 특성을 알 수 있다. 그림 7(b)의  $\Delta V_{ctl}$  크기가 작을수록 식 10이 보여주듯이 위상 잡음 특성이 좋아진다.  $\Delta \Delta V_{ctl}$ (식 8에서의  $\Delta m$ ) 크기에 의해 스퍼의 크기가 결정된다.

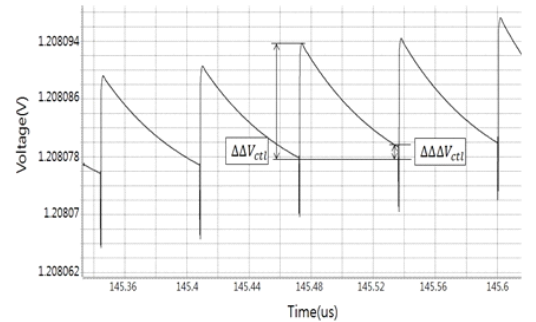
$$\Delta \Phi = K_{VCO} \int \Delta V_{LPF}(t) dt \quad (10)$$



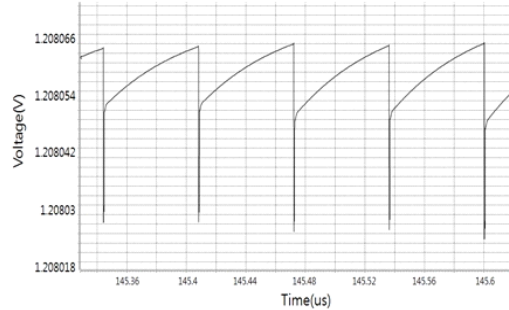
(a)



(b)



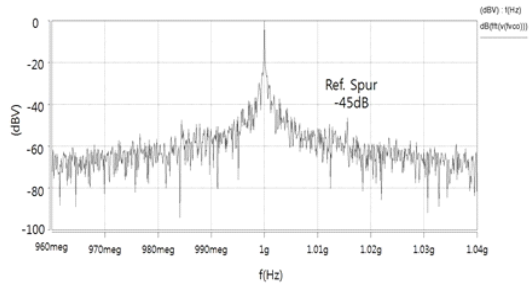
(c)



(d)

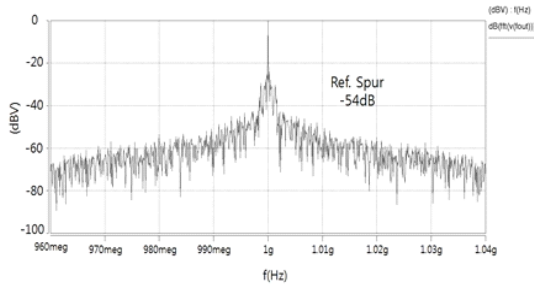
Fig. 7 Proposed PLL (a)  $V_{ctl}$  waveform after locking (b) Enlarged  $V_{ctl}$  waveform (c) More enlarged  $V_{ctl}$  waveform (d) More enlarged  $V_{ctl}$  waveform.

본 논문에서는 전하펌프가 전하의 충·방전을 동시에 해주기 때문에 전압제어발진기의 이득이 충전되는 노드는 양의 값이 되고 방전이 되는 노드는 음의 값이 된다. 이 방전되는 노드는 전압제어발진기의 이득이 낮은 노드에 입력이 되어 보조의 역할을 해주게 되는데, 결과적으로 루프필터의 전압변화의 면적을 줄여주는 역할을 하게 된다. 그림 7의 (c)와 (d)를 보면 두 노드의 전압변화가 반전이 되어 나타난다는 것을 확인할 수 있다. 이 반전되어 나타나는 루프필터의 전압변화는 전압제어발진기를 통해 합쳐지면서 총 변화되는 루프필터의 전압변화량, 즉  $\Delta \Delta V_{ctl}$ (식 8에서의  $\Delta m$ )이 줄어들게 되어 스퍼 크기가 줄어든다. 그림 8은 시뮬레이션을 통해 측정된 기준스퍼를 나타낸 것이며, 표 2는 기준구조의 위상고정루프와 와 제안한 위상고정루프의 루프필터 전압변화 값 및 기준스퍼 크기이다. 기준구조 위상고정루프의 각 블록 변수 값은  $I_{CP}=200\mu A$ ,  $R_Z=1.2K\Omega$ ,  $C_Z=1.5nF$ ,  $C_P=100pF$ ,  $K_{VCO}=330MHz/V$ ,  $N=64$ 이다.



(a)





(b)

Fig. 8 Simulated output spectra of (a) conventional PLL and (b) Proposed PLL

Table. 2 The loop filter voltage variation of the PLL (CP\_h's  $\alpha=0.09$ , CP\_l's  $\alpha=0.8$ ,  $\beta=0.182$ ).

	$t_{lock}$	$\Delta V_{ctl}$	$\Delta\Delta V_{ctl}$	Reference Spur(dB)
Proposed PLL	80 $\mu$ s	295 $\mu$ V	12.8 $\mu$ V	-54
Conventional PLL	50 $\mu$ s	12mV	23 $\mu$ V	-45

## V. 결론

본 논문에서 제안한 위상고정루프는 위상고정 상태에 따라 변화하는 전하펌프 전류의 충·방전 전류비와 반대 방향으로 변하는 두 개의 루프필터 전압을 입력으로 받아들이는 두 개의 입력을 가진 전압제어발진기를 이용하여 루프필터 크기를 줄이고 유효 루프필터 전압 변화를 최소화시켜 스퍼 크기를 줄였다. 제안한 위상고정루프에서는 루프필터의 유효 커패시턴스를 증가시켜 루프필터의 커패시터 크기를 줄임으로써 칩의 크기를 줄일 수 있었다.

## ACKNOWLEDGEMENT

This work was supported by a Research Grant of Pukyong National University (2017-2018)

## References

- [ 1 ] K Praveen Kumar, "Estimation of traffic management and road safety", *Asia-pacific Journal of Convergent Research Interchange*, vol.3, no. 2, pp. 21-28, Jun. 2017.
- [ 2 ] C. R Ho, and M. S. W. Chen, "A digital pll with feedforward multi-tone spur cancelation loop achieving <-73dBc fractional spur and <-100dBc reference spur in 65nm CMOS," *Institute of electrical and electronics engineers journal of Solid-State Circuits*, vol. 51, no. 12, pp. 3216-3230, Dec. 2016.
- [ 3 ] H. J. Kim and Y. S. Choi, "Electron spectroscopy studies on magneto-optical media and plastic substrate interfaces," *Institute of Electronics Engineers of Korea Semiconductor and Devices*, vol. 53, no. 4, pp. 136-141, Apr. 2016.
- [ 4 ] Y. Tang, M. Ismail and S. Bibyk, "Adaptive miller capacitor multiplier for compact on-chip PLL filter," *Electronics Letters*, vol. 39, no. 1, pp. 43-45, Jul. 2003.
- [ 5 ] I.-C. Hwang, "Area efficient and self-biased capacitor multiplier for on-chip loop filter," *Electronics Letters*, vol. 42, no. 24, pp. 1392-1393, Nov. 2006.
- [ 6 ] J. Choi, J. Pakr, W. kim and J. Laskar, "High multiplication factor capacitor multiplier for an on -chip PLL loop filter," *Electronics Letters*, vol. 45, no. 5, pp. 239-240, Feb. 2009.
- [ 7 ] Z. Zhang, J. Yang, L. Liu, P. Feng, J. Liu, and N. Wu, "Source-switched charge pump with reverse leakage compensation technique for spur reduction of wideband PLL," *Electronics Letters*, vol. 52, no. 14, pp. 1211-1212, Jul. 2016.
- [ 8 ] C. Y. Yang and S. I. Liu, "Fast-switched frequency synthesizer with a discriminator-aided phase detector," *Institute of electrical and electronics engineers journal Solid state*, vol. 35, no. 10, pp. 1445-1452, Oct. 2000.
- [ 9 ] Y. S. Choi and S. J. Ahn, "Design of dual loop PLL with low noise characteristic," *Journal of the Korean Institute of Information Communication Engineering*, vol. 20, no. 4, pp. 819-825, Apr. 2016.

두 개의 입력을 가진 VCO를 이용하여 루프필터와 스퍼 크기를 줄인 위상고정루프



**최영식(Young-Shig Choi)**

1982년 경북대학교 전자공학과 학사 졸업.  
1986년 Texas A&M University 전자공학과 석사 졸업.  
1993년 Arizona State University 박사 졸업.  
1987년 ~ 1999년 현대전자(현 SK Hynix) 책임연구원  
2003년 ~ 현재 부경대학교 전자공학 교수  
※관심분야: PLL, DLL 설계



**문대현(Dae-Hyun Moon)**

2017년 부경대학교 전자공학과 학사 졸업.  
2017년 부경대학교 전자공학과 석사 입학.  
※관심분야: PLL, DLL 설계