

셀프-캐스코드 구조를 적용한 LDO 레귤레이터 설계

최성열¹ · 김영석^{1*}

Design of Low Dropout Regulator using self-cascode structure

Seong-Yeol Choi¹ · Yeong-Seuk Kim^{1*}

^{1*}Department of Semiconductor Engineering, Chungbuk National University, Cheongju 28644, Korea

요 약

본 논문에서는 셀프-캐스코드 구조를 이용한 LDO 레귤레이터를 제안하였다. 셀프-캐스코드 구조의 소스 측 MOSFET의 채널 길이를 조절하고, 드레인 측 MOSFET의 바디에 순방향 전압을 인가함으로써 최적화하였다. 오차 증폭기 입력 차동단의 셀프-캐스코드 구조는 높은 트랜스컨덕턴스를 가지도록, 출력단은 높은 출력 저항을 가지도록 최적화하였다. 제안된 LDO 레귤레이터는 0.18 μm CMOS 공정을 사용하였고, SPECTRE를 이용하여 시뮬레이션 되었다. 제안된 셀프-캐스코드 구조를 이용한 LDO 레귤레이터의 로드 레귤레이션은 0.03V/A로 기존 LDO의 0.29V/A보다 급격하게 개선되었다. 라인 레귤레이션은 2.23mV/V로 기존 회로보다 약 3배 향상되었다. 안정화 속도는 625ns로 기존 회로보다 346ns 개선되었다.

ABSTRACT

This paper proposes a low-dropout voltage regulator(LDO) using self-cascode structure. The self-cascode structure was optimized by adjusting the channel length of the source-side MOSFET and applying a forward voltage to the body of the drain-side MOSFET. The self-cascode of the input differential stage of the error amplifier is optimized to give higher transconductance, but the self-cascode of the output stage is optimized to give higher output resistance. The proposed LDO using self-cascode structure was designed by a 0.18 μm CMOS technology and simulated using SPECTRE. The load regulation of the proposed LDO regulator was 0.03V/A, whereas that of the conventional LDO was 0.29V/A. The line regulation of the proposed LDO regulator was 2.23mV/V, which is approximately three times improvement compared to that of the conventional LDO. The transient response of the proposed LDO regulator was 625ns, which is 346ns faster than that of the conventional LDO.

키워드 : LDO 레귤레이터, 셀프-캐스코드, 과도응답특성, 레귤레이션 특성, 단일이득주파수

Key word : Low-Dropout Regulator(LDO), Self-Cascode, Transient Response, Regulation Characteristic, Unit Gain Bandwidth

Received 26 March 2018, Revised 4 April 2018, Accepted 14 June 2018

* Corresponding Author Yeong-Seuk Kim(E-mail:kimys@cbnu.ac.kr Tel:+82-43-261-3137)

Department of Semiconductor Engineering, Chungbuk National University, Cheongju 28644, Korea

Open Access <http://doi.org/10.6109/jkiice.2018.22.7.993>

pISSN:2234-4772

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서론

휴대폰과 같은 대부분의 애플리케이션에서 여러 LDO 레귤레이터가 사용되고 있으며, 애플리케이션은 시스템의 전력 소비를 줄이기 위해 부하를 켜고 끄는 일을 반복한다. 따라서 주어진 전압에서 요구되는 출력 전압과 전류를 제공하기 위해서 빠른 과도응답과 좋은 레귤레이션이 필요하다[1-3].

레귤레이션 특성은 전압 이득이 높을수록 좋아지며, 아날로그 회로 설계에서 전압 이득과 출력 저항을 증가시키기 위해 사용되고 있는 대표적인 구조는 캐스코드(Cascode) 구조이다. 하지만 단일 MOSFET에 비해 출력 전압 스윙이 감소하여 저전압에서는 사용하기 어렵다. 이러한 문제를 해결한 구조가 셀프-캐스코드(Self-Cascode) 구조이다[4].

셀프-캐스코드 구조는 높은 출력 저항과 넓은 출력 전압 스윙 때문에 저전압 아날로그 회로에 널리 사용된다. 최근에는 MOSFET의 바디에 순방향 바이어스를 인가하여 서로 다른 문턱전압을 갖도록 한 셀프-캐스코드 구조가 제안되었다[5-7].

본 논문에서는 셀프-캐스코드 구조를 적용한 오류 증폭기와 패스 소자를 이용하여 향상된 레귤레이션 특성과 과도 응답 특성을 가지는 LDO 레귤레이터를 설계하였다. 셀프-캐스코드 구조를 적용할 경우, 기존의 LDO 레귤레이터[8]보다 높은 전압이득과 넓은 단일이득대역폭을 가져, 레귤레이션 특성이 개선된다.

본 논문의 구성은 다음과 같다. II장에서는 셀프-캐스코드 구조의 기본 이론을 설명하고, 셀프-캐스코드 구조를 적용한 LDO 레귤레이터의 세부 회로를 제시한다. III장에서는 제안된 회로의 주파수 응답과 시간 응답 특성, 레귤레이션 특성의 시뮬레이션 결과를 보여주고, IV장에서는 결론을 맺는다.

II. 셀프-캐스코드 구조를 적용한 LDO 레귤레이터 설계

2.1. 셀프-캐스코드 구조

그림 1은 n-MOSFET 셀프-캐스코드 구조를 나타낸다. 셀프-캐스코드의 구조는 두 개의 MOSFET을 직렬로 연결한 후 게이트를 공통으로 연결한 구조이다. 셀프-

-캐스코드의 드레인 측 MOSFET의 채널 길이(L_{M2})와 소스 측 MOSFET의 채널 길이(L_{M1})의 합은 단일 MOSFET의 채널 길이와 같다[9].

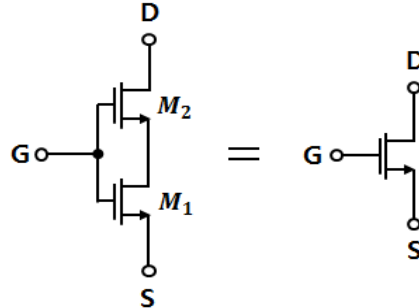


Fig. 1 Self-cascode structure of n-MOSFET

셀프-캐스코드 구조에서 출력 저항을 증가시키기 위해 다음과 같은 방법들이 사용된다. 첫 번째 방법은 M1과 M2의 W/L 비율을 조절하는 방법이다[10].

$$\frac{\beta_2}{\beta_1} \geq \frac{n^2}{(n-1)^2} \quad (1)$$

여기서, $n = \frac{\gamma}{2\sqrt{V_{SB} + 2\Phi_F}}$ 이다. γ 는 바디 효과 계수를 나타낸다. 또한 $\beta = \mu_n C_{ox} W/L$ 이다. 드레인 측 MOSFET M2가 소스 측 MOSFET M1에 비하여 더 큰 W/L 비율을 갖게 되면, 식 (1)을 만족한다.

또 다른 방법은 드레인 측 MOSFET M2의 문턱전압을 소스 측 MOSFET M1의 문턱전압보다 작게 하는 것이다[11]. 이를 만족시키기 위해 순방향 바디 전압을 이용한 셀프-캐스코드 구조가 필요하다. 바디 전압을 조절하여 두 MOSFET에서 서로 다른 문턱 전압을 갖는 경우, M1과 M2 모두 포화영역에서 동작하게 되므로 출력 저항은 최대가 된다. 또한 추가적인 공정이 필요 없다는 장점이 있다[9].

그림 2는 nMOSFET 셀프-캐스코드 구조에서 드레인 측 MOSFET의 바디 전압(V_{CBn})에 대한 문턱전압의 변화를 나타낸다. 게이트-소스 전압(V_{GS})은 0.6V, 드레인-소스 전압(V_{DS})이 0.9V일 때, 바디 전압을 0V부터 1V까지 변화시켜 문턱전압을 확인하였다. 그 결과 바디 전압이 증가할수록 문턱전압은 감소하는 것을 알 수 있다.

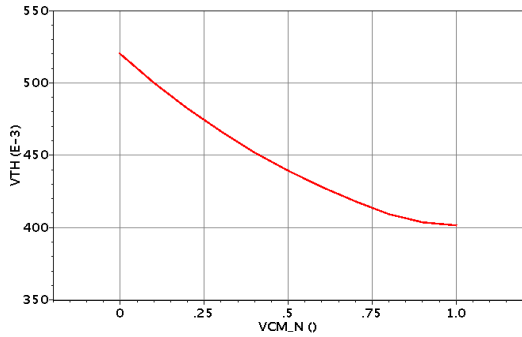


Fig. 2 Threshold Voltage for Body Voltage(n-MOSFET)

그림 3은 pMOSFET 셀프-캐스코드 구조에서 드레인 측 MOSFET의 바디 전압(V_{CMp})에 대한 문턱전압의 변화를 나타낸다. 소스-게이트 전압(V_{SG})은 $0.6V$, 소스-드레인 전압(V_{SD})이 $0.9V$ 일 때, 바디 전압을 $1.1V$ 부터 $1.8V$ 까지 변화시켜 문턱전압을 확인하였다. 그 결과 바디 전압이 감소할수록 문턱전압은 감소하는 것을 알 수 있다.

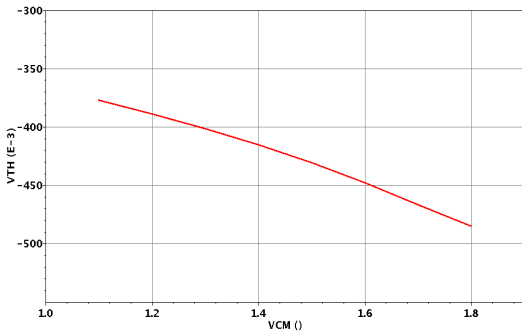


Fig. 3 Threshold Voltage for Body Voltage(p-MOSFET)

문턱전압을 낮추기 위해 바디 전압을 매우 높이거나 낮추면 기생 다이오드의 영향을 받을 수 있다. 본 논문에서는 셀프-캐스코드 구조의 nMOSFET의 바디 전압을 $0.6V$, pMOSFET의 바디 전압을 $1.4V$ 로 하였다. 이때 문턱전압의 값은 nMOSFET일 때 $0.428V$, pMOSFET일 때 $-0.415V$ 이다.

그림 4는 제안하는 LDO의 블록도이다. 셀프-캐스코드 구조를 오류 증폭기와 패스 소자에 적용하여 기존의 구조보다 높은 이득과 단일이득주파수 폭을 가진다. 셀프-캐스코드 구조의 패스 소자는 드레인 측 MOSFET의 바디에 전원 전압보다 낮은 순방향 전압을 인가하여 소

스 측 MOSFET보다 낮은 문턱전압을 갖는다.

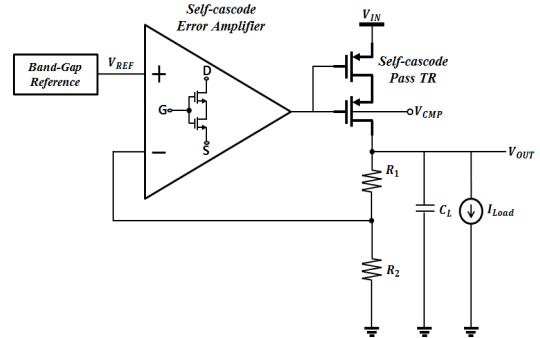


Fig. 4 Proposed low voltage integrated potentiostat

2.2. 셀프-캐스코드의 최적화

그림 5는 pMOSFET 셀프-캐스코드 구조에서 소스 측 MOSFET 채널길이에 대한 출력저항을 나타낸다. 단일 pMOSFET의 채널길이가 $900nm$ 일 때 출력저항은 $2.3M\Omega$ 이다. 셀프-캐스코드 구조의 경우, 소스 측 MOSFET 채널길이가 $585nm$ (드레인 측 MOSFET 채널길이는 $315nm$)일 때 출력저항은 최대이며, 출력저항의 값은 $4.33M\Omega$ 이다. 단일 MOSFET을 사용할 때보다 출력저항이 약 2배정도 증가하는 것을 확인할 수 있다.

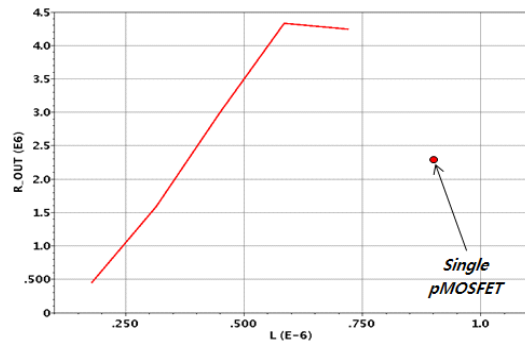


Fig. 5 Output resistance to source side MOSFET channel length in pMOSFET self-cascode structure

그림 6은 nMOSFET 셀프-캐스코드 구조에서 소스 측 MOSFET 채널길이에 대한 출력저항을 나타낸다. 단일 nMOSFET의 채널길이가 $900nm$ 일 때 출력저항은 $1.3M\Omega$ 이다. 셀프-캐스코드 구조의 경우, 소스 측 MOSFET 채널길이가 $585nm$ (드레인 측 MOSFET 채널 길이는 $315nm$)일 때 출력저항은 최대이며, 출력저항의 값은 $2.7M\Omega$ 으로 단일 nMOSFET보다 약 2배 크다.

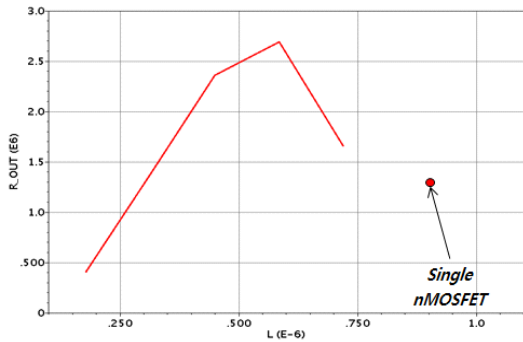


Fig. 6 Output resistance to source side MOSFET channel length in nMOSFET self-cascode structure

그림 7은 pMOSFET 셀프-캐스코드 구조에서 소스 측 채널 길이에 대한 트랜스컨덕턴스를 나타낸다. 단일 pMOSFET의 채널길이가 900nm 일 때 트랜스컨덕턴스는 96.51μS이다. 셀프-캐스코드 구조의 경우 소스 측 채널길이가 180nm(드레인 측 MOSFET 채널길이는 720nm)일 때 트랜스컨덕턴스는 최대이며, 값은 143.22μS로 단일 nMOSFET보다 약 1.5배 크다.

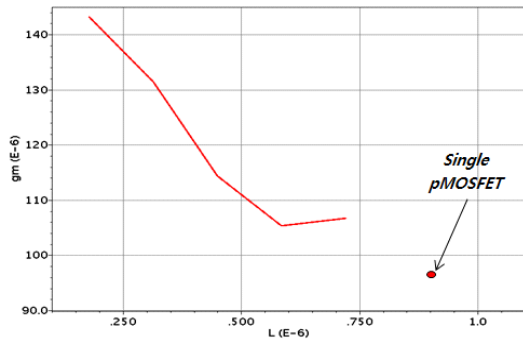


Fig. 7 Transconductance to source side MOSFET channel length in pMOSFET self-cascode structure

그림 8은 제안하는 셀프-캐스코드 구조를 적용한 오류 증폭기를 보여준다. 기존의 OTA에 셀프-캐스코드 구조를 적용하였다. OTA의 이득은 입력단의 트랜스컨덕턴스와 출력단의 저항 값의 곱이다. 따라서 입력단의 MOSFET은 트랜스컨덕턴스 최적화를 위해 소스 측 ($M_{1,S}$, $M_{2,S}$) 길이를 최소 길이인 180nm, 드레인 측 ($M_{1,D}$, $M_{2,D}$) 길이를 720nm로 하였다. 입력단 MOSFET을 제외한 바이어스 단과 출력단의 MOSFET은 출력저항의 최적화를 위해 소스 측 길이를 585nm, 드레인 측 길이를 315nm로 하였다. 또한 순방향 바디 전압 ($V_{CMP,S}$

V_{CMN})을 통해 드레인 측 문턱전압을 낮춰 모든 MOSFET이 포화영역으로 동작할 수 있도록 하였다.

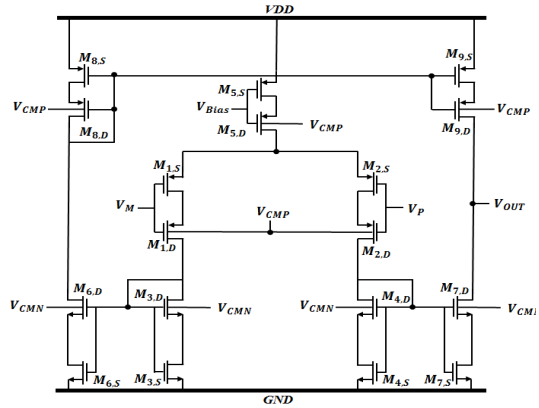


Fig. 8 Error amplifier with optimized self-cascode structure

제안하는 오류 증폭기의 이득과 단일이득대역폭은 식 (2)와 식 (3)으로 나타낼 수 있다.

$$A_v = g_{m1,S}((g_{m1,D}r_{o1,D}r_{o1,S}) \parallel (g_{m9,D}r_{o9,D}r_{o9,S})) \quad (2)$$

$$UGBW = A_v \cdot f_{3dB} = \frac{g_{m1,S}}{2\pi C_L} \quad (3)$$

기존의 오류증폭기와 셀프-캐스코드 구조를 적용한 오류 증폭기의 주파수 응답을 그림 9에서 보여준다. 이득은 기존의 오류 증폭기보다 12.7dB 증가했고, 단일이득대역폭은 5.7MHz 증가한 것을 확인할 수 있다. 제안한 셀프-캐스코드 구조를 적용한 오류 증폭기의 성능을 표 1에 나타내었다.

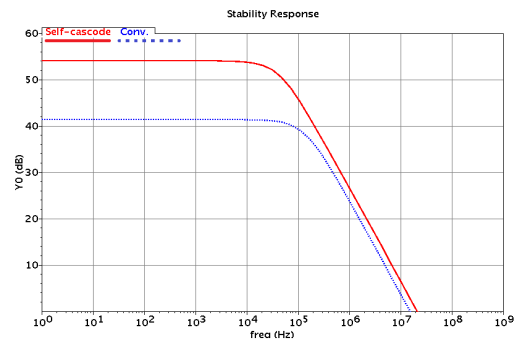


Fig. 9 Frequency response of proposed self-cascode error amplifier

Table. 1 Performance of self-cascode error amplifier

Parameter	Unit	Conv.[8]	Proposed
Technology		Magna 0.18- μm	
VDD	V	1.8	
CL	pF	1	
Gain	dB	41.34	54.04
Phase Margin	degree	81.13	79.34
Offset	mV	2.5	0.5
Gain bandwidth	MHz	15.48	21.2
Current consumption	μA	40	40

제안하는 LDO 레귤레이터는 최대 부하 전류 ($I_{OUT,MAX}$)를 10mA로 정하여 패스 소자의 비율을 구하였다. 채널 길이를 900nm로 정하고 주어진 공정 파라미터인 $\mu_p C_{ox} = 42.4\mu\text{A}/V^2$, $V_{sd,sat} = 200\text{mV}$ 을 식 (4)에 대입하여 패스 소자의 채널 폭을 구하였다.

$$W = \frac{2I_{OUT,MAX} \cdot L}{\mu_p C_{ox} V_{sd,sat}^2} \quad (4)$$

셀프-캐스코드 구조를 적용한 패스소자는 트랜스컨덕턴스를 최적화하였다. 즉, 소스 측 채널 길이($L_{M_p,S}$)를 180nm, 드레인 측 채널 길이($L_{M_p,D}$)를 720nm로 설정하였다. 기존 패스소자의 트랜스컨덕턴스는 35.46mS이다. 셀프-캐스코드 구조의 최적화 후 패스소자의 트랜스컨덕턴스는 79.15mS로 약 2배 증가하였다. 트랜스컨덕턴스를 최대로 하면, 식 (5)에 의해 단일이득대역폭이 증가하여 안정화 속도가 향상된다.

$$UGBW = \frac{g_{m,p}}{2\pi C_c} \quad (5)$$

여기서 C_c 는 밀러 보상 커패시턴스 값이다.

III. 실험결과

제안하는 LDO 레귤레이터의 설계는 Magna 0.18 μm 표준 CMOS 공정을 이용하여 설계 및 제작되었으며 Cadence사의 Virtuoso와 Spectre를 이용하여 시뮬레이션 결과를 확인하였다.

3.1. 레이아웃

그림 10은 제안한 LDO 레귤레이터의 레이아웃을 보여준다. 칩 면적은 303 $\mu\text{m} \times 137\mu\text{m}$ 이다. Twin Well 공정을 필요로 하며, (a)는 밴드 갭 기준전압 발생회로, (b)는 오류증폭기, (c)는 능동 전류 바이어스단, (d)는 드레인 측 패스소자, (e)는 소스 측 패스소자를 나타낸다.

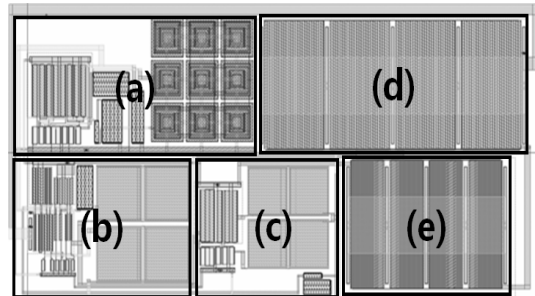


Fig. 10 Layout of the proposed LDO regulator

3.2. 주파수 응답

제안한 LDO 레귤레이터의 경우 1단 오류 증폭기와 패스 소자의 이득 단이 추가된 2단 증폭기의 구조를 가진다. 따라서 주파수 보상은 필수적이며, 밀러 주파수 보상법(Miller Compensation)을 사용하였다.

그림 11은 부하전류가 10mA일 때, 기존의 LDO 레귤레이터와 제안한 셀프-캐스코드 구조의 LDO 레귤레이터의 주파수 응답을 비교하여 나타낸다. 모의실험 결과, 제안한 LDO 레귤레이터의 이득은 76.06dB로 기존의 구조보다 약 20dB 증가한 것을 확인할 수 있다. 또한 단일이득주파수는 2.74MHz로 약 2배 정도 증가하였다. 이 때 보상을 위한 저항 값은 10k Ω , 커패시터 값은 3.5 pF이다.

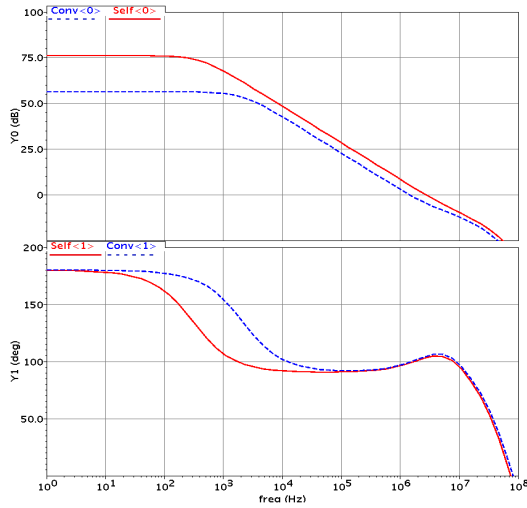


Fig. 11 Frequency Response of LDO Regulator

3.3. 레귤레이션 특성

그림 12는 기존의 LDO 레귤레이터와 제안한 LDO 레귤레이터의 로드 레귤레이션 DC 특성 모의실험 결과이다. 제안한 LDO 레귤레이터의 로드 레귤레이션은 $0.03V/A$ 로 기존의 LDO 레귤레이터보다 성능이 약 10배 향상되었다.

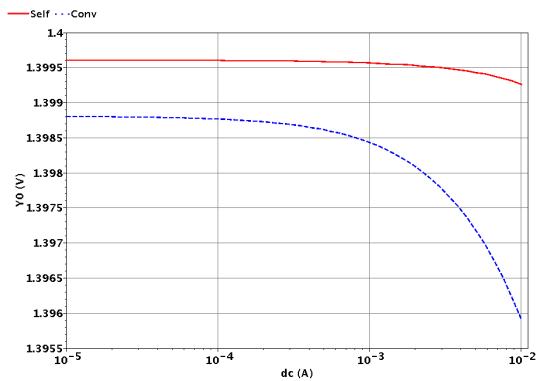


Fig. 12 Comparison of Load regulation of LDO regulator

그림 13은 기존의 LDO 레귤레이터와 제안한 LDO 레귤레이터의 라인 레귤레이션 DC 특성 모의실험 결과이다. 제안한 LDO 레귤레이터의 라인 레귤레이션은 $2.23mV/V$ 로 기존의 LDO 레귤레이터보다 성능이 약 3배 향상되었다.

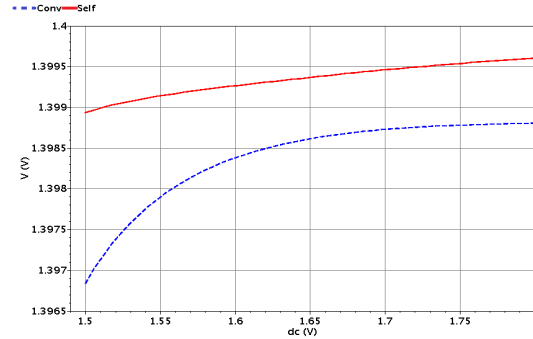


Fig. 13 Comparison of Line regulation of LDO regulator

3.4. 과도응답특성

그림 14는 기존의 LDO 레귤레이터와 제안한 LDO 레귤레이터의 부하전류변화에 대한 과도응답특성을 비교한다. 입력전압 1.8V에서 부하전류가 $10\mu A \sim 10mA$ 의 범위로 변동할 때, 출력전압의 변화를 확인하였다. 기존 LDO 레귤레이터의 오버슈트와 언더슈트는 $48mV$ 이며, 안정화 시간은 $895ns$ 이다. 제안한 셀프-캐스코드 구조의 LDO 레귤레이터의 경우 오버슈트와 언더슈트는 $26mV$ 이며, 안정화 시간은 $583ns$ 로 기존의 LDO 레귤레이터보다 향상된 결과를 보여준다.

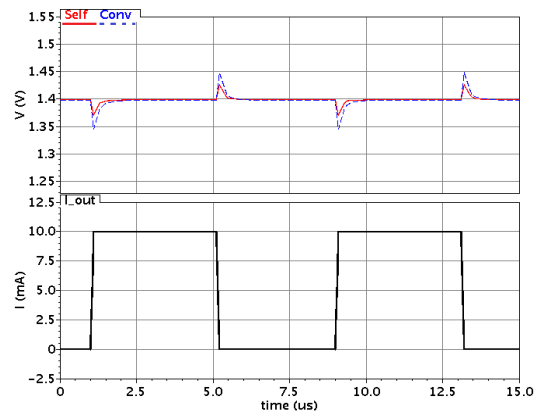


Fig. 14 Comparison of Transient Response Characteristics of LDO Regulator to Load Current Variation

표 2에 기존의 구조와 제안한 LDO 레귤레이터의 성능을 비교하였다. 단일 MOSFET을 사용한 LDO 레귤레이터보다 셀프-캐스코드를 적용한 LDO 레귤레이터가 더 향상된 성능을 가지고 있음을 확인할 수 있다.

Table. 2 Performance Comparison Table for LDO Regulators

Parameter	Unit	Conv.[8]	Proposed
C_c	pF	3.5	
Gain	dB	56.29	76.06
PM	$degree$	99.21	101.44
UGBW	MHz	1.44	2.71
Load Reg.	V/V	0.29	0.03
Line Reg.	mV/V	6.57	2.23
Transient Response	ns	971	625

IV. 결론

본 논문에서는 셀프-캐스코드 구조를 적용한 LDO 레귤레이터를 설계하였다. 설계된 LDO 레귤레이터는 기존의 LDO 레귤레이터에 셀프-캐스코드 구조를 적용하였으며, 채널 길이의 비율을 조절하고 드레인 측 MOSFET에 적절한 순방향 바디 전압을 인가하여 출력 저항과 트랜스컨덕턴스를 최적화하였다. LDO 레귤레이터의 이득은 기존의 LDO 레귤레이터보다 약 14dB 증가하였으며, 단일이득대역폭도 미세하게 증가하였다.

설계된 LDO 레귤레이터는 1.5V~1.8V의 입력 전압 범위를 가지며, 부하전류가 10mA일 때 출력전압은 1.4V로 일정하다. 라인 레귤레이션은 부하전류 10mA에서 2.23mV/V이다. 또한, 로드 레귤레이션은 입력전압 1.8V에서 0.03V/V로 기존의 LDO 레귤레이터보다 좋은 레귤레이션 특성을 가진다. 과도응답특성의 경우 기존의 LDO 레귤레이터보다 향상된 안정화 속도를 가진다.

REFERENCES

- [1] X. Tong and K. Wei, "A fully integrated fast-response LDO voltage regulator with adaptive transient current distribution," in *Proceedings of 2017 IEEE Computer Society Annual Symposium on VLSI*, Bochum: North rhine-Westphalia, pp. 651-654, 2017.
- [2] K. C. Woo, J. H. Sim, T. W. Kim, S. K. Hwang and B. D. Yang, "Fast-Transient Digital LDO Regulator With Binary-Weighted Current Control," *Journal of the Korea Institute of Information and Communication Engineering*, vol. 20, no. 6, pp. 1154-1162, Jun. 2016.
- [3] J. Y. Lee and L. Kolasani, (2015, March). Security Based Network for Health Care System. *Asia-pacific Journal of Convergent Research Interchange*, 1(1), pp. 1-6, Available: <http://dx.doi.org/10.21742/APJCRI.2015.03.01>.
- [4] S. S. Rajput, and S. S. Jamuar. "Low voltage analog circuit design techniques." *IEEE Circuits and Systems Magazine*, vol.2, no.1, pp. 24-42, Aug. 2002.
- [5] K. Y. Na, "OPAMP Design Using Optimized Self-Cascode Structures," *Transactions on Electrical and Electronic Materials*, vol.15, no.3, pp. 149-154, Jun. 2014.
- [6] K. J. Baek, J. M. Gim, H. S. Kim, K. Y. Na, N. S. Kim, and Y. S. Kim, "Analogue circuit design methodology using self-cascode structures," *Electronics Letters*, vol.49, no.9, pp. 591-592, Apr. 2013.
- [7] J. Kaur, N. Prakash, and S. S. Rajput, "Low voltage high performance self cascode CCII," in *Proceedings of Multitopic Conference*, Karachi: Sind, pp. 7-11, 2008.
- [8] R. J. baker, H. W. Li, and D. E. Boyce, *CMOS Circuit Design, Layout, and Simulation*, New York,NY: IEEE Press, 1998.
- [9] S. Y. Yoon, "Design of A Folded-Cascode OPAMP Using Optimized Self-Cascode Structures," M.S. thesis, Chungbuk National University, Cheong-ju, 2014.
- [10] A. Zeki, and H. Kuntman. "High-linearity low-voltage self-cascode class AB CMOS current output stage," in *Proceedings of the IEEE 2000 International Symposium on Circuits and Systems*, Geneva: Geneva, pp. 257-260, 2000.
- [11] I. Fujimori and T. Sugimoto, "A 1.5 V, 4.1 mW dual-channel audio delta-sigma D/A converter," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, pp. 1863-1870, Dec. 1998.



최성열(Seong-Yeol Choi)

2016년 충북대학교 전자공학부 학사 졸업.
2018년 충북대학교 반도체공학 석사 졸업.
※관심분야 : 아날로그 회로 설계



김영석(Yeong-Seuk Kim)

1980년 서울대학교 전자공학 학사 졸업.
1982년 서울대학교 전자공학석사 졸업.
1990년 플로리다대학교 전기공학 박사 졸업.
1982년 ~ 1982년 LG전자 중앙연구소 연구원
1990년 ~ 1993년 2월 Motorola APRDL, Staff Engineer
1993년 3월 ~ 충북대학교 전기전자컴퓨터공학부 교수
※관심분야 : 아날로그 회로 설계, RF IC 설계, 소자 모델링