

Si 기판의 연삭 공정이 산화주석 박막의 전기적 성질에 미치는 영향 연구

조승범 · 김사라은경[†]

서울과학기술대학교 나노IT디자인융합대학원

Effect of Si grinding on electrical properties of sputtered tin oxide thin films

Seunghum Cho, and Sarah Eunhyung Kim[†]

Graduate School of Nano-IT Design Convergence, Seoul National University of Science and Technology, 232,
Gongneung-ro, Nowon-gu, Seoul 01811, Korea

(Received April 10, 2018: Corrected June 19, 2018: Accepted June 22, 2018)

초 록: 최근 유연 소자, 투명 소자, MEMS 소자와 같은 다양한 소자를 결합하는 시스템 집적화 기술이 많이 개발되고 있다. 이러한 다중 소자 시스템 제조 기술의 핵심 공정은 칩 또는 웨이퍼 레벨의 집합 공정, 기판 연삭 공정, 그리고 박막 기판 핸들링 기술이라 하겠다. 본 연구에서는 Si 기판 연삭 공정이 투명 박막 트랜지스터나 유연 전극 소재로 적용되는 산화주석 박막의 전기적 성질에 미치는 영향을 분석하였다. Si 기판의 두께가 얇아질수록 Si d-spacing은 감소하였고, Si 격자 내에 strain이 발생하였다. 또한, Si 기판의 두께가 얇아질수록 산화주석 박막 내 캐리어 농도가 감소하여 전기전도도가 감소하였다. 얇은 산화 주석 박막의 경우 전기전도도는 두꺼운 산화 주석 박막보다 낮았으며 Si 기판의 두께에 의해 크게 변하지 않았다.

Abstract: Recently, technologies for integrating various devices such as a flexible device, a transparent device, and a MEMS device have been developed. The key processes of heterogeneous device manufacturing technology are chip or wafer-level bonding process, substrate grinding process, and thin substrate handling process. In this study, the effect of Si substrate grinding process on the electrical properties of tin oxide thin films applied as transparent thin film transistor or flexible electrode material was investigated. As the Si substrate thickness became thinner, the Si d-spacing decreased and strains occurred in the Si lattice. Also, as the Si substrate thickness became thinner, the electric conductivity of tin oxide thin film decreased due to the lower carrier concentration. In the case of the thinner tin oxide thin film, the electrical conductivity was lower than that of the thicker tin oxide thin film and did not change much by the thickness of Si substrate.

Keywords: tin oxide, Si grinding, lattice strain, stacked thin film

1. 서 론

전통적인 반도체 소자의 패키징 기술은 성능을 향상시킬 뿐 아니라 가격을 낮추고 두께(package profile)와 면적을 줄이는 방향으로 발전해 왔으며, 특히 차세대 패키징 기술은 3D 적층 패키징(stacked packaging), 임베디드 패키징(embedded packaging), 그리고 팬 아웃 웨이퍼 레벨 패키징(fan out wafer level packaging, FOWLP)과 같은 시스템을 집적화하는 구조로 발전해 가고 있다.¹⁻³⁾ 최근에는 유연 소자, 투명 소자, 또는 MEMS(micro-electro-mechanical system) 소자와 IC(integrated circuit) 소자가 결합된 다중 시스템 집적화 기술이 많이 개발되고 있다. 이러한 적층

구조의 시스템 기술을 위해서는 칩 또는 웨이퍼 레벨의 집합 공정과 기판 연삭 공정 및 박막 기판 핸들링 기술 등이 핵심 기술이라 하겠다. 본 연구에서는 투명 박막 트랜지스터 소재로 각광을 받고 있는 산화주석(tin oxide) 박막을 이용하여 p형 산화물반도체 박막을 실리콘(Si) 기판 위에 증착하고, Si 기판의 연삭(grinding)과 연마(polishing) 과정이 산화주석 박막의 전기적 성질에 미치는 영향을 고찰하였다.

산화주석 박막은 반도체 특성을 가지고 있고, 가시광선 영역에서 투명하여 투명 전극, 투명 소자, 태양전지, 가스 센서(gas sensor), 등 다양한 분야에서 연구되고 있다.⁴⁻⁹⁾ 일반적으로 산화주석은 n형 SnO₂와 p형 SnO 박막 형태

[†]Corresponding author
E-mail: eunhyung@seoultech.ac.kr

© 2018, The Korean Microelectronics and Packaging Society

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

의 두 가지 상을 가진다. n형 SnO₂ 박막은 화학적으로 안정하고 3.6 eV의 넓은 밴드 갭 에너지를 가지고 있으며, p형 SnO 박막은 화학적으로 불안정하고, 밴드 갭 에너지는 2.7 eV에서 3.4 eV로 공정에 따라서 다양하게 나타난다.^{8,9)} 본 연구에서는 Sn/SnO 혼합 타겟으로 스퍼터링(sputtering) 증착 방법을 이용하여 산화주석 박막을 제조한 후 Si 기판을 연삭하였다. Si 기판의 연삭 공정은 일반적으로 거친 연삭(coarse grinding), 미세 연삭(fine grinding), 그리고 연마(polishing)의 3단계 공정으로 이루어진다. 거친 연삭 단계에서 발생한 Si 기판의 결정 결함은 대부분 미세 연삭 단계에서 제거되지만 미세한 표면 손상이나 결함(defect)들은 남아 있게 된다. 이러한 표면 손상이나 결함은 Si 기판 표면에 응력(stress)을 초래하게 되기 때문에 표면 처리를 위한 마지막 연마 단계를 진행하여야 한다. 표면 연마 방법으로는 기계적 연마(mechanical polishing), 플라즈마 식각(plasma etching), 습식 식각, 그리고 화학적 기계적 연마(chemical mechanical polishing, CMP)가 있다.¹⁰⁾ 본 연구에서는 기계적 연마를 이용하였으며, 기계적 연마는 습식 식각 방법과 비교하여 표면 거칠기(roughness) 값이 현저히 낮고, CMP 연마와 비교하여서는 가격이 저렴하다는 장점이 있다.¹⁰⁾

2. 실험 방법

약 671 μm 두께의 6인치 Si 웨이퍼를 2 cm \times 2 cm 크기로 절단하여 기판으로 사용하였다. SnO 박막은 Si 기판 위에 스퍼터링 방법으로 증착되었으며, 스퍼터링 공정 시 Sn/SnO 혼합 타겟이 사용되었다. 금속이나 세라믹 타겟이 아닌 Sn/SnO 혼합 타겟을 사용하여 증착된 SnO 박막 소재의 특성 연구는 다른 문헌에 자세하게 설명되어 있다.^{9,12,13)} 본 실험의 박막 증착 조건은 Table 1에 나타내었

Table 1. Deposition conditions of tin oxide thin films

Substrate	Silicon
Target material	Sn+SnO (20 mol% Sn)
Base pressure	3~7X10 ⁻⁷ Torr
Working pressure	5mTorr
Sputtering gas	Ar
RF Power	35W
Substrate temp.	100°C

고, 공정 압력은 5 mTorr, 기판 온도는 100°C, 그리고 RF power는 35W로 고정하여 실험을 진행하였다. 증착된 SnO 박막은 100 nm와 200 nm 두 가지로 제조하였으며, 3D profiler(Dektak 150, Veeco)로 측정하였다. 박막의 증착 속도는 약 0.4Å/sec이었다. SnO 박막의 구조적 분석은 X선 회절계(X-ray diffractometer, XRD)와 광전자분광법(X-ray photoelectron spectrometer, XPS)으로 진행하였다. SnO 박막이 증착된 Si 기판은 Struers사의 Target Mater micropolisher 장비를 이용하여 연삭(grinding)과 연마(polishing)를 진행하였다. 연삭과 연마 조건은 Table 2에 설명하였고, 실험 순서는 Fig. 1에 도식화하여 나타내었다. Si 기판은 약 59 μm 두께까지 연삭, 연마하였고, Si 기판 두께는 연삭 시 in-situ로 TargetMater micropolisher에서 측정하였다.

연삭 후 SnO 박막은 홀 효과 측정 시스템(Hall effect measurement system, HMS-3000)을 이용하여 상온에서 캐리어 농도(carrier concentration), 이동도(mobility), 그리고 전기전도도(electrical conductivity)를 측정하였다. van der Pauw Hall 측정을 위한 전극으로는 500 nm 두께의 Sn을 사용하였고, Sn 전극과 SnO 시편의 오믹(ohmic) 접촉을 확인한 후 홀 효과 측정을 진행하였다. 각 시편은 10회 홀 효과 측정을 진행한 후 평균값으로 분석하였다. SnO 박막과 Si 기판 계면에 나타나는 구조적 분석은 시편을 이온 밀링(ion milling) 후 전계 방출 투과 전자 현미경(FE-TEM, Field Emission transmission electron microscopy, JEM-2100F HR)을 이용하여 진행하였다.

3. 결과 및 고찰

Fig. 2(a) XRD 분석에 의하면 증착된 SnO 박막은 다결정(polycrystalline) 상태와 비정질(amorphous) 상태의 혼합으로 보이며, 부분적으로 nanocrystalline phase를 가지고 있다. 비록 완전한 다결정체는 아니지만, 결정체의 주 결정 방향은 SnO [101] peak 방향으로 나타났다. SnO 박막 내 nanocrystalline phase는 Fig. 3의 TEM 분석에서 확인할 수 있다. 그리고 Fig. 2(b) XPS 분석에 의하면 Sn3d_{5/2} peak의 결합 에너지(binding energy)가 약 485.9 eV에서 나타났으며, peak deconvolution에 의하면 증착된 SnO 박막은 Sn⁴⁺와 Sn²⁺ chemical state가 다소 혼재된 상태를 가지는 것으로 보인다.¹³⁾ 또한, 약 484.6 eV 근처에서 나타나

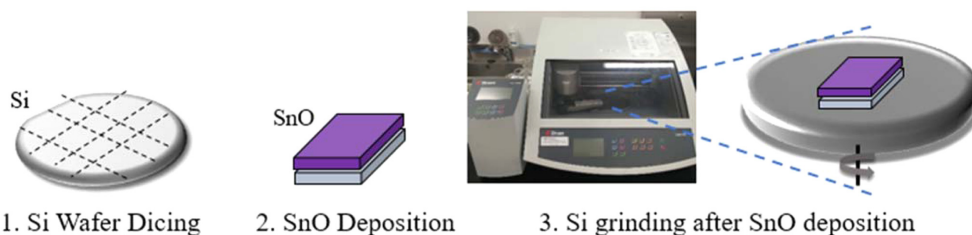
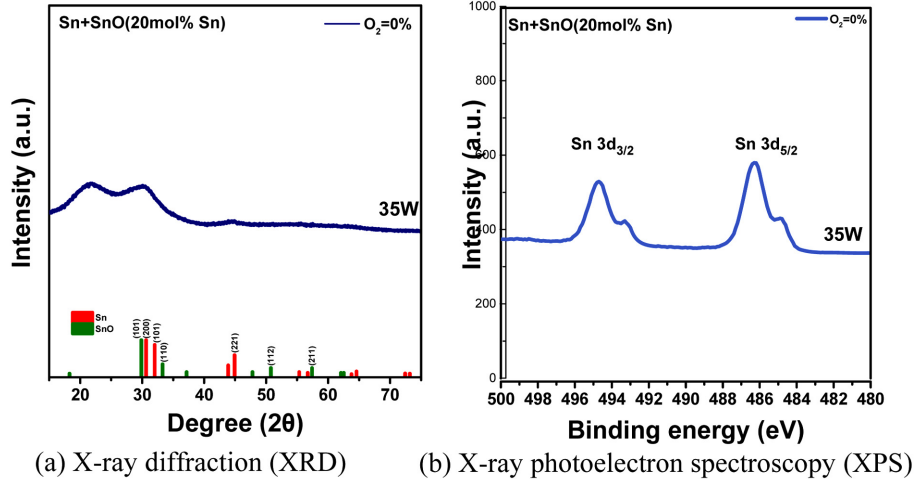


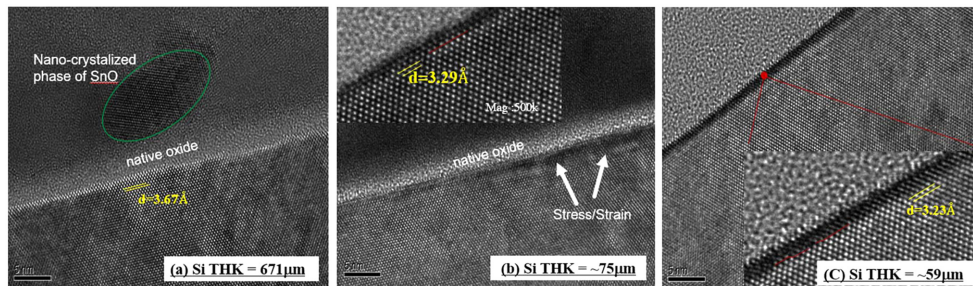
Fig. 1. Schematics of Si sample polishing process steps (a) X-ray diffraction (XRD) (b) X-ray photoelectron spectroscopy (XPS).

Table 2. Si polishing conditions

Step	Force (N)	Wheel Rotational Speed (rpm)	Holder Rotational Speed (rpm)	Polishing Paper Material
Grinding	30/20/10	300/200/100	20	SiC paper (Grid P800, P1200)
Polishing	10	150	20	Woven fabric



(a) X-ray diffraction (XRD) (b) X-ray photoelectron spectroscopy (XPS)

Fig. 2. Structural analysis of SnO thin films [partial data from 13].**Fig. 3.** TEM images of SnO/Si stack after grinding/polishing.

는 결합에너지는 Sn^0 peak으로 스퍼터링 공정 시 Sn/SnO 혼합 타겟을 이용하였기 때문에 SnO 박막 내 Sn 상태로 존재하는 것으로 보인다.

Si 기판은 연삭 후 TEM 측정의 SAED(selected area electron diffraction) pattern을 이용하여 Si d-spacing이 계산되었고, Table 3에 정리하였다. SAED pattern의 예는 Fig. 4에 나타내었다. d-spacing은 SAED pattern의 reciprocal space에서 ring 반지름(R)을 구한 후 1/R로 변환하여 계산하였다. Si 기판의 두께가 약 671 μm 에서 약 59 μm 으로 연삭되었을 때 [111] 방향의 Si d-spacing은 3.67Å에서 3.23Å으로 감소하였다. SnO의 열팽창계수(coefficient of thermal expansion, CTE)는 $\sim 4 \text{ ppm}/^\circ\text{C}$ 이며,¹⁴⁾ Si의 열팽창계수는 $\sim 2.6 \text{ ppm}/^\circ\text{C}$ 이다. 또한, SnO의 분자 부피(molecular

volume)는 $20.88 \text{ cm}^3/\text{mol}$ 이며, Si의 분자 부피는 $12.06 \text{ cm}^3/\text{mol}$ 이다. Si 기판 보다 CTE가 크고, 분자 부피가 큰 SnO 박막을 두꺼운 Si 기판에 증착하면 Si 기판과 SnO 박막 계면에 인장 응력(tensile stress)이 발생하게 되고 계면 간 스트레인(interfacial strain)이 야기된다. 이로 인하여 bare Si 기판과 비교하여 SnO 박막이 증착된 Si 기판의 d-spacing은 약간 증가하게 된다. 하지만, Si 기판의 두께가 감소함에 따라서 계면 간 스트레인이 감소하고, 압축 응력(compressive stress) 방향으로 응력이 변화하기 때문에 SnO 박막과 Si 계면에서 Si d-spacing은 다시 감소하게 된다. 그리고 Fig. 3에서 보듯이 Si 기판 두께가 감소할수록 SnO 박막과 Si 계면에서 Si의 원자 배열이 불규칙하게 변한 것을 관찰할 수 있고, Si 영역에서 대조적으로 어두운 이미지(dark contrast image)들을 관찰할 수 있는데 이는 Si 격자에 스트레인이 발생하였다는 의미를 가진다. Short range order로 구성된 nanocrystalline phase를 이용하여 SnO 박막의 d-spacing을 계산하였고, 그 값은 2.985Å로 JCPDS No. 00-006-0395의 SnO (101) 면의 d-spacing 값(2.989Å)

Table 3. Estimation of d-spacing from SAED patterns

Tin Oxide	Si substrate		
$d_{\text{tin oxide}}$	$d_{\text{Si THK } 671 \mu\text{m}}$	$d_{\text{Si THK } 75 \mu\text{m}}$	$d_{\text{Si THK } 59 \mu\text{m}}$
2.99Å	3.67Å	3.29Å	3.23Å

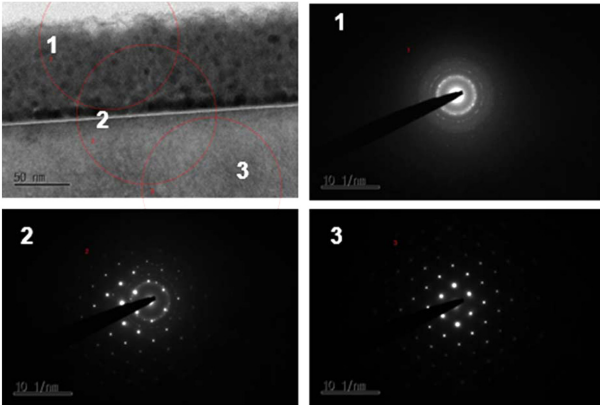


Fig. 4. SAED patterns of SnO/Si (Si THK = 75 μm)

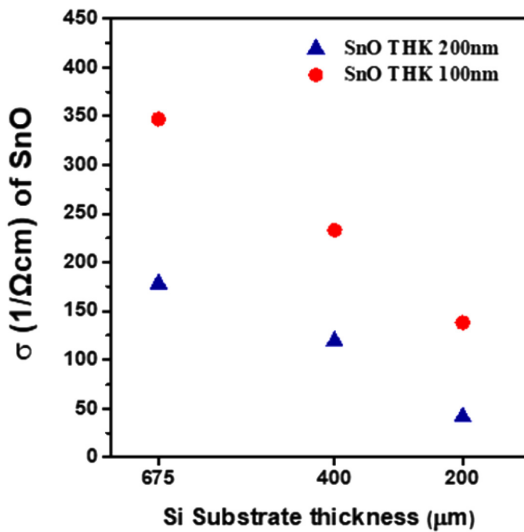


Fig. 5. Electrical conductivity of SnO thin films after grinding/polishing of Si substrate.

과 유사함을 확인할 수 있다.

Fig. 5, Fig. 6, 그리고 Fig. 7은 Si 기판의 두께가 감소함에 따라서 Si 기판 위에 증착된 SnO 박막의 전기전도도, 이동도, 그리고 캐리어 농도를 측정한 결과이다. Si 기판의 두께가 감소할수록 SnO 박막의 전기전도도(σ)는 감소하였고, 주된 감소 원인은 캐리어 농도(N)의 감소로 관찰되었다. 일반적으로 p형 SnO 박막의 캐리어 농도는 tin vacancy 또는 excess oxygen 자리에서 발생하는 전하(charge)에 의해 결정된다. Si 두께가 감소할수록 캐리어 농도가 감소하는 이유는 tin vacancy나 excess oxygen 자리가 응력과 스트레인에 의해서 소멸된 것으로 추측된다. 이동도(μ)의 경우는 변화가 거의 없었으며 Si 기판 두께가 감소할수록 SnO 박막 내 구조적 결함 밀도가 증가하고, 이로 인한 scattering이 증가하여 미미하나 약간 증가하는 추세를 보였다. 그리고 SnO 박막의 두께를 100 nm와 200 nm 두 가지로 시편을 준비하여 Si 기판 연삭 공정 테스트를 진행하였고, SnO 박막의 두께가 얇을수록 박막 내 불규칙한 화학양론(stoichiometry)과 구조적 결함 밀도

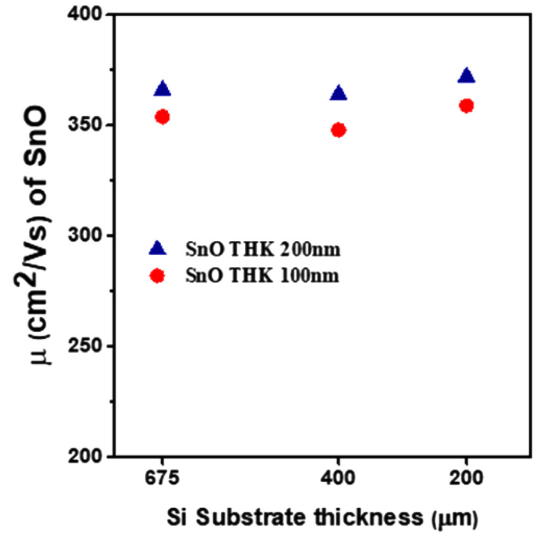


Fig. 6. Mobility of SnO thin films after grinding/polishing of Si substrate.

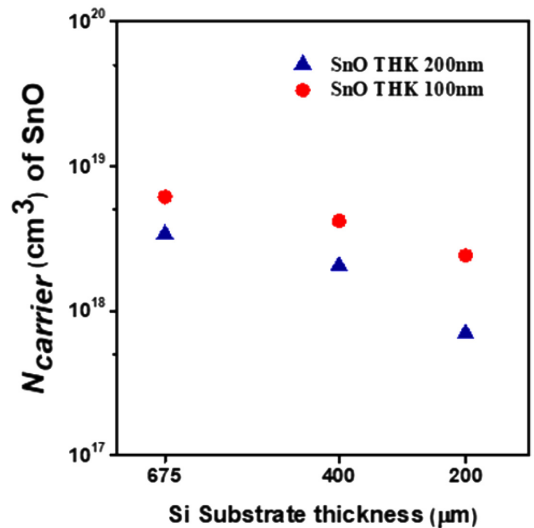


Fig. 7. Carrier concentration of SnO thin films after grinding/polishing of Si substrate of Si substrate.

증가로 전기전도도가 낮아졌음을 Fig. 5에서 확인할 수 있다. 또한, SnO 박막 두께가 얇은 시편이 Si 기판 두께에 따른 응력 변화를 적게 받기 때문에 Si 기판의 두께 감소에 따른 전기전도도 변화 폭이 적었다.

4. 요약

본 연구에서는 Si 기판의 연삭 공정이 SnO 박막에 미치는 영향을 고찰하였다. SnO 박막은 Sn/SnO 혼합 타겟을 이용하여 RF 스퍼터링 방법으로 Si 기판 위에 증착하였고, Si 기판을 연삭 후 SnO 박막과 Si 기판의 전기적, 구조적 특성 변화를 분석하였다. Si 기판의 두께가 얇아질수록 Si d-spacing은 감소하였고, Si 격자에 스트레인이

발생하였다. Si 기판의 두께가 감소할수록 SnO 박막 내 캐리어 농도의 감소로 인하여 전기전도도는 감소하였다. 동일 Si 기판 두께에서는 SnO 박막 두께가 얇은 시편이 불규칙한 화학양론과 구조적 결함 밀도 증가로 전기전도도가 낮으 것으로 보이며, SnO 박막 두께가 얇은 시편은 Si 기판의 두께에 따른 전기전도도 감소 폭이 적었다.

감사의 글

이 논문은 2017년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. NRF-2015R1C1A2A01055792).

References

1. R. S. List, C. Webb, and S. E. Kim. "3D Wafer stacking technology", Proc. Adv. Metall. Conf. 29 (2002).
2. J. Azémar, and P. Garrou, "Fan out packaging: what can explain such a great potential?", Chip Scale Review, 19(3), 5 (2015).
3. A. Alderman, L. Burgyan, B. Narveson, and E. Parker, "3D embedded packaging technology", IEEE Power Electronic Magazine, 2(4), 30 (2015).
4. J. Um, and S. E. Kim, "Homo-Junction pn Diode Using p-Type SnO and n-Type SnO₂ Thin Films", ECS Solid State Letters, 3(8), 94 (2014).
5. B. G. Lewis, and D.C. Paine, "Applications and Processing of Transparent Conducting Oxides", MRS Bulletin, 25(8), 22 (2000).
6. S. E. Kim, and M. Oliver, "Structural, Electrical, and Optical Properties of Reactively Sputtered SnO₂", Thin Films, Met. Mater. Int., 16(3), 441 (2010).
7. W. Guo, L. Fu, Y. Zhang, K. Zhang, L. Y. Liang, Z. M. Liu, and H. T. Cao, "Microstructure, Optical, and Electrical Properties of p-type SnO Thin Films", Appl. Phys. Lett., 96, 042113 (2010).
8. L. Mädler, T. Sahn, A. Gurlo, J. D. Grunwaldt, N. Barsan, U. Weimar, and S. Pratsinis, "Sensing low concentrations of CO using flame-spray-made Pt/SnO₂ nanoparticles", J. Nanoparticle Res., 8, 783 (2008).
9. C. Kim, S. Cho, S. Kim, and S. E. Kim, "Study of the effect of vacuum annealing on sputtered Sn_xO_y thin films by SnO/Sn composite target", J. Microelectron. Packag. Soc., 24(2), 43 (2017).
10. M. K. Choi, and E. Kim, "Effect of Si wafer ultra-thinning on the silicon surface for 3D integration", J. Microelectron. Packag. Soc., 15(2), 133 (2008).
11. K. Maeng, Y. Kim, S. Kang, S. Kim, and S. E. Kim, "Stress analysis of stacked Si wafer in 3D WLP", Current Applied Physics, 11, S119 (2011).
12. C. Kim, S. Cho, S. Kim, and S. E. Kim, "Comparative Analysis of SnO_x Thin Films Deposited by RF Reactive Sputtering with Different SnO/Sn Target Compositions", ECS Journal of Solid State Science and Technology, 6(12), P765 (2017).
13. C. Kim, S. Cho, S. Kim, and S. E. Kim, "Study of the effect of vacuum annealing on sputtered Sn_xO_y thin films by SnO/Sn composite target", J. Microelectron. Packag. Soc., 24(2), 43 (2017).
14. L. Filipovic, and S. Selberherr, "Performance and Stress Analysis of Metal Oxide Films for CMOS-Integrated Gas Sensors", Sensors, 15, 7206 (2015).