

Cascaded H-Bridge 멀티레벨 인버터를 위한 개선된 모델 예측 제어 방법

Improved Model Predictive Control Method for Cascaded H-Bridge Multilevel Inverters

노 찬* · 김 재 창* · 곽 상 신*
(Chan Roh · Jae-Chang Kim · Sangshin Kwak)

Abstract - In this paper, an improved model predictive control (MPC) method is proposed, which reduces the amount of calculations caused by the increased number of candidate voltage vectors with the increased voltage level in multi-level inverters. When the conventional MPC method is used for multi-level inverters, all candidate voltage vectors are considered to predict the next-step current value. However, in the case that the sampling time is short, increased voltage level makes it difficult to consider the all candidate voltage vectors. In this paper, the improved MPC method which can get a fast transient response is proposed with a small amount of the computation by adding new candidate voltage vectors that are set to find the optimal vector. As a result, the proposed method shows faster transient response than the method that considers the adjacent vectors and reduces the computational burden compared to the method that considers the whole voltage vector. the performance of the proposed method is verified through simulations and experiments.

Key Words : Cascaded H-bridge, Multi-level inverter, Model-predictive-control, Calculation reduction

1. 서 론

최근 멀티레벨 인버터는 우주항공, 철도산업, 전력계통 등 광범위한 분야에 이용됨에 따라 중요한 대용량 전력변환장치로 주목받고 있다. 기존의 2레벨 인버터는 출력 전압 대비 전고조파 왜형률 (Total Harmonic Distortion : THD)이 높고 스위칭 손실이 높다는 단점을 가지고 있다. 그에 비해 멀티레벨 인버터는 출력을 여러 레벨로 출력하여 THD와 스위칭 손실을 낮추고 스위칭 스트레스를 감소시킬 수 있다.

다양한 대용량 전력변환 장치 중에서 가장 많이 사용되는 Cascaded H-bridge (CHB) 멀티레벨 인버터는 한 상마다 각 셀이 직렬로 연결된 형태로 구성되어 있다. 셀은 각각 독립된 단상 인버터 구조를 가지고 있으며 각 셀마다 독립된 DC전원을 공급해줘야 한다. 이러한 셀 구조를 갖는 CHB 멀티레벨 인버터는 높은 모듈성을 가지며 셀의 수를 조정하여 최대 전압 레벨을 바꿀 수 있고 고장 시에도 독립된 셀 단위로 교체함으로써 유연하게 대처할 수 있다[1].

이러한 CHB 멀티 레벨 인버터를 더욱 효율적으로 사용하기 위한 여러 가지 방법들이 고안되었다. 가장 보편적인 방법으로는

펄스 폭 제어방식(PWM)을 이용한 level-shifted PWM[2]과 phase-shifted PWM[3]이 있다. 이외에도 공간벡터 PWM[4], 특정 고조파 제거 기법 (Selective Harmonic Elimination : SHE)[5]과 같은 방법이 고안되었다.

최근 마이크로프로세서의 급격한 발전에 따라 PWM 제어 기법보다 간단하고 쉽게 구현 가능한 모델예측제어 (MPC)를 이용한 여러 가지 제어방법들이 고안되고 있다[6]-[8]. 인버터의 전체 전압 벡터를 모두 고려하는 기존의 2레벨 모델 예측 제어 기법을 CHB 멀티레벨 인버터에 그대로 적용하면 모든 전압 벡터를 고려하기 때문에 정확하고 빠른 과도응답을 가질 수 있다. 하지만 인버터의 최대 전압 레벨이 증가하면 증가할수록 고려해야할 전압 벡터 수가 기하급수적으로 늘어나기 때문에 마이크로프로세서에 과부하를 일으켜 원하는 성능을 얻지 못하는 결과를 초래할 수 있다. 이에 따라 계산량을 줄이기 위해 인접한 7개의 벡터만 고려하는 방식이 제안되었다[6]. 이 방식은 어느 상황에서든 7개의 벡터만 고려하면 되므로 계산량을 감소시킬 수 있다. 그러나 이 기법은 인접한 벡터만을 고려하여 인버터를 제어하기 때문에 과도 상태 발생 시 느린 응답을 갖는다. 본 논문에서는 정상상태에서 출력성능에 영향을 주지 않고 계산량을 감소시키며 빠른 과도응답을 갖는 최적의 알고리즘을 제안한다. 제안된 방법은 기존의 전체 벡터를 고려하는 방식보다 적은 계산량으로 기존의 전체 벡터를 고려하는 방식과 유사한 과도응답 성능을 보여준다. 제안하는 방식은 기존에 제안되었던 인접한 벡터만을 고려하는 방식 (6)이 갖는 단점을 극복하기 위해 추가적인 벡터를 선정하고 이를 이용하여 최적의 벡터를 선택한다. 그 결과, 계산량 감소와

† Corresponding Author : School of Electrical and Electronics Engineering, Chung-ang University, Seoul, Korea.
E-mail : sskwak@cau.ac.kr

* School of Electrical and Electronics Engineering, Chung-ang University, Seoul, Korea.

Received : February 26, 2018; Accepted : June 27, 2018

빠른 과도응답을 얻을 수 있다. 제안된 방법의 성능은 5레벨 CHB 인버터를 이용한 시뮬레이션과 실험 결과로 검증되었다.

2. 기존 MPC를 이용한 방법

2.1 전체 벡터를 고려한 MPC 방법 (Conv1)

그림 1은 3상 5레벨 CHB 인버터를 나타낸 회로도이다. CHB 멀티레벨 인버터는 한 셀로 구성된 단상 풀브릿지 인버터가 직렬 연결된 구조로 되어있다. 각 셀들은 독립된 DC전압을 공급해주어야 하며 이 전압은 멀티 펄스 다이오드 정류기를 통해 공급된다. 한 셀마다 네 개의 스위치를 사용하며 셀들은 스위칭을 통해 2개의 출력 값을 가진다.

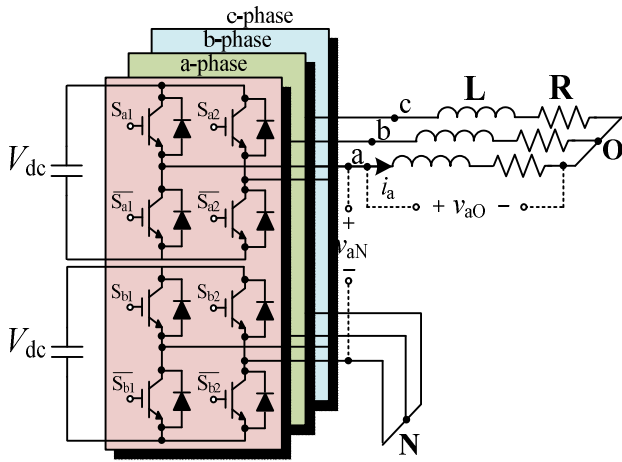


그림 1 3상 5-레벨 CHB 인버터의 회로도

Fig. 1 3-phase 5 level CHB inverter circuit

따라서 각 셀의 출력을 조합하여 3상 CHB 멀티레벨 인버터가 가질 수 있는 최대 출력전압과 레벨은 다음과 같이 나타낼 수 있다.

$$V_{aN} = \sum_{k=1}^c V_{ak} \quad (1)$$

$$L = (2c + 1) \quad (2)$$

위의 수식에서 c 는 CHB 인버터의 H-bridge의 한 상의 셀 개수이며, L 은 셀에 따라 가질 수 있는 최대 전압레벨을 나타낸다. 또, V_{aN} 은 인버터가 낼 수 있는 최대 출력 상 전압을 나타낸다. 그림 1에서와 같이 결선된 CHB에서 하나의 레그에 저항과 인덕터가 연결되어 있다면 키르히호프 법칙을 이용하여 부하 전류 역학 식을 다음과 같이 표현할 수 있다.

$$v_{aO} = Ri_a + \frac{L di_a}{dt} \quad (3)$$

식 (3)에서 R , L 은 각각 부하의 저항과 인덕턴스를 나타낸다.

위 식에서 미분 항을 오일러-근사식을 이용하여 샘플링 시간과 관련된 이산모델로 다음과 같이 나타낼 수 있다.

$$\frac{di_a}{dt} \approx \frac{i(k+1) - i(k)}{T} \quad (4)$$

앞서 계산한 식 (4)를 식 (3)에 대입하면 이산시간에서 부하 전류 역학 식을 다음과 같이 만들 수 있다.

$$i_x(k+1) = i_x(k) + \frac{T}{L}(v_x(k) - Ri_x(k)); x = \{a, b, c\} \quad (5)$$

$$i_{\alpha\beta}(k+1) = i_{\alpha\beta}(k) + \frac{T}{L}(v_{\alpha\beta}(k) - Ri_{\alpha\beta}(k)) \quad (6)$$

식 (6)에서 미래 전류를 나타내는 $i_{\alpha\beta}(k+1)$ 의 식을 통해 CHB 멀티레벨 인버터에서 발생한 전압 벡터 중 하나인 $v_{\alpha\beta}(k)$ 에 의해 $i_{\alpha\beta}(k+1)$ 가 결정 되는 것을 알 수 있다. 한편, 모델 예측 제어 기법을 마이크로프로세서로 구현 시 필연적으로 시간 지연이 발생한다. 이러한 시간지연은 원-스텝 지연 보상 알고리즘을 통해 보상할 수 있다[8]. 식 (6)를 원-스텝 지연 보상을 통해 표현하면 아래 식 (7)과 같이 표현이 가능하다.

$$i_{\alpha\beta}(k+2) = i_{\alpha\beta}(k+1) + \frac{T}{L}(v_{\alpha\beta}(k) - Ri_{\alpha\beta}(k)) \quad (7)$$

또한, 미래 지령 전류를 구하기 위해 식 (8)과 같은 라그랑제 외삽법을 사용한다.

$$i_{\alpha\beta}^*(k+1) = 3i_{\alpha\beta}^*(k) - 3i_{\alpha\beta}^*(k-1) + i_{\alpha\beta}^*(k-2) \quad (8)$$

식 (7)과 식 (8)을 이용해 구한 식 (9)를 최소로 만드는 전압 벡터를 이용하여 인버터를 제어한다. 여기서 식 (9)를 비용함수라고 부른다.

$$g = (i_{\alpha}^*(k+2) - i_{\alpha}(k+2))^2 + (i_{\beta}^*(k+2) - i_{\beta}(k+2))^2 \quad (9)$$

하지만 멀티레벨 인버터는 같은 출력을 내는 전압벡터들이 존재하기 때문에 계산 량 감소를 위해 중복 전압 벡터 중 공통 모드 전압을 최소로 하는 전압벡터를 인버터 제어에 사용한다[5]. 표 1은 3상 CHB 멀티레벨 인버터에서 셀의 수에 따른 최대 전압 레벨, 전체 전압벡터 그리고 중복벡터를 제거한 벡터 수를 보여준다.

2.2 인접벡터를 고려한 MPC방식 (Conv2) [6]

Conv1의 방법은 중복되는 벡터를 제거하고 남은 전체 벡터를 이용하여 비용함수를 최소로 만드는 벡터를 통해 인버터를 제어한다. 그러나 CHB의 최대 전압 레벨이 증가함에 따라 중복벡터

표 1 CHB 멀티레벨 인버터에서 레벨에 따른 전체 벡터의 수와 중복되지 않는 벡터의 수

Table 1 Total number of vectors and number of non-redundant vector according to the voltage level of the CHB multi-level inverter

셀의 수 (c)	2	3	N
전압 레벨 (L)	5	7	$2N+1$
전체 벡터 (N_r)	125	343	$(2N+1)^3$
중복벡터를 제거한 벡터 수 (N_{nr})	61	127	$12N^2 + 6N + 1$

를 제거하여도 고려해야 할 벡터의 수는 증가하게 되어 프로세서의 과부하 문제를 일으킬 수 있다. 이러한 문제점을 해결하고자 CHB 멀티 레벨 인버터 제어 시 인접한 벡터만 고려하는 방법이 제안되었다[6]. 이 방식은 정상상태에서는 전류의 급격한 변화가 거의 없기 때문에 인접한 벡터만 고려해도 모든 전압벡터를 고려하는 *Conv1* 방법과 전류 성능이 동일하다. 이러한 방식을 이용하면 최대 전압 레벨이 상승하더라도 한 스텝동안 계산량은 7개가 된다. 따라서 *Conv1*에서 발생할 수 있는 과부하 문제를 해결할 수 있고 정상상태에서 동일한 출력을 얻을 수 있다. 그러나 과도상태에서 *Conv2* 방법은 지령 전류의 추종이 느리다는 단점이 있다. 과도 상태가 발생하더라도 인접한 7개의 벡터만 고려하기 때문에 변화가 심할수록 여러 번의 샘플링 주기를 거쳐야 원하는 결과를 얻을 수 있다. 즉, *Conv2* 방법은 계산량을 감소시킬 수 있지만 느린 과도응답을 보여준다.

2.3 새로 제안하는 MPC 방법(Proposed method)

정상상태에서 모든 벡터를 고려해야 하는 *Conv1*의 방법은 인버터의 최대 전압 레벨이 증가할수록 인버터가 가질 수 있는 벡터 수가 증가하여 그에 따라 계산량이 증가한다. 또한, *Conv2* 방식의 경우 급격한 전류변화에 느린 과도응답을 보인다. 따라서 본 논문에서는 *Conv1*보다 계산량을 줄이면서 *Conv2*보다 빠른 과도응답을 갖는 제어 기법을 제안한다. 앞서 설명한 *Conv1*의 경우, 모든 스위칭 상태를 고려하여 비용함수를 계산하고 계산한 값을 이용해 최적의 벡터를 찾는다. 그러나 제안된 기법에서는 그림 2(a)와 같이 현재의 벡터 인근의 벡터와 전체 전압 벡터도에서 고르게 퍼져있는 6개의 벡터를 고려한다. 그리고 이를 이용해 다음의 비용함수 (10)를 계산한다. 여기서 벡터도에서 고르게 퍼져있는 6개의 벡터를 포인트 벡터라고 한다.

$$g = (i_{\alpha}^* [k+2] - i_{\alpha} [k+2])^2 + (i_{\beta}^* [k+2] - i_{\beta} [k+2])^2 \quad (10)$$

그림 2는 레벨에 따른 제안된 방식이 고려하는 벡터를 나타낸다. 제안하는 방식이 고려하는 벡터들은 기준 전압이 어디에 있더라도 고려하는 벡터로부터 최대 거리가 2개 벡터 거리를 넘지 않는 벡터들의 조합이다. 따라서 인접한 벡터와 포인트 벡터를 고려하여 인버터를 제어하면 인접한 벡터만을 고려하는 *Conv2*의

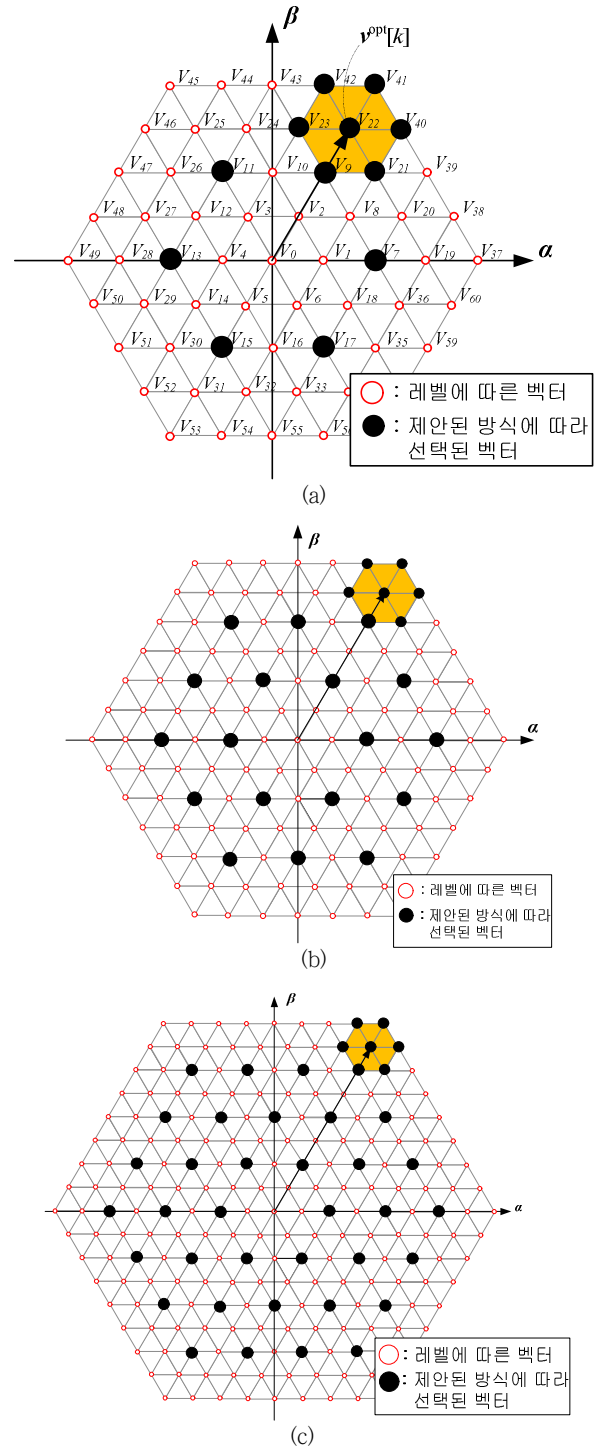


그림 2 레벨에 따른 총 전압 벡터와 제안하는 방법이 고려하는 벡터를 나타낸 벡터 다이어그램 : (a) 5레벨일 때, (b) 7레벨 일 때, (c) 9레벨일 때

Fig. 2 A vector diagram showing the total voltage vector and the vector considered by the proposed method according to level : (a) 5-level, (b) 7-level, (c) 9-level

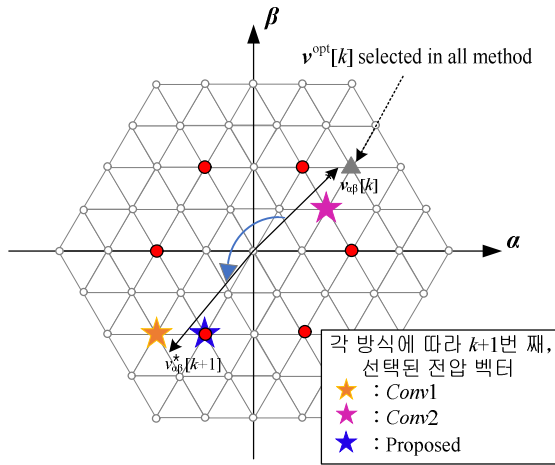


그림 3 5레벨 CHB 인버터에서 과도상태 시 각 방식에 따른 전압벡터

Fig. 3 Selected voltage vector according to each method in 5-level CHB inverter

표 2 CHB 멀티레벨 인버터에서 레벨에 따라 제안된 방식의 포인트 벡터 수와 Conv1의 벡터 수

Table 2 The number of proposed point vectors and the number of vectors of Conv1 according to the level in CHB multi-level inverter

전압 레벨	포인트 벡터 수	Conv1 벡터 수
5	13	61
7	25	127
9	43	217
11	67	331
13	97	469

방식보다 과도 상태에서 빠른 응답을 보여줄 수 있다. 한편, Conv1의 기법은 5레벨 CHB 인버터를 기준으로 한 번에 지령전류를 추종할 수 있다는 장점이 있는 대신에 최대 61번의 비용함수 계산을 필요로 한다는 단점이 있다. 하지만 제안된 방식은 추가적인 포인트 벡터를 이용해 지령전류를 추종하고 최대 13번의 계산량을 가진다. 표 2에서 알 수 있듯이 레벨이 증가하더라도 제안된 방식은 Conv1의 방식보다 약 80% 정도 감소된 계산량을 가진다. 그림 3은 5레벨 CHB 인버터에서 과도 상태가 발생했을 때, 각 방식에 따라 선택되는 전압벡터를 보여준다. 현재 k 번째에서는 정상상태로서 세 방식 모두 동일한 최적의 전압 벡터를 선택한다. 하지만 그림 3에 나타난 것처럼 과도 상태가 발생하면 Conv2 방식은 계산량 감소를 위해 인접한 벡터만 고려하기 때문에 인접한 벡터 중에서 하나를 선택하게 된다. 즉, Conv2 방식은 느린 과도 응답을 갖는다. 하지만, Conv1 방식은 모든 전압 벡터를 고려해서 지령전류와 오차가 가장 작은 벡터를 선택하기 때문에 기준 전압과 가장 가까운 전압벡터를 선택한다. 그래서 Conv1 방식은 빠른 과도 응답을 얻을 수 있다. 하지만 모든

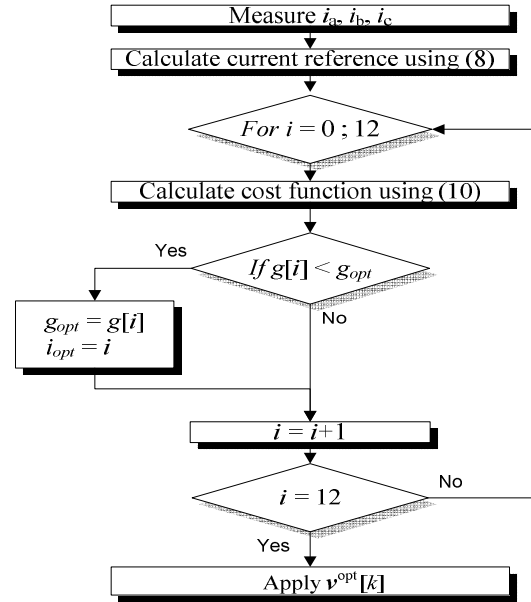


그림 4 5레벨 CHB 인버터에서 제안된 방식의 알고리즘

Fig. 4 The algorithm of the proposed method in 5-level CHB inverter

벡터를 고려하기 때문에 계산량이 증가한다는 단점이 있다. 그래서 제안하는 방법은 정상상태에서는 Conv2 방식처럼 인접한 벡터를 고려해서 계산량을 감소시키고 동시에 Conv2 방식과는 다르게 새로운 전압 벡터들을 고려해서 그림 3에 나타난 것처럼 Conv1 방식과 같이 기준 전압에 가까운 벡터를 선택할 수 있다. 다시 말해서, 표 2에 나타난 것처럼 제안하는 방법은 Conv1 방식보다는 80% 적은 전압 벡터를 고려하고도 Conv1 방식과 유사한 과도 응답 속도를 얻을 수 있다. 그림 4는 제안하는 방식의 알고리즘을 나타낸다.

2.4 시뮬레이션 분석

위에서 설명했던 Conv1, Conv2, Proposed의 방식들을 5레벨 CHB 인버터를 통해 시뮬레이션을 진행하였다. 각 셀에는 DC 전압 40 [V]를 공급해주었고 저항과 인덕터는 각각 20 [Ω]과 15 [mH]를 사용하였다. 또, 샘플링 시간은 200 [μs]로 하였다.

2.4.1 정상상태 분석

그림 5는 정상상태일 때 Conv1, Conv2, Proposed 세 가지 방식에 대한 5레벨 CHB 인버터에서의 파형을 나타낸다. 각 그림에서 첫 번째 그림은 a상 인버터의 출력전압 V_{an} , 두 번째 그림은 출력 전류 i_a, i_b, i_c 와 a상 지령전류 i_{a-ref} 를 나타낸다. 그림 5에서 나타난 것처럼 정상상태에서는 기준 주파수(60 [Hz])보다 샘플링 주파수가 빠르므로 어느 방식을 사용해도 동일한 출력전류가 나오는 것을 확인할 수 있다. 즉, 정상상태에선 지령전류의 변화가 크지 않으므로 비용함수를 통해 선택되는 전압 벡터가 모

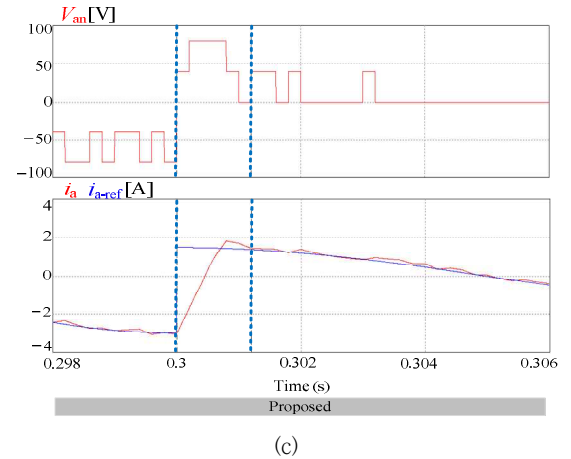
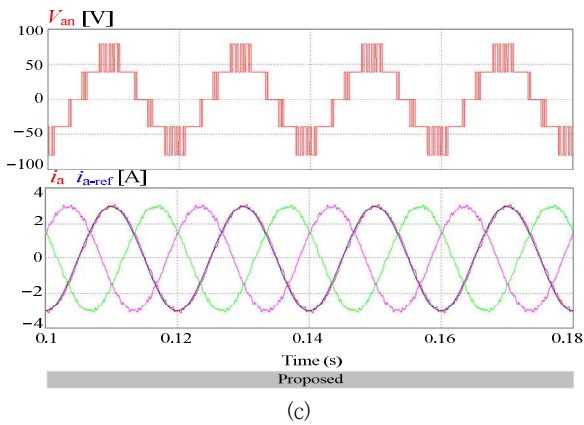
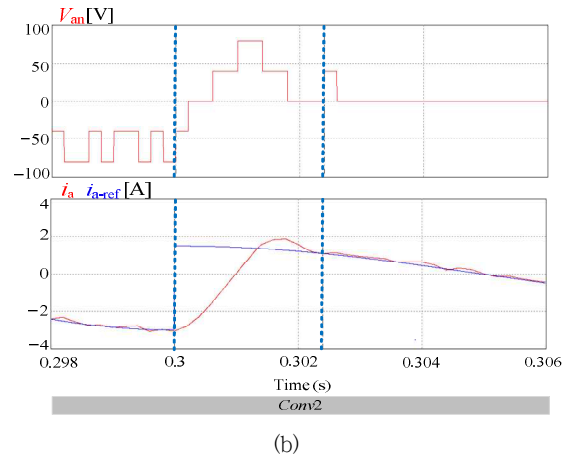
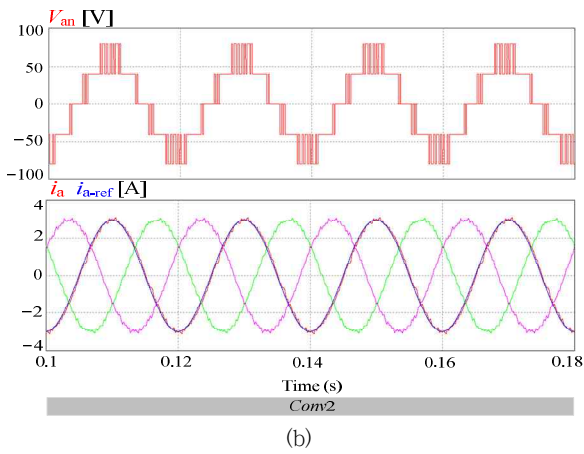
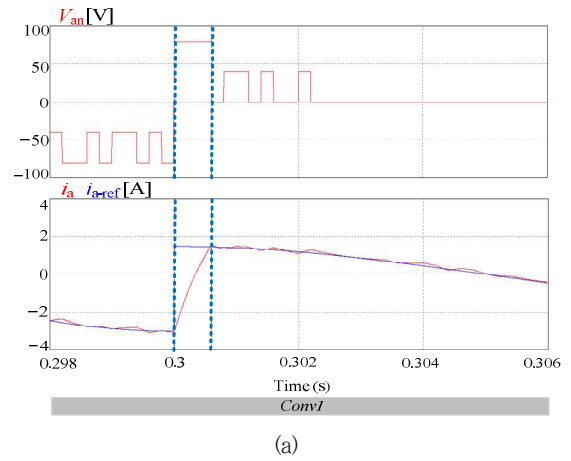
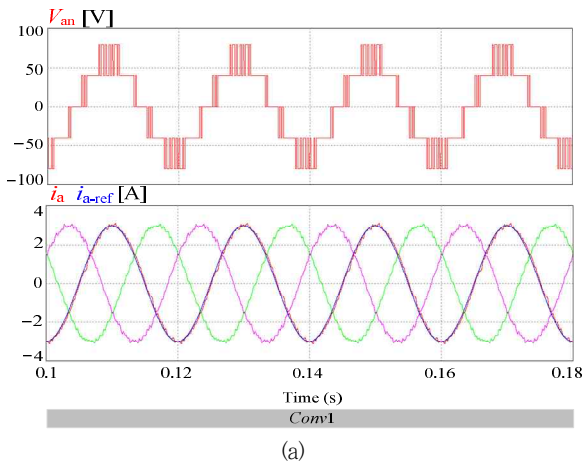


그림 5 3상 5레벨 CHB 인버터에서 정상상태 일 때 출력전압 (V_{an}), 3상 출력전류 (i_a, i_a, i_a) 및 a상 지령전류 (i_{a-ref}) 파형 : (a) *Conv1* 방식, (b) *Conv2* 방식, (c) Proposed 방식

Fig. 5 3-phase 5-level CHB Inverter output voltage (V_{an}), 3-phase output current (i_a, i_a, i_a) and phase reference current (i_{a-ref}) waveform in the steady stage : (a) *Conv1*, (b) *Conv2*, (c) Proposed method

그림 6 3상 5레벨 CHB 인버터에서 과도상태일 때 출력전압 (V_{an}), a상 전류 (i_a) 및 a상 지령 전류 (i_{a-ref}) 파형 : (a) *Conv1* 방식, (b) *Conv2* 방식, (c) Proposed 방식

Fig. 6 3-phase 5-level CHB inverter output voltage (V_{an}), a-phase output current (i_a) and phase reference current (i_{a-ref}) waveform in the transient state : (a) *Conv1*, (b) *Conv2*, (c) Proposed method

두 같고 세 방식 모두 동일한 결과를 얻을 수 있다. 따라서 제안된 방식은 정상상태에서 전류추종 시, 계산 량을 줄일 수 있지만 정상상태에서 출력에는 영향을 주지 않는다.

2.4.2 과도상태 분석

그림 6은 5레벨 CHB 인버터에서 지령전류가 스텝-변화를 가질 때 *Conv1*, *Conv2*, Proposed 세 가지 방식에 대한 과도응답 파형을 나타낸 것이다. 첫 번째 그림에서 V_{an} 은 a상에 대한 인버터 출력 전압을 나타낸 것이고 두 번째 그림에서 i_a 와 i_{a-ref} 은 출력전류와 지령전류를 나타낸 것이다. 그림에서 알 수 있듯이 0.3초에서 크기는 절반으로 줄고 위상은 180도 반전되는 과도상태가 발생하였다. 정상상태와는 다르게 세 방식이 서로 다른 전압벡터를 고려하기 때문에 다른 과도 응답 속도를 갖는다.

그림 6을 통해 모든 벡터를 고려하는 *Conv1* 기법의 과도 응답 속도가 제일 빠른 것을 알 수 있다. 그리고 인접한 벡터만 고려하는 *Conv2* 기법의 과도 응답 속도가 제일 느리다는 것을 알 수 있다. 또한 제안된 기법의 과도 응답 속도는 *Conv1* 기법과 *Conv2* 기법 사이인 것을 알 수 있다.

과도응답 시, 각 기법의 응답시간은 표 3과 같다. 표 3으로부터 전체 벡터를 고려하는 *Conv1*의 방식이 과도 상태에서 가장 빠르게 지령전류를 추종하는 것을 알 수 있다. 그러나 *Conv1*의 방식은 가장 빠른 과도응답을 갖지만 최대 전압 레벨이 증가할수록 계산 량이 늘어나는 단점이 있다.

표 3 3상 5레벨 CHB 인버터에서 과도 응답 반응 시간

Table 3 The time for the transient response in the 3-phase 5-level CHB inverter

<i>Conv1</i>	0.602 [ms]
<i>Conv2</i>	2.402 [ms]
Proposed	1.197 [ms]

2.5 실험결과 분석

기존의 방식과 제안된 방식을 증명하기 위해서 그림 7과 같이 한 상당 단상 풀브릿지 인버터 2개가 연결된 3상 5레벨 CHB 인버터 시제품을 사용하였다. 시제품은 기존의 방식들과 제안된 방식의 출력을 얻기 위해 제어보드에 DSP (Digital Signal Processor)를 이용하였다. 실험은 시뮬레이션과 동일하게 저항 20 [Ω], 인덕턴스 15 [mH]를 사용하였고 샘플링시간은 200 [μs], 기본주파수는 60 [Hz]로 설정하였다. 각 모듈에는 다권선 변압기를 연결한 다이오드 정류기를 통해 독립된 직류전압 40 [V]가 공급되었다. 그림 8은 정상상태 시, 세 방식의 부하 전류 i_a , i_b , i_c 를 나타낸다. 그림 8으로부터 각 방식의 결과 값이 시뮬레이션 결과 값과 같은 것을 알 수 있다. 앞서 언급했듯이 기준 전압의 주파수보다 샘플링 주파수가 빠르므로 세 방식 모두 동일한 출력전류를 갖는다. 그림 9는 과도 상태 시, 세 방식의 부하 전류 i_a , 지령전류 i_{a-ref} 그리고 a상 전압 V_{an} 의 실험 결과

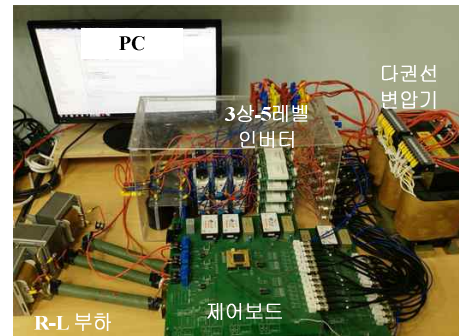


그림 7 3상 5레벨 CHB 인버터의 셋업
Fig. 7 Set-up for 3-phase 5 level CHB inverter

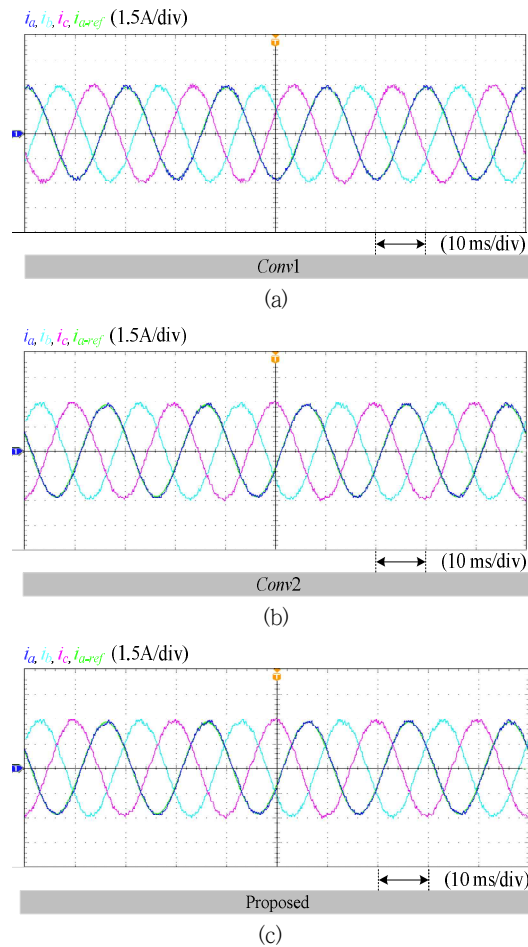


그림 8 3상 5레벨 CHB 인버터에서 정상상태 일 때 3상 출력전류 (i_a , i_b , i_c) 및 a상 지령전류 (i_{a-ref}) 파형 : (a) *Conv1* 방식, (b) *Conv2* 방식, (c) Proposed 방식
Fig. 8 3-phase 5-level CHB inverter 3-phase output current (i_a , i_b , i_c) and phase reference current (i_{a-ref}) waveform in the steady state : (a) *Conv1*, (b) *Conv2*, (c) Proposed method

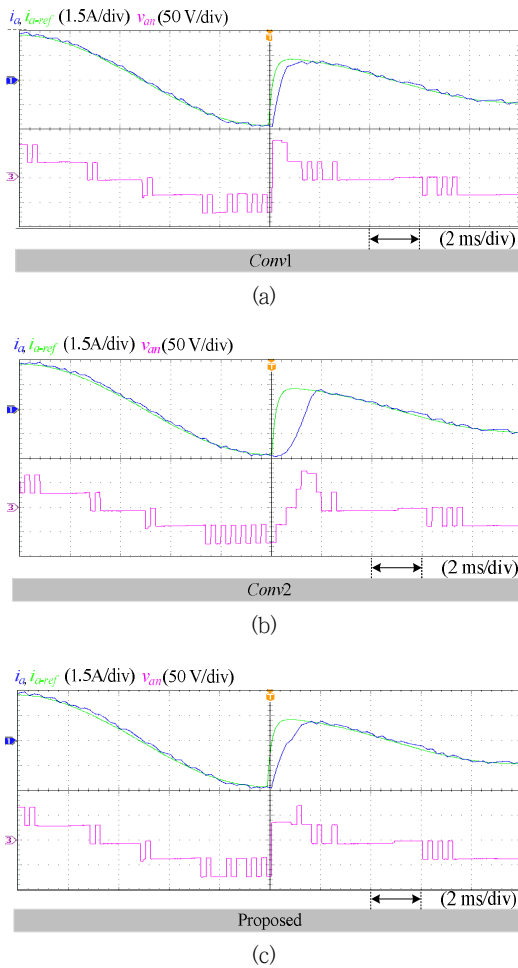


그림 9 3상 5레벨 CHB 인버터에서 과도상태일 때, a상 출력 전압 (V_{an}), a상 전류 (i_a) 및 a상 지령 전류 (i_{a-ref}) 파형 : (a) *Conv1* 방식, (b) *Conv2* 방식, (c) Proposed 방식

Fig. 9 3-phase 5-level CHB Inverter output voltage (V_{an}), a-phase output current (i_a) and phase reference current (i_{a-ref}) waveform in the transient state : (a) *Conv1*, (b) *Conv2*, (c) Proposed method

표 4 3상 5레벨 CHB 인버터에서 DSP의 실행시간 비교

Table 4 Comparison of DSP execution time in 3-phase 5-level CHB inverter

	<i>Conv1</i>	<i>Conv2</i>	Proposed
실행 시간	98.92[ms]	20.17[ms]	27.17[ms]

를 나타낸다. 과도상태에서 지령 전류는 크기를 절반으로 줄이고 위상은 180도 반전시켰다. 세 방식은 서로 다른 전압 벡터를 선택하기 때문에 과도응답시간에 차이를 보인다. 제안된 방식은 시뮬레이션과 유사하게 *Conv1*과 유사한 빠른 과도응답을 보여

준다.

계산량을 비교하기 위해 DSP의 실행시간을 표 4에 나타냈다. *Conv1*과 비교하였을 때, 제안하는 방법의 계산량은 약 70% 정도 감소했다. 그리고 *Conv2*와 비교했을 때, 제안한 방법의 계산량은 7% 정도 증가했다. 이를 통해 제안된 방법은 계산량을 획기적으로 줄임과 동시에 과도 응답 속도를 높일 수 있다.

3. 결 론

본 논문에서는 계산량을 줄이고 과도 응답 속도를 높인 CHB 멀티 레벨 인버터를 위한 모델 예측 제어 기법을 제안했다. CHB 멀티 레벨 인버터는 레벨이 증가할수록 고려해야 할 스위칭 상태가 기하급수적으로 증가하기 때문에 계산량을 줄이는 것이 중요하다. 이를 위해 기존 방법은 현재 전압 벡터의 인접 벡터만을 고려하여 인버터를 제어했다. 하지만 이러한 방법은 과도 상태 발생 시 응답 속도가 느리다는 단점이 있다. 이를 극복하기 위해 제안된 방법은 현재 벡터의 인접 벡터와 전체 벡터도에서 고르게 분포된 포인트 벡터를 이용하여 비용 함수를 계산하고 비용 함수를 최소로 만드는 벡터를 이용하여 인버터를 제어한다. 상대적으로 적은 최적의 전압 벡터 후보수와 고르게 분포된 포인트 벡터 덕분에 제안된 기법은 적은 계산량으로도 빠른 과도 응답 속도를 보인다. 제안된 기법의 성능은 시뮬레이션과 실험을 통해 증명되었다.

감사의 글

이 논문은 2017년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원(NRF-2017R1A2B4011444) 및 2017년도 산업통상자원부의 재원으로 한국에너지기술평가원(KETEP)의 지원을 받아 수행한 연구 과제(No.20174030201810)입니다.

References

- [1] Keith Corzine, Yakov Familiant, "A New Cascaded Multilevel H-Bridge Drive", *IEEE Transaction On Power Electronics*, vol. 17, no. 1, pp. 125-131, 2002.
- [2] Mauricio Angulo, Pablo Lezana, Samir Kouro, Jos'e Rodriguez, Bin Wu, "Level-shifted PWM for Cascaded Multilevel Inverters with Even Power Distribution", *IEEE Power Electronics Specialists Conference*, pp. 2373-2378, 2007.
- [3] June-Seok Lee, Kyo-Beum Lee, Youngjong Ko, "An Improved Phase-Shifted PWM Method for a Three-Phase Cascaded H-Bridge Multi-Level Inverter", *IEEE Energy Conversion Congress and Exposition*, pp. 2100-2105, 2017.

- [4] Concettina Buccella, Carlo Cecati, Maria Gabriella Cimatori, Kaveh Razi, "Analytical Method for Pattern Generation in Five-Level Cascaded H-Bridge Inverter Using Selective Harmonic Elimination", *IEEE Transactions on Industrial Electronics*, pp. 5811-5819, 2014.
- [5] Kartick Chandra Jana, Sujit Kumar Biswas, Parasuram Thakura, "A Simple and Generalized Space Vector PWM Control of Cascaded H-Bridge Multilevel Inverters", *IEEE International Conference on Industrial Technology*, pp. 1281-1286, 2006.
- [6] Patricio Cortés, Alan Wilson, Samir Kouro, Jose Rodriguez, Haitham Abu-Rub, "Model Predictive Control of Multilevel Cascaded H-Bridge Inverters", *IEEE Transactions on industrial electronics*, vol. 57, no. 8, pp. 2691-2699, 2010.
- [7] R. Chan and S. Kwak, "Improved Finite-Control-Set Model Predictive Control for Cascaded H-bridge Inverters", *Energies*, vol. 11, no. 2, pp. 1-27, Feb. 2018.
- [8] I. Kim, R. Chan, and S. Kwak, "Model Predictive Control Method for Cascaded H-bridge Multilevel Inverter with Reduced Calculation Complexity and Fast Dynamics", *IET Electric Power Applications*, vol. 11, no. 5, May 2017.



곽 상 신 (Sangshin Kwak)

1973년 8월 16일생. 2005년 Texas A&M University 전기공학과 졸업(공학). 1999년~2000년 (주)LG전자 연구원. 2005년~2007년 (주)삼성SDI 책임연구원. 2007년~2010년 대구대 전자공학부 조교수. 2010년~현재 중앙대 전자전기공학부 교수.

저 자 소 개



노 찬 (Chan Roh)

1993년 8월 10일생. 2015년 한국교통대학교 졸업. 2015년~현재 중앙대 전자전기공학과 석박통합과정.



김 재 창 (Jae-Chang Kim)

1991년 4월 24일생. 2017년 중앙대 전자전기공학부 졸업. 2017년~현재 중앙대 전자전기공학과 석박통합과정.