

고해상도 저전력 센서 시스템을 위한 아날로그-디지털 변환기의 구조 개선

Architecture Improvement of Analog-Digital Converter for High-Resolution Low-Power Sensor Systems

신 영 산*, 이 성 수*

Youngsan Shin*, Seongsoo Lee*

Abstract

In sensor systems, ADC (analog-to-digital converter) demands high resolution, low power consumption, and high signal bandwidth. Sigma-delta ADC achieves high resolution by high order structure and high over-sampling ratio, but it suffers from high power consumption and low signal bandwidth. SAR (successive-approximation-register) ADC achieves low power consumption, but there is a limitation to achieve high resolution due to process mismatch. This paper surveys architecture improvement of ADC to overcome these problems.

요 약

센서 시스템의 아날로그-디지털 변환기(ADC: analog-to-digital converter)에서는 높은 해상도, 낮은 전력 소모, 높은 신호 대역폭이 요구된다. 시그마-델타 ADC는 높은 차수 구조와 높은 오버샘플링 비를 통해 고해상도를 얻을 수 있으나 전력 소모가 높고 신호 대역폭이 낮다. 연속 근사 레지스터(SAR: successive-approximation-register) ADC의 경우 저전력 동작이 가능하나 공정상 부정합으로 인해 해상도에 한계가 있다. 본 논문에서는 이러한 단점들을 극복하기 위한 ADC 구조 개선에 대해 살펴본다.

Key words : Sensor System, ADC, Sigma-Delta ADC, SAR-ADC, Incremental ADC

1. 서론

센서 시스템에서 정밀한 디지털 신호 처리와 미세 신호 검출이 필요해짐에 따라 아날로그-디지털 변환기(ADC: analog-to-digital converter)에

서 고해상도, 넓은 대역폭, 낮은 전력 등이 요구되고 있다. ADC 구조에 따른 샘플링 속도와 해상도는 그림 1과 같으며[1] 주로 시그마-델타(sigma-delta) ADC나 연속 근사 레지스터(SAR: successive-approximation-register) ADC가 사용된다.

* School of Electronic Engineering and Research Institute of Future Automobile, Soongsil University

★ Corresponding author

E-mail: sslee@ssu.ac.kr, Tel: +82-2-820-0692

※ Acknowledgment

“This research was supported by the Ministry of Science, ICT and Future Planning, supervised by the Institute for Information & communications Technology Promotion (2016-0-00136).”

Manuscript received Apr. 29, 2018; revised May. 24, 2018; Accepted May. 29, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

시그마-델타 ADC는 높은 오버샘플링 비(OSR: oversampling ratio)를 통해 고해상도를 얻을 수 있다. 하지만 높은 OSR은 고속 동작을 필요로 하며 이로 인해 전력 소모가 커진다. SAR ADC는 다중화가 가능해서 다채널 시스템에서 하드웨어 크기와 전력 소모를 크게 줄일 수 있다. 그러나 내장되는 캐패시터 디지털-아날로그 변환기[2] (DAC: digital-to-analog converter)의 공정상 부정합으로 인해 해상도가 제한된다[3]. 본 논문에서는 이러한 단점을 극복하기 위해서 연구되고 있는 다양한 ADC 구조 개선에 대해 살펴본다.

II. 시그마-델타 ADC의 구조 개선

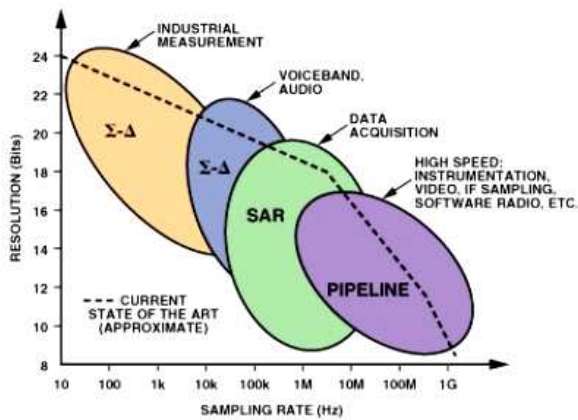


Fig. 1. Sampling rate and resolution with ADC Architecture

그림 1. ADC 구조에 따른 샘플링 속도와 해상도

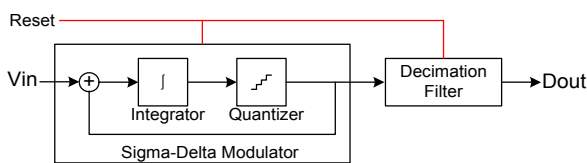


Fig. 2. Typical sigma-delta ADC architecture

그림 2. 일반적인 시그마-델타 ADC 아키텍처

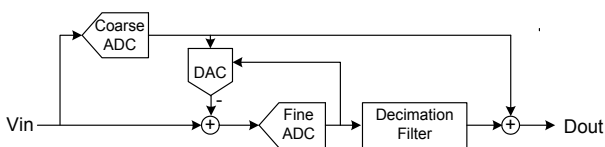


Fig. 3. Incremental zoom sigma-delta ADC architecture

그림 3. 증가 확대형 시그마-델타 ADC 아키텍처

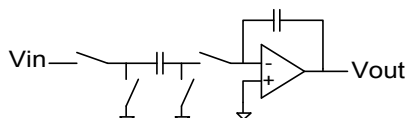


Fig. 4. Discrete time integrator

그림 4. 이산 시간 적분기

1. Incremental Zoom 시그마-델타 ADC

시그마-델타 ADC는 그림 2와 같이 적분기, 양자화기로 구성된 시그마-델타 모듈레이터와 오버샘플링된 비트열을 다시 다운샘플링하기 위한 데시메이션 필터로 구성된다. 시그마-델타 ADC를 센서 시스템에 사용하려면 몇몇 문제가 존재한다.

높은 해상도를 위해서는 고차의 적분기를 사용하거나 OSR이 높아야 한다. 하지만 이 경우 전력 소모와 면적이 크게 증가한다[4]. 이러한 단점을 피하기 위해 MASH(multi-stage noise shaping) 구조를 사용하기도 하고 멀티 비트 DAC 및 멀티 비트 양자화기를 사용하기도 한다. 하지만 이 경우 부정합에 의한 선형성 문제가 발생한다[5].

또한 데시메이션 필터에서의 레이턴시 영향으로 아날로그 신호가 디지털 신호로 변환되는데 걸리는 시간이 크다. 변환 시간의 증가는 폐쇄 루프 제어 시스템에서 위상 쉬프트로 인한 루프 불안정(loop instability)의 원인이 된다[6]. 이러한 문제를 해결하기 위해 샘플링 이후 N번의 사이클을 동작한 후에 디지털로 변환된 데이터가 나오며 샘플링 주기마다 회로를 리셋해주는 증가형(incremental) 시그마-델타 ADC가 사용된다[7],[8]. 하지만 기존 시그마-델타 ADC에 비해 같은 차수의 구조일 때 신호 대 잡음 비(SNR: signal-to-noise ratio)가 떨어진다.

해상도 문제를 극복하기 위해 그림 3과 같이 증가 확대형(incremental zoom) ADC가 연구되고 있는데[9], 초기에 저급(coarse) SAR-ADC를 이용하여 한번 변환하고, 남은 신호에 대하여 낮은 차수의 고급 증가형(fine incremental) 시그마-델타 ADC로 변환하는 2단계 구조이다. 이 구조는 저급 ADC와 고급 ADC의 순차 동작이므로 신호가 DC에 가까운 경우에만 사용할 수 있다는 단점이 있으며, 이 문제에 대해 동적 확대형(dynamic zoom) ADC가 해결책으로 제시되었다[10],[11].

2. Continuous Time 시그마-델타 ADC

앞서 설명한 문제들의 다른 해결책으로 연속 시간(continuous time) 시그마-델타 ADC 구조가 있다. 기존에는 그림 4와 같이 이산 시간(discrete time) 적분기를 사용하였으나[6], 신호 대역폭을 증가시키기 위해 짧은 스위칭 구간 동안에 적분기의 출력을 안정시키려면 높은 전류 구동 능력을 갖는 증폭기를 사용해야 하는 단점이 있다[12].

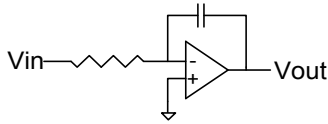


Fig. 5 Continuous time integrator
그림 5. 연속 시간 적분기

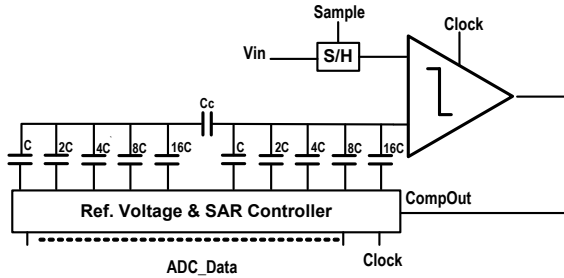


Fig. 6. Typical SAR ADC architecture
그림 6. 일반적인 SAR ADC 아키텍처

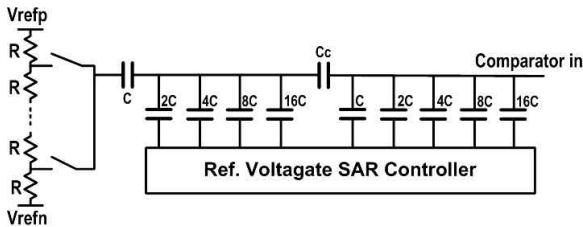


Fig. 7. Hybrid R-C DAC architecture
그림 7. 혼성 R-C 디지털 아키텍처

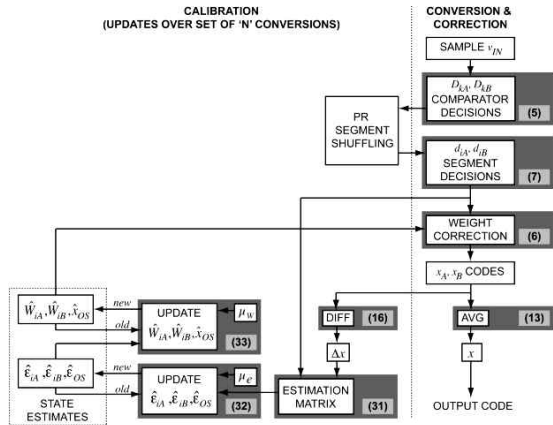


Fig. 8. The digital calibration algorithm
그림 8. 디지털 캘리브레이션 알고리즘

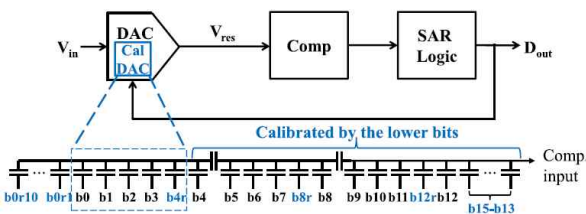


Fig. 9. Calibration DAC
그림 9. 캘리브레이션 DAC

근래에는 이러한 단점을 해결하기 위하여 그림 5와 같이 능동형 RC 피드백 루프를 이용한 연속 시간 적분기를 사용한다[12],[13]. 사용된 증폭기는 SC(switched capacitor)에 비해 낮은 전류 구동 능력에서도 동일한 ADC 성능을 얻을 수 있다. 또한 스위칭 잡음이 없기 때문에 SNR 성능 또한 뛰어나다. 하지만 저항과 캐패시터의 비로 계수가 정해지기 때문에 공정 변화에 큰 영향을 받는다. 또한 지속적으로 적분을 하기 때문에 루프 지연 시간과 클럭 지터에 의한 성능 감소가 있다. 이러한 단점은 루프 지연 시간에 대한 보정회로나 SCRZ (switched-capacitor return-to-zero) DAC 등을 사용함으로써 해결한다[14],[15].

III. SAR ADC의 구조 개선

1. Hybrid SAR ADC

그림 6은 일반적인 SAR ADC의 구조이며, 크게 CDAC, 비교기, SAR 제어기로 구성된다. CDAC의 경우 해상도가 증가할수록 면적이 2배씩 증가하고 스위칭 에너지 소모가 증가하기 때문에 중간에 분할(split) 캐패시터를 주로 삽입한다[16].

초기에는 그림 7과 같이 공정상 부정합에 의한 해상도의 한계를 극복하기 위해 정합성이 좋은 저항을 사용한 R-C Hybrid DAC를 사용하였다[17]. 하지만 여전히 12 비트 정도로 성능이 제한되어 최근에는 전류 조향(current steering) DAC나 시그마-델타 DAC 등 높은 해상도의 DAC를 사용하여 16 비트 급의 해상도를 얻어낸다[18].

2. Calibrated SAR ADC

고해상도 성능을 얻기 위해 그림 8과 같이 보정 회로를 추가하고 디지털 알고리즘을 통해 가중치 값을 보정하는 방법도 있다[19]. ADC 동작 중에서도 보정할 수 있다는 장점이 있지만 보정해야 하는 값을 알아내기 위해 그림 9와 같이 별도의 DAC를 추가해야 하고 디더링(dithering) 때문에 SAR 제어기가 더 복잡해진다[20].

IV. 결론

본 논문에서는 최근 연구되고 있는 고성능 ADC 구조에 대해 살펴보았다. 기존의 시그마-델타 ADC나 SAR ADC 구조를 일부 개선함으로써 전력 소모, 해상도, 신호 대역폭 등을 크게 증가시켰으며 향후 센서 시스템뿐만 아니라 다양한 분야에서도 활발히 사용될 것으로 보인다.

References

- [1] W. Kester, "Which ADC Architecture Is Right for Your Application?," *Analog Dialogue*, 2005.
- [2] J. Choi, C. Park, and J. Choi, "A High-resolution Low-noise Capacitance to Digital Converter," *Journal of IEIE*, vol. 54, no. 12, pp. 81-87, 2017.
- [3] Maxim, "Understanding SAR ADCs: Their Architecture and Comparison with Other ADCs," <https://www.maximintegrated.com/en/app-notes/index.mvp/id/1080>
- [4] S. Choi, H. Ku, H. Son, B. Kim, H. Park, and J. Sim, "An 84.6-dB-SNDR and 98.2-dB-SFDR Residue-Integrated SAR ADC for Low-Power Sensor Applications," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 2, pp. 404-417, 2018. DOI: 10.1109/JSSC.2017.2774287
- [5] S. Wu and J. Wu, "A 81-dB Dynamic Range 16-MHz Bandwidth Delta-Sigma Modulator Using Background Calibration," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 9, pp. 2170-2179, 2013. DOI: 10.1109/JSSC.2013.2264137
- [6] F. Mostert, D. Schinkel, W. Groothedde, L. Breems, R. Heeswijk, M. Koerts, E. Iersel, D. Groeneveld, G. Holland, P. Zeelen, D. Hissink, M. Pos, P. Wielage, F. Jorritsma, and M. Middelink, "5.1 A 5×80W 0.004% THD+N Automotive Multiphase Class-D Audio Amplifier with Integrated Low-latency $\Delta\Sigma$ ADCs for Digitized Feedback after the Output Filter," in *Proc. of IEEE International Solid-State Circuits Conference*, pp. 86-87, 2017. DOI: 10.1109/ISSCC.2017.7870273
- [7] C. Chen, Y. Zhang and G. Temes, "History, present state-of-art and future of incremental ADCs," in *Proc. of European Solid-State Circuits Conference*, pp. 83-86, 2016. DOI: 10.1109/ESSCIRC.2016.7598248
- [8] Y. Jung and J. Roh, "The Incremental Delta-Sigma ADC for A Single-Electrode Capacitive Touch Sensor," *j.inst.Korean.electr.electron.eng*, vol. 17, no. 3, pp. 234-240, 2013. DOI : 10.7471/ikeee.2013.17.3.234
- [9] Y. Chae, K. Souri and K. Makinwa, "A 6.3 μ W 20 bit Incremental Zoom-ADC with 6 ppm INL and 1 μ V Offset," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 12, pp. 3019-3027, 2013. DOI: 10.1109/JSSC.2013.2278737
- [10] B. Gönen, F. Sebastino, R. Quan, R. Veldhoven, and K. Makinwa, "A Dynamic Zoom ADC with 109-dB DR for Audio Applications," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 6, pp. 1542-1550, 2017. DOI: 10.1109/JSSC.2017.2669022
- [11] S. Karmakar, B. Gönen, F. Sebastino, R. Veldhoven, and K. Makinwa, "A 280 μ W dynamic-zoom ADC with 120dB DR and 118dB SNDR in 1kHz BW," in *Proc. of IEEE International Solid-State Circuits Conference*, pp. 238-240, 2018. DOI: 10.1109/ISSCC.2018.8310272
- [12] Texas Instruments, "Continuous-Time Sigma-Delta ADCs," <http://www.ti.com/lit/an/snaa098/snaa098.pdf>
- [13] A. Hart and S. Voinigescu, "A 1 GHz Bandwidth Low-Pass Delta-Sigma ADC With 20-50 GHz Adjustable Sampling Rate," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 5, pp. 1401-1414, 2009. DOI: 10.1109/JSSC.2009.2015852
- [14] C. Weng, T. Wei, E. Alpman, C. Fu, and T. Lin, "A Continuous-Time Delta-Sigma Modulator Using ELD-Compensation-Embedded SAB and DWA-Inherent Time-Domain Quantizer," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 5, pp. 1235-1245, 2016. DOI: 10.1109/JSSC.2016.2532345
- [15] A. Sukumaran and S. Pavan, "Design of Continuous-Time Delta-Sigma Modulators With Dual Switched-Capacitor Return-to-Zero DACs," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 7, pp. 1619-1629, 2016. DOI: 10.1109/JSSC.2016.2542200
- [16] B. Ginsburg and A. Chandrakasan, "500-MS/s 5-bit ADC in 65-nm CMOS With Split Capacitor Array DAC," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 4, pp. 739-747, 2007. DOI: 10.1109/JSSC.2007.892169
- [17] M. Kim, Y. Kim, Y. Kwak, and G. Ahn, "A 12-bit 200-kS/s SAR ADC with hybrid RC DAC," in *Proc. of IEEE Asia Pacific Conference on Circuits and Systems*, pp. 185-188, 2014. DOI: 10.1109/APCCAS.2014.7032752
- [18] A. AlMarashli, J. Anders, J. Becker, and M. Ortmanns, "A Nyquist Rate SAR ADC Employing Incremental Sigma Delta DAC Achieving Peak SFDR = 107 dB at 80 kS/s," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 5, pp. 1493-1507, 2018. DOI: 10.1109/JSSC.2017.2776299
- [19] J. McNeill, K. Chan, M. Coln, C. David, and C. Brennenman, "All-digital background calibration of a successive approximation ADC using the 'Split ADC' architecture," *IEEE Trans. Circuits Syst. I*, vol. 58, no. 10, pp. 2355-2365 2011. DOI: 10.1109/TCSI.2011.2123590
- [20] J. Shen, A. Shikata, L. Fernando, N. Guthrie, B. Chen, M. Maddox, N. Mascarenhas, R. Kapusta, and M. Coln, "A 16-bit 16-MS/s SAR ADC With On-Chip Calibration in 55-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 4, pp. 1149-1160, 2018. DOI: 10.1109/JSSC.2017.2784761