

# 피드백 전계효과 트랜지스터에 대한 리뷰: 동작 메커니즘과 적용 분야

## A review of feedback field-effect transistors: operation mechanism and their applications

김민석<sup>\*,\*\*</sup>, 이경수<sup>\*,\*\*</sup>, 김상식<sup>\*</sup>  
Minsuk Kim<sup>\*,\*\*</sup>, Kyungsoo Lee<sup>\*,\*\*</sup>, Sangsig Kim<sup>\*</sup>

### Abstract

Since feedback field-effect transistors (FBFETs) have ideal switching characteristics resulting from feedback phenomenon caused by electrons and holes in the channel region, the researches about FBFET devices have been proposed and demonstrated worldwide recently. The device operated with novel principle can operate as a switching electronic device. Besides, because the hysteresis characteristics of the device by accumulated electrons and holes in channel region can be also utilized for memory applications, its application range is wide. In this paper, we cover various device structures of FBFET proposed until now and their operation mechanism, and then look into their applicable fields.

### 요약

피드백 전계효과 트랜지스터는 채널 내부의 전자와 정공의 의해 발생하는 피드백 현상으로 이상적인 스위칭 특성을 갖기 때문에 최근 세계적으로 많은 연구가 진행되고 있다. 이 새로운 동작원리를 가지는 소자는 초저전력 스위칭 전자소자로 동작이 가능할 뿐만 아니라 채널 내부에 축적된 전자와 정공에 의한 히스테리시스 특성으로 메모리 소자로도 동작 가능하여 그 활용 범위가 넓다. 본 논문에서는 지금까지 제안된 다양한 구조의 피드백 전계효과 트랜지스터와 그 동작 메커니즘에 관해 확인하고 적용 가능 분야에 대해서 살펴본다.

*Key words : Feedback field-effect transistors, feedback mechanism, subthreshold swing, memory application*

\* Dept. of Electrical Engineering, Korea University

\*\* Samsung Electronics, Hwasung, Korea

★ Corresponding author

E-mail: sangsig@korea.ac.kr, TEL: +82-2-3290-3245

※ Acknowledgment

This work was supported in part by Samsung Electronics. This material is based upon work supported by the Ministry of Trade, Industry & Energy (MOTIE, Korea) under Industrial Strategic Technology Development Program. (10067791, 'Development of fabrication and device structure of feedback Si channel 1T-SRAM for artificial intelligence').

Manuscript received Mar. 8, 2018; revised May. 23, 2018; Accepted May. 29, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## I. 서론

1960년대에 금속-산화막-반도체 전계효과 트랜지스터 (MOSFET)가 발명된 이래로 MOSFET 소자는 집적도 및 성능향상 그리고 공정비용 감소 등을 위해 반세기동안 꾸준히 회로선폭이 감소 되어왔다[1]-[3]. 하지만 많은 장점에도 불구하고 소자의 크기가 줄어들어 따라 누설전류 (leakage current)가 크게 증가하게 되고 이로 인해 급격하게 증가한 누설전력 (leakage power)이 동적전력 (dynamic power) 소모를 넘어서게 되면서 갈수록 문제점을 심화시키고 있는 상황이다 [1]-[3]. MOSFET 소자는 열적 주입 (thermal injection)을 활용하는 동작원리 때문에 60 mV/dec 이하의 문턱전압이하 기울기 (subthreshold swing)를 갖는 것이 이론적으로 불가능하다고 알려져 있다 [2]. 이 이론적 한계는 기존의 소자로는 누설전력을 줄이기가 어렵다는 것을 의미하고 결국 새로운 동작원리를 가지는 소자의 필요성이 대두되게 된다. 지금까지 터널링 효과를 활용한 터널링 전계효과 트랜지스터 (TFET) [5]-[7], 전자 사태 항복을 활용한 충돌 이온화 금속-산화막-반도체 전계효과 트랜지스터 (IMOS) [4],[8], 채널 내의 전자와 정공의 피드백 효과를 활용한 피드백 전계효과 트랜지스터 (FBFET) [9]-[13] 등과 같은 다양한 소자들이 제안되어 왔는데 이중에서도 피드백 전계효과 트랜지스터는 0 mV/dec에 가까운 이상적인 스위칭 특성과 함께 전하 축적에 의한 히스테리시스 특성에 의해 다양한 전자소자로 활용이 가능하기 때문에 최근 활발히 연구되고 있다.

본 논문에서는 피드백 전계효과 트랜지스터의 지금까지 제안된 다양한 구조의 피드백 전계효과 트랜지스터와 그 동작원리에 관해 자세히 확인하고 그 적용 분야에 대해 알아보려고 한다.

## II. 피드백 전계효과 트랜지스터의 다양한 구조와 동작 메커니즘

피드백 전계효과 트랜지스터는 2008년에 처음 제안되어 그림 1에서 볼 수 있듯이 현재까지 다양한 구조로 연구가 진행되고 있다 [9]-[13]. 피드백 전계효과 트랜지스터는 기본적으로 순방향 전압이 인가된  $p-i-n$  다이오드에서 동작한다.

$p-i-n$  다이오드의 채널영역 내부에 전자와 정공의 유입을 제한하는 전위 장벽 (potential barrier)을 형성하고 이 장벽을 조절함으로써 소자를 동작시키게 되는데 이 전위 장벽 (potential barrier)을 형성시키는 방법에 따라 다양한 구조가 제안될 수 있고 각 구조에 따라 장단점이 존재한다. 처음으로 피드백 전계효과 트랜지스터의 특성을 확인한 구조는 그림 1(a)에서 볼 수 있는 게이트 전극 양 옆에 gate-sidewall charge spacer가 존재하는 구조이다 [9]. 높은 전압의 프로그래밍 조건에 따라 각 spacer에 전자와 정공을 각각 주입시키고 이를 통해 채널 영역의 전위 장벽 (potential barrier)을 형성시키는 방법을 활용한다. 하지만 spacer가 존재하는 구조의 경우 소자를 동작시키기 이전에 프로그래밍 조건을 거쳐야하고 기존 공정에 추가적인 공정이 필요하게 되는 것과 더불어 반복적인 소자 동작으로 spacer 영역의 불안정성으로 인해 안정적인 소자 특성을 얻을 수 없다는 단점이 존재한다. 이를 극복하기 위해 그림 1(b), (c), (d)에서 볼 수 있는 기존 spacer를 추가적인 전극으로 대체하거나 채널 영역에 높은 농도로 도핑된 영역을 형성하는 구조가 제안되었다 [10],[11],[13]. 이 두 가지 타입의 구조는 비교적 소자의 안정성이 확보된 피드백 전계효과 트랜지스터를 구현가능하게 한다. 그림 1(b) 구조의 경우 채널 영역 전체에 bottom gate 전압을 인가시키고 게이트 전압에 의해 추가적으로 채널 영역에 전위 장벽 (potential barrier)을 형성한다 [10]. 그림에서 볼 수 있듯이 게이트 전극의 위치 그리고 각 전극에 인가된 전압에 따라  $n$ -type 혹은  $p$ -type 소자로 구동가능하게 한다 [10]. (논문에 따라 FBFET를  $Z^2$ -FET로 정의하기도 한다.) 그림 1(c) 구조는 채널 영역의 일부에 도핑을 함으로써 장벽을 형성한 구조로 게이트, 소스, 드레인 전극 이외에 추가되는 전극이 없기 때문에 기존 MOSFET 소자와 마찬가지로 3단자 소자로서의 장점을 갖는다 [11]. 그림 (d)에 표현된 진성 채널 영역에 2개의 게이트 전극을 배치한 구조는 비록 추가적인 전극 배치가 필요하고 그 전극의 제어가 필요하기는 하나 단일 소자에서 바이어스 조건에 따라  $n$ -type 혹은  $p$ -type 소자로 동작할 수 있는 장점이 존재한다 [13].

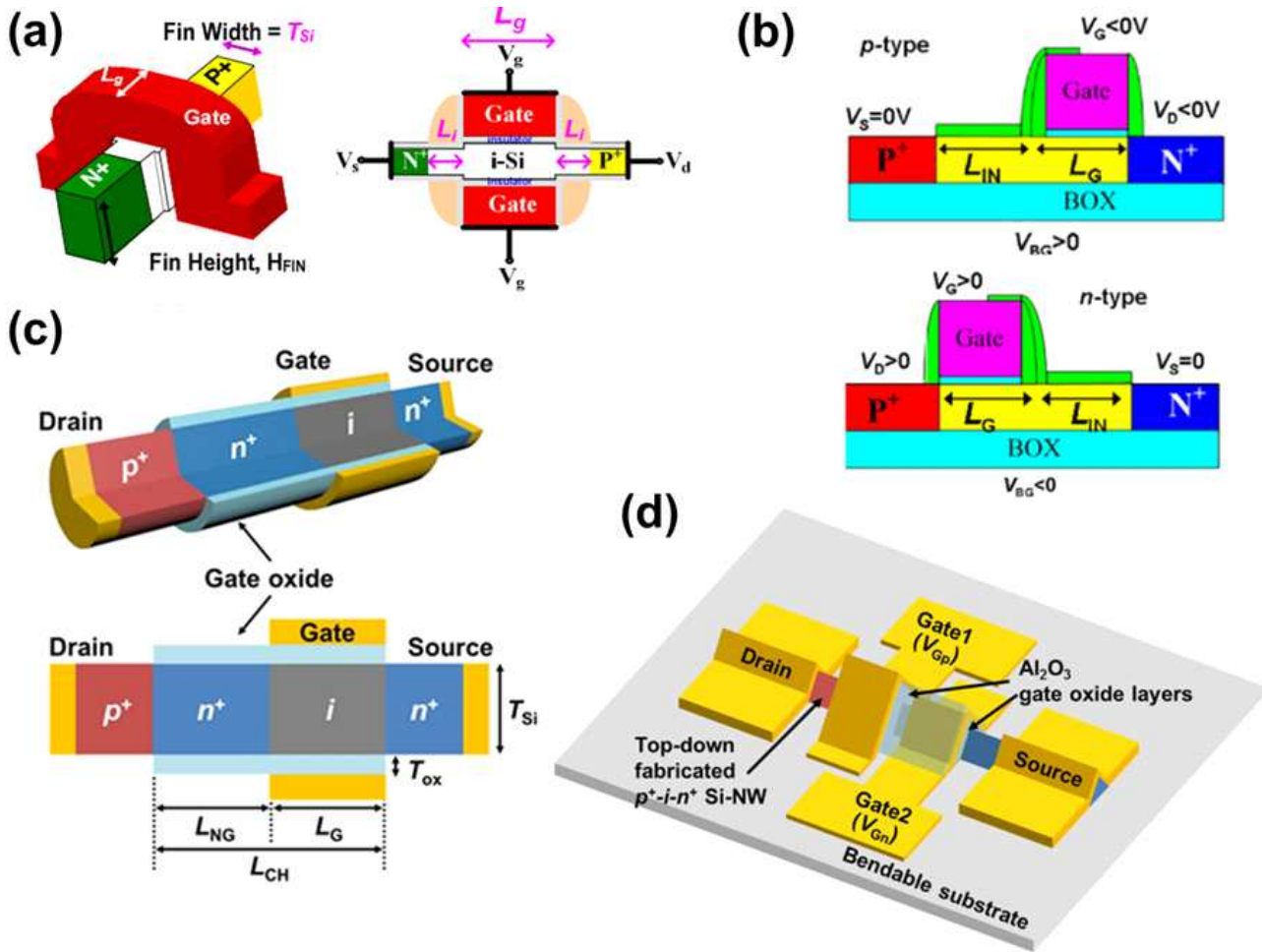


Fig. 1. (a) Structure of FBFET device with charge spacers and cross-sectional view of the FBFET device [9]. (b) Structure of FBFET ( $Z^2$ -FET) device with top and bottom gate for  $n$ -type,  $p$ -type transistor operation [10]. (c) Structure of FBFET device with highly doped region in the channel region [11]. (d) Structure of dual-top-gate FBFET device [13]. (All the figures in figure 1 are adapted from each of references.)

그림 1. (a) Charge spacer를 가지는 FBFET 소자 구조와 그 단면도 [9]. (b) top 게이트와 bottom 게이트 전극을 가진  $n$ -type,  $p$ -type FBFET ( $Z^2$ -FET) 구조 [10]. (c) 채널 영역에 높은 농도로 도핑이 된 FBFET 소자 구조 [11]. (d) 2개의 top 게이트 전극을 가진 FBFET 구조 [13]. (그림 1의 모든 그림은 각각의 참고문헌에서 가져와 수정한 것입니다.)

앞서 설명했듯이 피드백 전계효과 트랜지스터를 구현하는 구조는 여러 가지가 존재하나 기본적인 동작 메커니즘은 채널 내 피드백 현상에 의한 것으로 같다. 동작 메커니즘을 설명하기 위해 그림 1 (c)의 구조에서 피드백 메커니즘을 통해 동작하는 예를 그림 2에 표현하였다 [11]. 채널 영역에  $p^+$  드레인 영역으로부터 유입되는 정공을 막는 전위 장벽 (potential barrier)과  $n^+$  소스 영역으로부터 유입되는 전자를 막는 전위 장벽 (potential barrier)을 앞서 언급한 다양한 방법을 통해 형성

하면 소자의 off 상태를 유지하게 된다. 게이트 전극에 양전압이 인가됨에 따라 전위 장벽 (potential barrier)을 넘어 소스 영역에서 공급된 전자는 드레인 영역 근처에 있는 전위 우물 (potential well)에 축적되고 이에 따라 그 위치에 전위장벽 (potential barrier)이 낮아지게 된다. 낮아진 장벽은 드레인 영역으로부터 정공의 유입을 가능하게 하고 장벽을 넘어온 정공은 게이트 전극 아래 채널 영역에 존재하는 전위 우물 (potential well)에 축적되어 장벽을 더욱 낮추게

한다. 이로 인해 추가적인 전압의 인가 없이 추가적인 전자의 유입이 가능하게 되고 짧은 시간동안

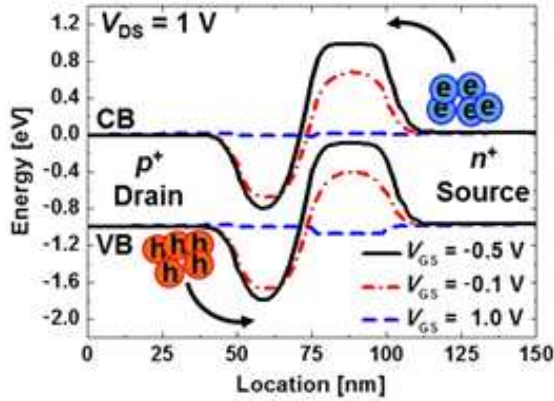


Fig. 2. Energy band diagram of FBFET device with highly doped region in the channel region depending on bias conditions [11]. (This figure is adapted from the reference.)

그림 2. 채널 영역에 도핑을 하여 구현한 FBFET의 전압 조건에 따른 에너지 밴드 다이어그램 [11]. (이 그림은 참고문헌에서 가져와 수정한 것입니다.)

같은 현상이 반복되어 채널 영역 내부에 형성된 2개의 전위 장벽 (potential barrier)은 사라지게 된다. 이와 같은 피드백 메커니즘에 의해서 소자는 이상적인 스위칭 특성 (~0 mV/dec)을 보이면서 높은 드레인 전류가 흐를 수 있게 되며 전자와 정공이 채널 영역에 축적 (accumulation)되면서 소자가 동작하기 때문에 히스테리시스 특성이 나타나게 되고 이를 통해 휘발성, 비휘발성 메모리 등에 적용가능하다 [11].

### II. 피드백 전계효과 트랜지스터의 전기적 특성

피드백 현상에 의해 동작하는 소자의 경우 그림 3에서 볼수 있듯이 밴드 간 터널링이나 전자 사태 항복을 활용한 소자에 비해 낮은 동작전압으로 이상적인 스위칭 특성을 보이기 때문에 전기적으로 그 특성이 매우 우수하다고 볼 수 있다. 터널링 전계효과 트랜지스터의 경우 동작전압이 낮은 반면에 문턱전압이하의 기울기가 40~50 mV/dec 정도로 MOSFET 소자의 특성에 비해 뛰어나지만 동작원리 상 이상적인 스위칭 특성을 보이기 어렵고 충격 이온화 금속-산화막-반도체 전계효과 트랜지스터는 이상적인 스위칭 특성을 보이지만 실리콘 채널을 사용한 경우 10 V 이상의 동작전압

이 요구된다.

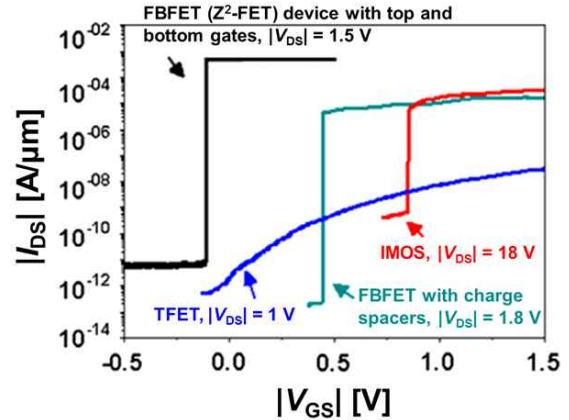


Fig. 3. Comparison between FBFET and other sharp switching devices including TFET and IMOS [10]. (This figure is adapted from the reference.)

그림 3. FBFET와 가파른 스위칭 특성을 가지는 TFET, IMOS 소자에 대한 비교 [10]. (이 그림은 참고문헌에서 가져와 수정한 것입니다.)

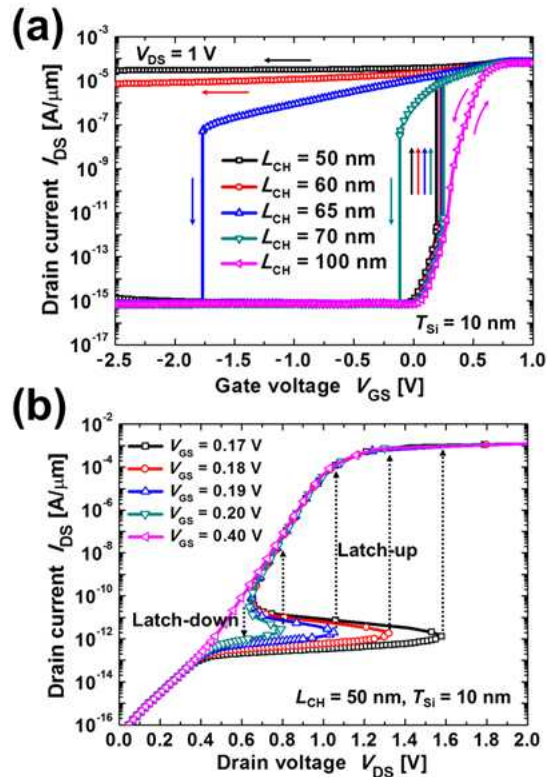


Fig. 4. (a) Hysteresis characteristics in the  $I_{DS} - V_{GS}$  curves with various channel lengths. (b) Hysteresis characteristics in  $I_{DS} - V_{DS}$  curves with various gate voltages [11]. (This figure is adapted from the reference.)

그림 4. (a) 다양한 채널 길이에 따른  $I_{DS} - V_{GS}$  곡선에서의 히스테리시스 특성. (b) 다양한 게이트 전압에 따른  $I_{DS} - V_{DS}$  곡선에서의 히스테리시스 특성 [11]. (이 그림은 참고문헌에서 가져와 수정한 것입니다.)

피드백 전계효과 트랜지스터는 이상적인 스위칭 특성을 가질 뿐 아니라 그림 4에서 보는 바와 같이 전류-전압 곡선에서 히스테리시스 특성을 보인다. 그림 4(a)는  $I_{DS} - V_{GS}$  곡선을 보여주는 것으로 소자 채널 길이에 따라 히스테리시스 특성이 변하는 것을 보여 준다 [11]. 피드백 전계효과 트랜지스터는 채널 영역에 형성된 전위 장벽 (potential barrier)에 상태에 따라 그 전기적 특성이 좌우된다. 그렇기 때문에 장벽의 상태에 영향을 줄 수 있는 채널의 길이/두께, 게이트 절연체의 종류/두께, 채널에 인가된 전압 등과 같은 요소는 그 특성을 변하게 한다. 또한 그림 4(b)에서 볼 수 있는  $I_{DS} - V_{DS}$  곡선에서도 히스테리시스 특성을 보이게 되는데 이는 동작 시에 에너지 밴드 다이어그램의 형태를 보면 이해 할 수 있다. 동작 상황에서  $p-n-p-n$  혹은  $p-n-i-p-n$ 과 같은 형태로 에너지 밴드가 형성되고 이는 기존에  $p-n-p-n$  구조로 동작하는 사이리스터 소자와 유사한 상황이 된다. 물론 주로 충돌 이온화 (impact ionization)에 의해

동작하는 이 소자와는 동작에서 차이를 보이지만 그림 4(b)에서 볼 수 있는 스냅백 현상과 같은 특성이 그 동작의 유사성을 증명한다 [11]-[13].

### III. 피드백 전계효과 트랜지스터의 적용 분야

피드백 전계효과 트랜지스터는 전위 장벽 (potential barrier)의 상태에 따라 히스테리시스를 조절 가능하기 때문에 그림 5에서 보는 바와 같이 논리소자 및 휘발성/비휘발성 메모리에 적용가능하다. 그림 5(a)는 피드백 전계효과 트랜지스터로 구성된 인버터의 기본 특성을 보여준다. 히스테리시스가 존재하지 않는 특성을 가진 상황에서는 그림 5(a)에서 보는 것과 같이 논리소자로서 동작이 가능하다 [14]. 또한 히스테리시스 특성이 존재하여 히스테리시스 윈도우 (혹은 메모리 윈도우)가 형성된 경우에는 그림 5(b)에서 보는 바와 같이 휘발성 메모리인 capacitor-less 1-transistor dynamic random access memory (1T-DRAM)이나

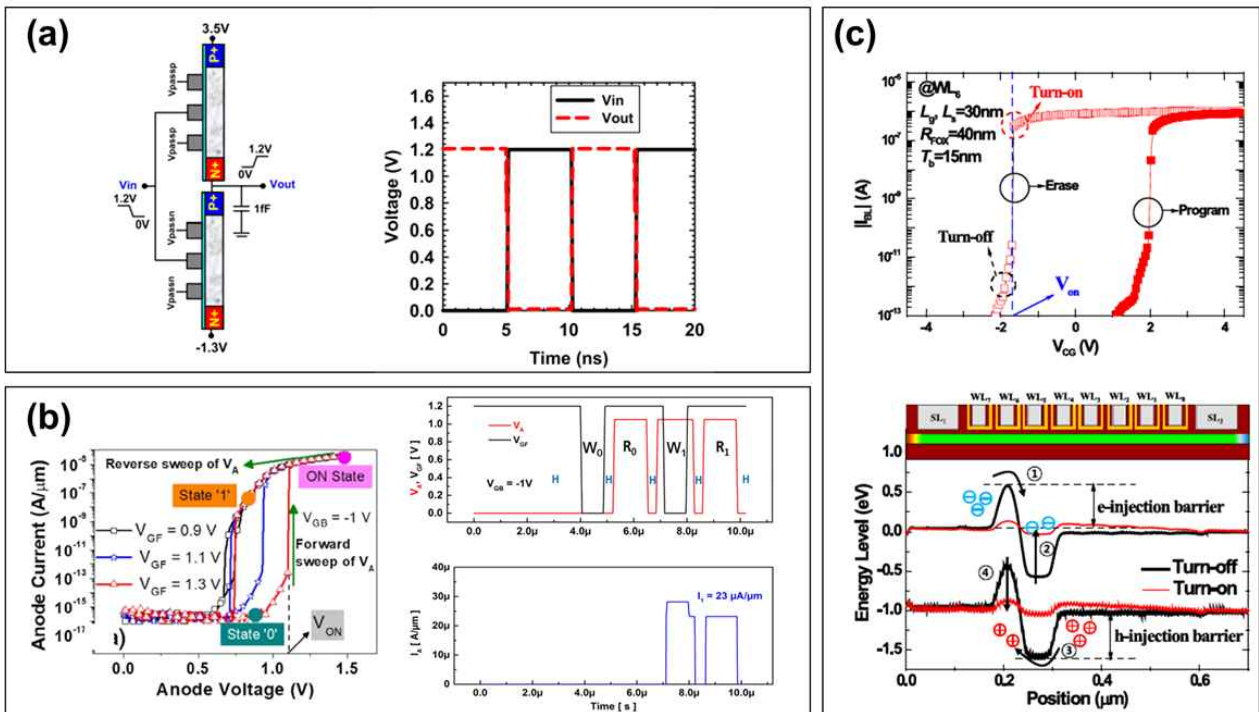


Fig. 5. (a) Logic inverter operation composed of FBFET [14]. (b) memory operation of FBFET as a volatile memory [15]. (c) non-volatile memory operation of a device utilized feedback mechanism [17]. (All the figures in figure 5 are adapted from each of references.)

그림 5. (a) FBFET로 구성된 로직 인버터 소자와 그 특성 [14]. (b) FBFET의 휘발성 메모리 동작 특성 [15]. (c) 피드백 메모리 커니즘을 활용한 소자의 비휘발성 메모리 동작 특성 [17]. (그림 5의 모든 그림은 각각의 참고문헌에서 가져와 수정한 것입니다.)

1-transistor static random access memory (1T-SRAM)로 동작가능하다 [15],[16]. 피드백 전계효과 트랜지스터가 휘발성 메모리로 활용될 경우 축전기 (capacitor)가 필요 없거나 혹은 최소 6개의 트랜지스터로 구성된 SRAM의 구성을 기존의 MOSFET 소자로 구성된 휘발성 메모리에서보다 크게 줄일 수 있어 회로 집적도를 급격히 향상시킬 수 있을뿐더러 좋은 스위칭 특성으로 소비전력을 더욱 줄일 수 있게 된다. 더욱이 피드백 전계효과 트랜지스터는 채널 내부의 피드백 현상을 사용하여 비휘발성 메모리인 Nand flash memory로도 활용 가능하다 [17],[18]. 이 원리를 활용한 비휘발성 소자의 경우에는 그림 5(c)에서 볼 수 있듯이 급격한 스위칭 특성으로 초저전력 구동이 가능하고 기존의 CMOS 공정을 그대로 사용가능하기 때문에 소자 제작이 용이하여 활용성이 높다.

#### IV. 결론

본 논문에서는 다양한 구조의 피드백 전계효과 트랜지스터를 확인하고 그 동작 원리인 피드백 동작 메커니즘에 관하여 살펴보았다. 피드백 전계효과 트랜지스터는 채널내부에 피드백 현상을 유도하여 급격한 스위칭 특성을 가질 뿐만 아니라 채널에 존재하는 전자와 정공에 의한 히스테리시스 특성으로 휘발성 메모리, 비휘발성 메모리 등에 적용 가능하기 때문에 그 활용가치가 매우 높다. 앞으로 관련 연구가 꾸준히 진행된다면 기존의 MOSFET 소자를 대체할 차세대 초저전력/고성능 소자가 될 것으로 기대한다.

#### References

- [1] Thompson, Scott E., and Srivatsan Parthasarathy. "Moore's law: the future of Si microelectronics," *Materials today*, vol. 9, no. 6 pp. 20-25, 2006. DOI:10.1016/S1369-7021(06)71539-5
- [2] Sakurai Takayasu, "Perspectives of Low-Power VLSI," *IEICE Transactions on Electronics*, vol. E87-C, no. 4, pp. 429-436, 2004.
- [3] Jaesung Jo, Changhwan Shin. "Study of Temperature Effects on Negative Capacitance Field-Effect Transistor." *IEEK* (2014): 70-72.
- [4] Jae Hyun Park, et al. "Effect of Random Dopant Fluctuation Depending on the Ion Implantation for the Metal-Oxide-Semiconductor Field Effect Transistor," *j.inst.Korean.electr.electron.eng*, vol,21.no.1, (2017). DOI: 10.7471/ikeee.2017.21.1.96
- [5] Ionescu, Adrian M., and Heike Riel. "Tunnel field-effect transistors as energy-efficient electronic switches," *nature*, vol. 479, no. 7373, pp. 329-337, 2011. DOI:10.1038/nature10679
- [6] Choi, Woo Young, et al. "Tunneling field-effect transistors (TFETs) with subthreshold swing (SS) less than 60 mV/dec," *IEEE Electron Device Letters* vol. 28, no. 8, pp. 743-745, 2007. DOI:10.1109/LED.2007.901273
- [7] Kim, Minsuk, et al. "Subthreshold swing characteristics of nanowire tunneling FETs with variation in gate coverage and channel diameter," *Current Applied Physics* vol. 15, no.7, pp.780-783, 2015. DOI:10.1016/j.cap.2015.04.024
- [8] Gopalakrishnan, Kailash, Peter B. Griffin, and James D. Plummer. "Impact ionization MOS (I-MOS)-Part I: device and circuit simulations," *IEEE Transactions on electron devices*, vol. 52, no. 1, pp. 69-76, 2005. DOI:10.1109/TED.2004.841344
- [9] Padilla, Alvaro, et al. "Feedback FET: A novel transistor exhibiting steep switching behavior at low bias voltages," *Electron Devices Meeting, 2008. IEDM 2008. IEEE International. IEEE*, 2008. DOI:10.1109/IEDM.2008.4796643
- [10] Wan, Jing, et al. "A systematic study of the sharp-switching Z 2-FET device: from mechanism to modeling and compact memory applications," *Solid-State Electronics*, vol. 90, pp. 2-11, 2013. DOI:10.1016/j.sse.2013.02.060
- [11] Kim, Minsuk, et al. "Steep switching characteristics of single-gated feedback field-effect transistors," *Nanotechnology*, vol. 28, no. 5, pp. 055205-1-055205-8, 2017. DOI: 10.1088/1361-6528/28/5/055205

- [12] Jeon, Youngin, et al. "Switching characteristics of nanowire feedback field-effect transistors with nanocrystal charge spacers on plastic substrates," *ACS nano*, vol. 8, no. 4, pp. 3781-3787, 2014. DOI:10.1021/nm500494a
- [13] Jeon, Youngin, et al. "Steep subthreshold swing n-and p-channel operation of bendable feedback field-effect transistors with p<sup>+</sup>-i-n<sup>+</sup> nanowires by dual-top-gate voltage modulation," *Nano letters*, vol. 15, no. 8, pp. 4905-4913, 2015. DOI:10.1021/acs.nanolett.5b00606
- [14] Chen, Wei-Chen, and Lue, Hang-Ting. "A novel supersteep subthreshold slope dual-channel FET utilizing a gate-controlled thyristor mode-induced positive feedback current," *IEEE Transactions on electron devices* vol. 64, no. 3, pp. 1336-1342, 2017. DOI:10.1109/TED.2017.2656903
- [15] Cristoloveanu, Sorin et al. "A review of the Z2-FET 1T-DRAM memory: Operation mechanisms and key parameters," *Solid-State Electronics*, in press, 2017. DOI:10.1016/j.sse.2017.11.012
- [16] El Dirani, H., et al. "Competitive 1T-DRAM in 28 nm FDSOI technology for low-power embedded memory," *SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2016 IEEE. IEEE*, 2016. DOI:10.1109/S3S.2016.7804402
- [17] Choi, Nag yong et al. "Design consideration of diode-type NAND flash memory cell string having super-steep switching slope," *IEEE Journal of the electron devices society* vol. 4, no. 5, pp. 328-334, 2016. DOI:10.1109/JEDS.2016.2593792
- [18] Joe, Sung-Min et al. "Diode-type NAND flash memory cell string having super-steep switching slope based on positive feedback," *IEEE Transactions on electron devices* vol. 63, no. 4, pp. 1533-1538, 2016. DOI:10.1109/TED.2016.2533019

## BIOGRAPHY

### Minsuk Kim (Student member)



2011 : BS degree in Electronic and Electrical Engineering, Hongik University.  
2018 : Unified MS and PhD degree in electrical Engineering, Korea University.  
2018~ : Samsung Electronics

### Kyungsoo Lee (Student member)



2010 : BS degree in Electrical Engineering, Korea University.  
2010~ : Samsung Electronics Memory Division  
2017~ : MS degree in electrical Engineering, Korea University.

### Sangsig Kim (Member)



1985 : BS degree in Physics, Korea University.  
1987 : BS degree in Physics, Korea University.  
1996 : PhD degree in Applied physics, Columbia University.

1999~ : Professor, Department of Electrical Engineering, Korea University.