ISSN:1226-7244 (Print)
ISSN:2288-243X (Online)
j.inst.Korean.electr.electron.eng.Vol.22,No.2,488~490,June 2018
논문번호 18-02-37
http://dx.doi.org/10.7471/ikeee.2018.22.2.488
262

게이트 절연막과 게이트 전극물질의 변화에 따른 피드백 전계효과 트랜지스터의 히스테리시스 특성 확인

The hysteresis characteristic of Feedback field-effect transistors with fluctuation of gate oxide and metal gate

이 경 수[*,**], 우 솔 아[*], 조 진 선[*], 강 현 구[*],김 상 식[*★]
Kyungsoo Lee[*,**], Sola Woo[*], Jinsun Cho[*], Hyungu Kang[*], Sangsig Kim[*★]

Abstract

In this study, we propose newly designed feedback field-effect transistors that utilize the positive feedback of charge carriers in single-gated silicon channels to achieve steep switching behaviors. The band diagram, I-V characterisitcs, subthreshold swing, and on/off current ratio are analyzed using a commercial device simulator [1]. To demonstrate the changing characteristics of hysteresis, one of the important features of the feedback field effect transistor, we simulated changing the gate insulating material and the gate metal electrode. The fluctuation in the characteristics changed the V_{TH} of the hysteresis and showed a decrease in width of the hysteresis.

요 약

본 연구에서는 급격한 스위칭 특성을 달성하기 위해 싱글단일-게이트 실리콘 채널에서 전하 캐리어의 양의 피드백을 이용하는 새롭게 설계된 피드백 전계 효과 트랜지스터를 제안한다. 에너지 밴드 다이어그램, I-V 특성, 문턱전압 기울기 및 on/off 전류 비는 TCAD 시뮬레이터를 이용하여 분석한다 [1]. 피드백 전계 효과 트랜지스터의 중요한 특징 중 하나인 히스테리시스의 특성을 보기 위해 게이트 절연막 물질과 게이트 전극물질을 변경하여 시뮬레이션을 진행했다. 이러한 특성변화는 피드백 전계효과 트랜지스터의 문턱전압 (V_{TH})을 변화시켰고, 메모리 윈도우 폭이 작아지는 현상을 보였다.

Key words : Feedback field-effect transistors, feedback mechanism, hysteresis, memory application, high-k, work function

---

* Dept. of Electrical Engineering, Korea University
** Samsung Electronics, Hwasung, Korea
★ Corresponding author
sangsig@korea.ac.kr, TEL: +82-2-3290-3245

※ Acknowledgment
This work was supported in part by Samsung Electronics. This material is based upon work supported by the Ministry of Trade, Industry & Energy (MOTIE, Korea) under Industrial Strategic Technology Development Program. (10067791, 'Development of fabrication and device structure of feedback Si channel 1T-SRAM for artificial intelligence').
Manuscript received, 2018; revised, 2018; accepted, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

반세기동안 MOSFET 소자는 채널의 길이가 감소하게 되면서 집적도가 높아지게 되었고, 성능이 크게 향상되면서 공정 비용이 감소되었다 [2],[3]. 채널의 길이가 감소함에 따라 누설전류 (leakage current)는 증가하게 되었고, 그 결과로 누설전력 (leakage power)의 소모가 많아지게 되면서, MOSET 소자 전력이 커지는 문제점을 야기시키게 되었다[2],[3]. 무어의 법칙에 따라 실리콘 반도체 소자의 물리적 크기가 줄어들면서 문턱전압이하의 기울기 (subthreshold swing, SS)는 지속적으로 향상되어 왔지만, 열전자 방출 기반의 동작 특성 때문에, 상온에서 60 mV/dec 이하의 문턱전압이하 기울기 값을 가질 수 없다는 한계점이 있다 [4]. 이 이론적 한계를 개선하기 위해 다양한 소자들이 개발되고 있으며, 그 중 피드백 전계효과 트랜지스터의 구조가 제안되고 있고, 동작원리들이 확인 되고 있다. 특히 피드백 전계효과 트랜지스터는 우수한 스위칭 특성뿐만 아니라 전하의 축적에 의한 히스테리시스 특성을 보이므로 메모리 소자로서의 활용 가능성이 제시되고 있다 [1]. 단일 소자의 채널영역에 전하를 축적하기 때문에 1T-DRAM 소자로의 활용이 연구되고 있으며 [5], 읽는 과정에서 축적된 전하를 잃지 않는 특성을 활용해 SRAM 소자로의 연구도 진행되고 있다 [6, 7].

본 논문에서는 technology computer-aided design (TCAD) 3D 시뮬레이션을 이용하여 피드백 전계효과 트랜지스터에서 중요한 게이트 절연막과 게이트 전극물질의 변화에 따른 문턱전압과 히스테리시스의 특성변화를 알아보고자 한다 [8].

2. 본론

2.1 소자 구조 및 시뮬레이션 방법

본 시뮬레이션 연구에서 활용한 피드백 전계효과 트랜지스터의 구조의 그림 1 (a)과 동일하다. 소자의 크기는 채널 길이는 50 nm, 게이트 절연막은 2 nm, 채널의 두께는 10 nm로 설정하였다. p^+-n^+-i-n^+ 구조로써 p^+ 영역은 드레인, 마지막 n^+ 영역은 소스 역할을 하며 intrinsic 영역으로 게이트 전극을 접합시켰다. 각각의 p^+ 영역은 $1x10^{19}$ cm^{-3}, n+ 영역은 $1x10^{19}$ cm^{-3}, 그리고 i영역은 $2x10^{15}$ cm^{-3}으로 도핑하였다. 게이트 전극에 전압을 인가하게 되면 i영역에 채널이 형성되게 된다. 그림 1 (b)에서 채널 영역 내부에 전자와 정공 유입을 제한하는 전위 장벽을 만들고, 게이트에서 인가되는 전압이 증가할수록 전위 장벽을 낮추어 전자와 정공이 이동하여 급격하게 전류가 증가하는 래치 업 특성을 나타나게 된다 [3]. 변화하는 히스테리시스 특성을 확인하기 위해 게이트 절연막을 각각 Al_2O_3, ZrO_2, 그리고 HfO_2를 변경하고, 게이트 메탈전극을 Al과 W으로 변경하여 시뮬레이션을 진행 하였다.

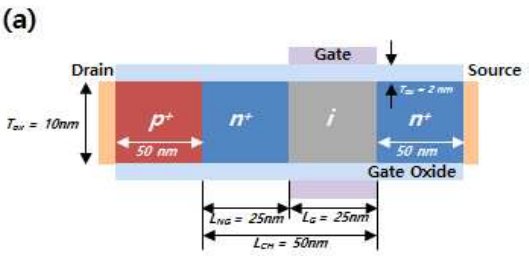

Fig. 1.(a) The structure of FBFETs for simulation
그림 1.(a) 시뮬레이션을 위한 피드백 전계형 트랜지스터 구조

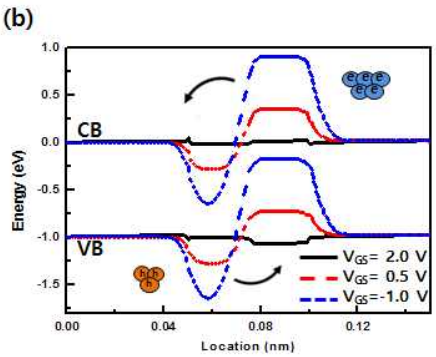

Fig. 1.(b) The energy band of the FBFETs
그림 1.(b) 피드백 전계형 트랜지스터 energy band

2.2 결과 및 고찰

그림 1(a)의 기본적인 피드백 전계효과 트랜지스터는 Al_2O_3 게이트 절연막와 Al 게이트 메탈전극을 사용하고 있다. 히스테리시스 특성을 변화하기 위해 게이트 절연막을 각각 높은 유전율을 가진 Al_2O_3 (유전상수 11~13), ZrO_2 (유전상수 12~20), 그리고 HfO_2 (유전상수 16~40)로 변경하며 시뮬레이션을 진행했으며, 게이트 메탈물질은 Al (일함수 4.08) 과 W (일함수 4.58)로 제작하여, 피드백 전계효과 트랜지스터의 히스테리시스 특성을 확인하였다 [8],[9]. 그림 2처럼 Al_2O_3를

각각 Al 과 W 메탈 게이트에서 시뮬레이션을 진행했을 때, V_{th}의 0.7 V 차이가 발생하였고, 일함수가 커질수록 V_{th}시점이 빨라지는 것을 확인하였다. Al_2O_3 게이트 절연막은 동일하기 때문에 히스테리시스 on/off ratio의 크기는 동일하지만, V_{th}가 음의 방향으로 이동하면서 낮은 전압에서도 on/off를 할 수 있게 되었다. 이는 W의 일함수가 Al보다 크기 때문에 i 영역에 생기는 전위 장벽을 낮춰주어 전자와 정공이 빠르게 넘어가면서 낮은 전압에서도 히스테리시스가 생기게 되는 것을 의미한다. 동일한 W 메탈 게이트에서 각각 Al_2O_3 , ZrO_2 , 그리고 HfO_2 의 게이트 절연막을 가지고 시뮬레이션을 진행했을 때, 유전상수가 작을수록 V_{th} 값은 음의 방향으로 이동하게 되었고, 게이트 절연막에 변화에 따른 V_{th} 값의 범위는 0.55 V로 확인하였다. 이는 유효 일함수의 차이로 인해 V_{th}가 변화하는 것을 확인하였다. 유효 일함수는 아래와 같은 식으로 계산할 수 있다.

$$\Phi_{meff} = E.HIGHK + S.HIGHK(WORKF - E.HIGHK)$$

물질의 유전상수의 값이 증가함에 따라 V_{th} 의 값이 0 V로 이동하게 된다.

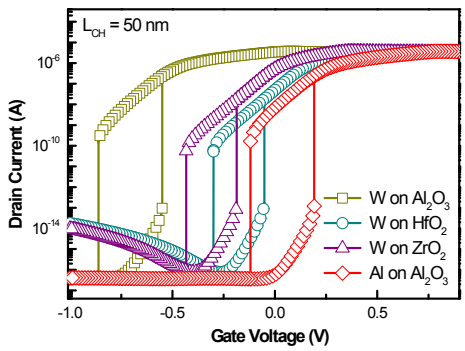

Fig 2. Characteristics of hysteresis with change of gate oxide and gate metal electrode

그림 2. 게이트 절연막과 게이트 메탈전극의 변화에 따른 히스테리시스의 특성 변화

III. 결 론

본 연구에서는 단일 게이트 피드백 전계효과 트랜지스터의 히스테리시스 특성에 영향을 TCAD 3D 시뮬레이션을 통해 확인하였다. 높은 유전율을 가진 물질의 유전상수가 높을수록 V_{th} 의 크기는 증가하였다. 이와 반대로, 게이트 메탈전극 일함수의 크기는 클수록 V_{th} 가 작아짐을 확인하였다. V_{th} 값을 고려하여 낮은 전력에서도 피드백 전계효과 트랜지스터를 메모리 소자로 활용할 수 있을 것이다.

References

[1] Kim, Minsuk, et al. "Steep switching characteristics of single-gated feedback field-effect transistors." *Nanotechnology*, vol. 28, no. 5, pp. 055205-1-055205-8, 2017.
DOI: 10.1088/1361-6528/28/5/055205

[2] Thompson, Scott E., and Srivatsan Parthasarathy. "Moore's law: the future of Si microelectronics." *Materials today*, vol. 9, no. 6 pp. 20-25, 2006. DOI:10.1016/S1369-7021(06)71539-5

[3] Jaesung Jo, Changhwan Shin. "Study of Temperature Effects on Negative Capacitance Field-Effect Transistor." *IEEK (2014)*: 70-72.

[4] Sakurai Takayasu, "Perspectives of Low-Power VLSI'." *IEICE Transactions on Electronics*, vol. E87-C, no. 4, pp. 429-436, 2004.

[5] El Dirani, H., et al. "Competitive 1T-DRAM in 28 nm FDSOI technology for low-power embedded memory." *SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2016 IEEE*. IEEE, 2016.
DOI: 10.1109/S3S.2016.7804402

[6] Wan, Jing, et al. "A systematic study of the sharp-switching Z2-FET device: From mechanism to modeling and compact memory applications." Solid-State Electronics 90 (2013): 2-11. DOI:10.1016/j.sse.2013.02.060

[7] Jinsun Cho, et al. "Effect of Channel Length Variation on Memory Window Characteristics of single-gated feedback field-effect transistor." *IKEEE 21.3 (2017)*: 284-287.
DOI:10.7471/ikeee.2017.21.3.284

[8] Manual, ATLAS User'S. "Device simulation software." Silvaco Int. Santa Clara, CA, 2008

[9] Sze, Simon M., and Kwok K. Ng. Physics of semiconductor devices. John wiley & sons, 2006.