

CNTFET 기반 회로 성능의

공정 편차 영향 분석을 위한 정확도 향상 방법

An Accuracy Improvement Method for the Analysis of Process Variation Effect on CNTFET-based Circuit Performance

조근호^{*★}
Geunho Cho^{*★}

Abstract

In the near future, CNTFET(Carbon NanoTube Field Effect Transistor) is considered as one of the most promising candidate for the replacement of modern silicon-based transistors by utilizing the ballistic or near-ballistic transport capability of CNT(Carbon NanoTube). For the large-scale fabrication of high performance CNTFET, semiconducting CNTs have to be well-aligned with a fixed pitch and high densities in the each CNTFET. However, due to the immaturity of the CNTFET fabrication process, CNTs can be unevenly positioned in a CNTFET and existing HSPICE library file cannot support the circuit level evaluation of performance variation caused by the unevenly positioned CNTs. To evaluate the performance variation, linear programming methodology was suggested previously, but the errors can be made during the calculation of the current and the gate capacitance of a CNTFET. In this paper, the reasons causing errors will be discussed in detail and the new methodology to reduce the errors will be also suggested. Simulation results shows that the errors can be reduced from 7.096% to 3.15%.

요약

가까운 미래에, 전자의 ballistic 혹은 near-ballistic 이동이 가능한 CNT(Carbon NanoTube)를 활용한 CNTFET(Carbon NanoTube Field Effect Transistor)은 현재의 실리콘 기반 트랜지스터를 교체할 유력한 후보 중 하나로 고려되고 있다. 고성능의 CNTFET으로 대규모 집적회로를 구현하기 위해서는 semiconducting CNT가 CNTFET 안에 동일한 간격과 높은 밀도로 정렬되어 배치되어야 하지만, CNTFET 공정의 미성숙으로, CNTFET 안의 CNT는 불규칙하게 배치하게 되고, 현존하는 HSPICE 라이브러리 파일은 불규칙한 CNT 배치에 의한 성능의 변화를 회로 레벨에서 평가할 수 있는 기능을 지원하지 않는다. 이러한 성능의 변화를 평가하기 위해서 선형 프로그래밍을 활용한 방법이 과거에 제안되었으나, CNTFET의 전류와 게이트 커패시턴스를 계산하는 과정에서 오차가 발생할 수 있는 문제점이 있다. 본 논문에서는 언급한 오차가 발생하는 이유에 대해서 자세히 논하고, 이 오차를 줄일 수 있는 새로운 방법을 제시하고자 한다. 시뮬레이션 검토 결과, 새롭게 제시된 방법이 기존 방법의 오차, 7.096%를 3.15%까지 줄일 수 있음을 보이고 있다.

Key words : CNTFET, CNT, Process Variation, Linear Programming, Defect Model

* Dept. of Electronics Engineering, Seokyeong University

★ Corresponding author

E-mail: choroot@skuniv.ac.kr, Tel: +82-2-940-7730

※ Acknowledgment

"This research was supported by Seokyeong University in 2018"

Manuscript received Apr. 3, 2018; revised Jun. 15, 2018; Accepted Jun. 25, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

진보된 전기적, 열적, 기계적, 그리고 화학적 특성을 갖고 있는 CNT가 다양한 분야에서 활용되고 있는 가운데, CNT를 활용한 CNTFET은 기존 실리콘 기반 반도체 소자가 직면한 성능 향상의 한계를 극복하기 위한 대안으로 각광 받고 있다. CNTFET이 이론적으로 기존 MOSFET에 비해 CV/I 측면에서 13배 성능을 보이고 있음에도 불구하고, 원하는 크기와 성질의 CNT를 추출하여 동일한 그리고 좁은 간격으로 나란히 배치시키는 기술이 충분히 성숙하지 않아 이를 극복하기 위한 다양한 노력이 국내외적으로 다양하게 진행되고 있다 [1]-[8].

CNT를 동일한 간격으로 배치시켜야 하는 이슈가 중요하게 다루어지는 이유는 CNT가 트랜지스터의 소스(source)와 드레인(drain) 사이에 전류가 흐르는 통로로 사용되기 때문에, 배치되는 CNT 수가 전류의 양을 결정하며, CNT 사이의 간격은 스크리닝 효과(screening effect)에 의해 각 CNT에 흐르는 전류의 양을 변화시키기 때문이다. 이러한 CNT의 수와 간격의 변화는 트랜지스터의 게이트 구조를 동시에 변화시켜 게이트 커패시턴스의 양을 변화시키게 된다. 따라서, CNTFET의 성능을 시뮬레이션하기 위해서는 다양한 CNT의 배치, 즉, CNT 사이의 간격이 불규칙한 경우라도 CNTFET의 전류와 게이트 커패시턴스를 계산할 수 있어야 한다. 하지만, 현재 나와 있는 HSPICE용 CNTFET 라이브러리 파일은 CNT 사이의 간격이 동일한 경우만 시뮬레이션 할 수 있어, 실제적인, 즉, CNT 사이의 간격이 불규칙한 경우에 대해 CNTFET의 성능을 회로 레벨에서 검증할 수 없다. 이러한 불가능한 시뮬레이션 가능하게 만들기 위해서 선형 프로그래밍(linear programming)을 활용한 방법이 기존에 제안 되었다 [7]. 선형 프로그래밍 방법은 CNT 사이의 간격이 불규칙한 CNTFET의 전류와 게이트 커패시턴스를 계산한 후, 동일한 전류와 게이트 커패시턴스를 갖는 CNTFET의 파라미터 값을 CNT 사이의 간격이 동일한 조건 하에 자동으로 찾는 방법이다. 이렇게 찾은 파라미터 값은 CNT 사이의 간격이 일정한 경우에 대한 파라미터 값이기 때문에 HSPICE 라이브러리 파일에 적용할 수 있어, CNT의 불규칙한 배열에 의한 CNTFET의 성능

변화를 회로 레벨에서 검토할 수 있도록 도와준다 [1][2][3][7].

하지만, 이러한 파라미터 값을 찾는 과정에 있어, CNT 사이의 간격이 불규칙한 CNTFET 모델과 CNT 사이의 간격이 동일한 CNTFET 모델 사이의 전류와 게이트 커패시턴스 값에는 오차가 존재할 수 있으며, 정확한 시뮬레이션을 위해서는 이 오차를 줄이기 위한 지속적인 노력이 필요하다. 본 논문에서는 이러한 오차가 생기는 이유에 대해서 자세히 논하고, 그 원인을 파악한 다음, 오차를 줄일 수 있는 새로운 방법을 제시하고자 한다.

II. 본론

1. CNTFET

약 1um의 자유이동경로(mean free path)를 갖는 CNT는 낮은 바이어스 전압으로 전자의 ballistic 혹은 near-ballistic 이동을 가능하게 만든다. CNTFET은 이러한 CNT를 그림 1과 같이 기판(substrate) 위에 배치시켜 소자의 성능을 향상시키는 구조로 되어 있다.

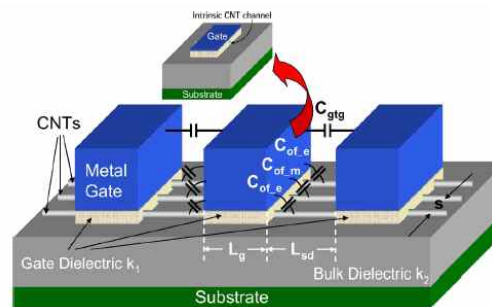


Fig. 1. CNTFET Structure [2]

그림 1. CNTFET 구조 [2]

CNTFET을 만들기 위해서는 그림 2의 첫 번째 단계처럼 기판 위에 CNT를 배치시키고, 그림 2의 두 번째 단계와 같이 CNTFET을 만들 영역을 결정한 후(영역 밖에 존재하는 CNT를 예칭으로 제거), 그림 2의 세 번째 단계처럼 소자 기능상 필요한 영역에 접합(contact)을 형성시킨다. 마지막으로, 그림 2의 네 번째 단계처럼 CNTFET의 종류(pFET 혹은 nFET)에 따라 해당 영역을 도핑시킨다. 이러한 CNTFET 공정 과정에서 문제점은 그림 2의 네 번째 단계처럼 공정이 모두 마무리된

후에 CNT의 배치가 일정하지 않다는 것이다. 이렇게 정렬이 안 된(misaligned) CNT의 배치는 CNTFET 안의 CNT 수를 변화시키고 스크리닝 효과로 각 CNT에 흐르는 전류의 양을 변화시키며, 동시에 게이트 영역의 구조를 변화시켜 게이트 커패시턴스 값을 변하게 한다 [1][2][5].

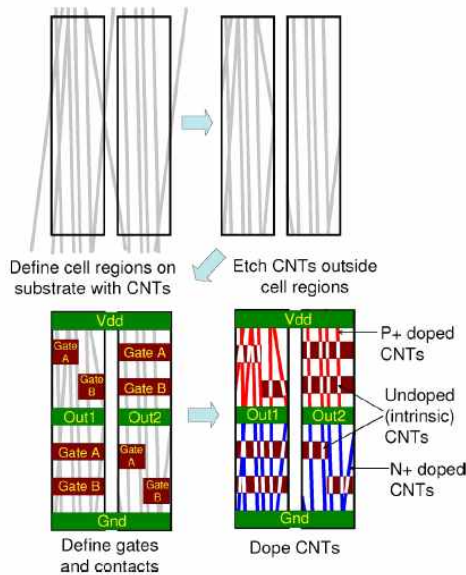


Fig. 2. CNTFET circuit fabrication process [5]
그림 2. CNTFET 회로 제조 공정 [5]

CNT 공정 편차로 인한 성능 변화를 최소화시키고 CNTFET의 성능을 향상시키기 위해서는, CNT를 동일하게 그리고 좁은 간격으로 배치시킬 수 있어야 한다. 최근 “directional shrinking transfer method”를 사용한 방법으로 전류 밀도 (current density)를 150 uA/um 까지 향상시킬 수 있는 방법이 그림 3과 같이 제시 되는 등 관련 기술이 지속적으로 개발하고 있으나, 공정이 끝난 후에도 CNT 사이의 간격은 여전히 불규칙한 모습을 보이고 있어, 앞서 언급한 CNT의 불규칙한 배열이 여전히 해결되지 못하고 있음을 보여주고 있다. 이러한 상황에서, 현재 CNTFET 회로의 성능을 검토할 수 있는 CNTFET 라이브러리 파일은 CNT 사이의 간격이 동일한 경우에 대해서만 회로 시뮬레이션이 가능하여 CNT 사이의 간격이 불규칙한 배치로 인한 CNTFET 회로의 성능 변화를 직접 검토하지 못하는 한계를 보이고 있다 [6][7].

이러한 불가능한 시뮬레이션을 가능하도록 만들고자 선형 프로그래밍을 활용한 시뮬레이션 방법이 과거 그림 4와 같이 도입되었다 [7]. 방법은

그림 4의 (a)와 같이, CNT 사이의 간격이 불규칙한 CNTFET의 전류와 게이트 커패시턴스를 먼저 계산한 후, 그림 4의 (b)와 같이 CNT 사이의 간격이 동일한 조건 하에, 같은 전류와 게이트 커패시턴스를 갖는 CNTFET 파라미터를 선형 프로그래밍으로 찾는 방법이다. 이상적으로는 (a)와 (b) 모델의 전류와 게이트 커패시턴스 값이 정확하게 일치하면 좋겠지만, 실제 계산 과정에서 오차는 존재하며, 정확한 공정 편차 영향성을 회로 레벨에서 검증하기 위해서는 이 오차를 줄일 필요가 있다. 본 논문에서 이러한 오차가 생기는 원인을 체계적으로 논의하고 분석한 후에 이를 감소시킬 수 있는 방안을 제시하고자 한다.

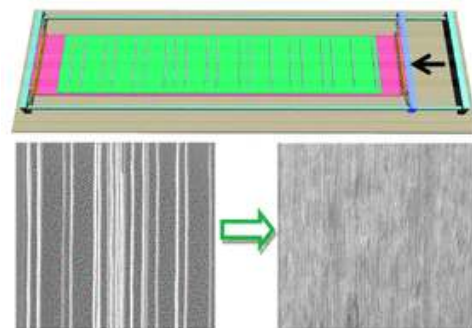


Fig. 3. High-density semiconducting CNT arrays [6]
그림 3. 고밀도 semiconducting CNT 배열 [6]

2. 선형 프로그래밍 방법의 오차

CNTFET에 배치될 수 있는 총 CNT의 수(N)가 9일 때, CNT 결함(CNT defect)의 종류와 위치에 따라 CNTFET의 전류와 게이트 커패시턴스는 변하게 된다. CNT 결함의 종류에는 일반적으로 정렬이 안 된 CNT나 금속 CNT(metallic CNT)가 있는데, 본 논문에서는 이러한 CNT 결함이 제거되어 반도체 CNT(semiconducting CNT)만 불규칙하게 배치되어 있다고 가정한다.

그림 5는 CNT 결함의 수, N_{CD} 가 증가할수록, 즉, CNTFET 안의 CNT 수가 줄어들수록, CNTFET의 전류와 게이트 커패시턴스가 전반적으로 줄어드는 모습을 보이고 있다. CNTFET 안에서 전류는 CNT를 통해 흐르기 때문에, CNT 결함의 수가 증가할수록 CNTFET 전류의 양은 감소하게 되며, CNTFET의 게이트 커패시턴스는 다음과 식 (1)과 (2)와 같이 게이트-채널 커패시턴스(gate to channel capacitance), C_{gc} 로 구성되어 있기 때문에, CNT의 수가 줄어들수록 CNT

FET의 게이트 커패시턴스 역시 감소하게 된다.

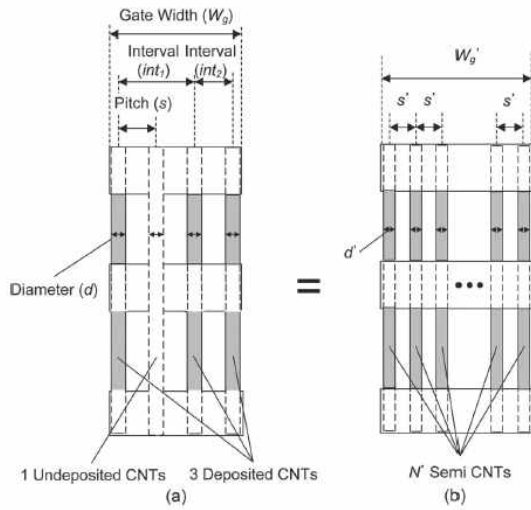


Fig. 4. Linear programming method [7]

그림 4. 선형 프로그래밍 방법 [7]

$$C_{gg,CNTFET} \approx C_{gc} \times L_g + C_{gtg} \times W_g \quad (1)$$

$$C_{gc} = \min(N, 2) \times C_{gc,e} + \max(N - 2, 0) \times C_{gc,m} \quad (2)$$

여기서 L_g 는 게이트 길이(gate length), C_{gtg} 는 게이트-게이트 커패시턴스(gate to gate capacitance), W_g 는 게이트 폭(gate width), $C_{gc,e}$ 는 CNT FET 외곽에 존재하는 CNT의 C_{gc} , 그리고 $C_{gc,m}$ 은 CNTFET 중심에 위치한 CNT의 C_{gc} 를 의미한다. 즉, CNTFET에서 게이트 커패시턴스는 CNTFET 전류와 마찬가지로 CNT의 수에 따라 변하기 때문에, CNT의 지름과 CNT 사이의 간격이 일정하다면, CNTFET의 게이트 커패시턴스는 CNT의 수에 따라 선형적으로 변할 수 있으며, 그림 5는 이러한 CNTFET 전류와 게이트 커패시턴스의 전반적인 변화를 보여주고 있다. 다만, 그림 5에서는 CNT 사이가 불규칙한 경우를 함께 보여고 있기 때문에 완전한 선형적 변화는 보여주지 못하고 있다 [8].

N_{CD} 가 고정된 경우, 즉, CNTFET안에 존재하는 CNT의 수가 일정한 경우, 그림 5는 CNTFET의 전류와 게이트 커패시턴스가 변할 수 있음을 보여주고 있다. 이는 CNT의 수가 고정된 상태에서 CNT의 다양한 위치에 따라 그 값이 변할 수 있음을 보여주는 것이다. 즉, 그림 5는 그림 4의 (a) 모델에서 다양한 CNT의 수와 위치에 따른 전류와 게이트 커패시턴스의 변화를 보여주고 있다.

그림 5에 표시된 다양한 전류와 게이트 커패시턴스 값을, 그림 4의 (b)와 같이, CNT 사이의 간격이 동일한 조건하에 찾기 위해 선형 프로그래밍을 활용한 방법이 과거 제안되었다 [7].

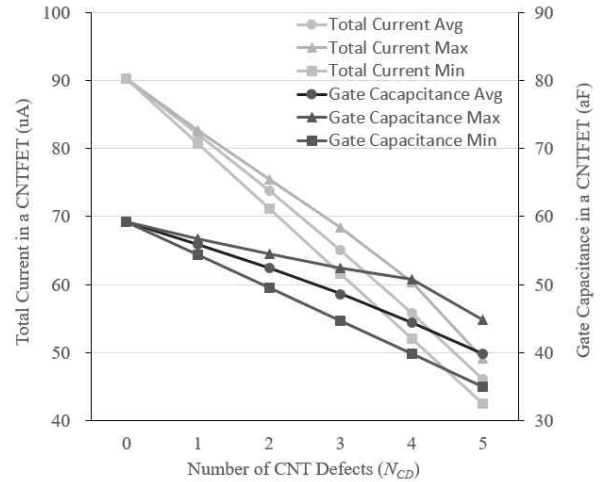


Fig. 5. Current and gate capacitance vs. number of CNT defects in a CNTFET [8]

그림 5. 전류와 게이트 커패시턴스 vs. CNTFET에서의 CNT 결함 [8]

앞서 설명한 바와 같이, CNTFET에서는 CNT 수가 늘어남에 따라 CNTFET의 전류와 게이트 커패시턴스가 선형적으로 증가하며, 이 때, CNTFET 전류는 CNTFET 외곽에 위치한 CNT 전류 (I_{edge})와 CNTFET 중간에 위치한 CNT 전류 (I_{middle})의 합으로, 게이트 커패시턴스는 식 (1)과 식 (2)와 같이 $C_{gc,e}$ 와 $C_{gc,m}$ 의 합으로 증가한다. CNTFET을 구성하는 이러한 파라미터(I_{edge} , I_{middle} , $C_{gc,m}$, 그리고 $C_{gc,e}$)들은 CNT의 키랄성(chirality)과 도핑 농도에 따라 그 값이 변하며, 자세한 값은 그림 6과 같이 키랄성을 나타내는 키랄 벡터(chiral vector(or chiralities), (n_1, n_2))와 함께 표시되어 있다.

그림 6을 살펴보면 키랄 벡터가 줄어들수록, 즉 n_2 값이 줄어들수록, 각 CNT에 흐르는 전류 값과 C_{gc} 값이 줄어들음을 볼 수 있다. 이는 키랄 벡터가 감소에 따라 CNT의 물리적인 지름이 줄어들음을 상기할 때, 당연한 결과로 볼 수 있다. 반면, 도핑 농도를 변화시킬 때, 그림 6의 값들을 살펴보면, 도핑 농도가 증가함에 따라 전류 파라미터(I_{edge} 와 I_{middle})는 증가하지만, 게이트 커패시턴스 파라미터($C_{gc,e}$ 와 $C_{gc,m}$)는 변하지 않음을 확인할 있다.

이는 도핑 농도가 CNT의 전자 혹은 정공의 수를 변화시켜 전류의 변화를 이끌어 내지만, CNT의 물리적 모양은 변화시키지 않아 커패시턴스에는 영향을 주지 않음을 확인할 수 있다 [1][2][3].

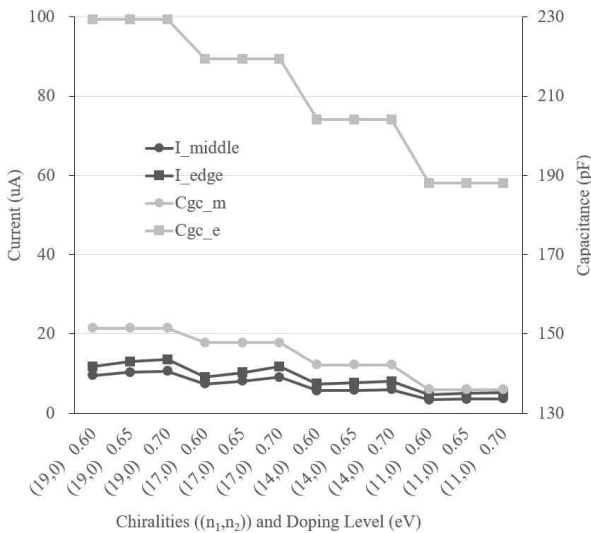


Fig. 6. Current and gate to channel capacitance vs. chiralities and doping level [7].

그림 6. 전류와 게이트 채널 커패시턴스 vs. 키랄성과 도핑 레벨 [7]

[7]에서 제시된 방법은 그림 5에 나와 있는 전류와 게이트 커패시턴스의 변화(그림 4의 (a) 모델의 전류와 게이트 커패시턴스 값)를 그림 6에 나와 있는 파라미터 값들과 선형 프로그래밍을 활용하여 가장 근접한 전류와 게이트 커패시턴스 값(그림 4의 (b)모델의 전류와 게이트 커패시턴스 값)을 찾아가는 방법으로 볼 수 있다. 이러한 값을 찾는 데 있어 두 모델 사이에 오차는 존재하며, 이 오차를 계산하면 그림 7과 같다.

그림 7을 살펴보면, 키랄 벡터가 상대적으로 큰 값을 가질 때(ex. (19,0) 혹은 (17,0)일 때), 오차가 상대적으로 작다가 N_{CD} 가 증가할수록 증가하는 경향을 보이고, 키랄 벡터가 상대적으로 작은 값을 가질 때(ex. (14,0) 혹은 (11,0)일 때), 오차가 상대적으로 크다가 N_{CD} 가 증가할수록 감소하는 경향을 보인다. 그림 5의 CNTFET 전류와 게이트 커패시턴스는 CNTFET을 구성하는 CNT의 키랄 벡터가 (19,0) 일 때 값들이기 때문에, 그림 7에서 N_{CD} 가 작을 때, 즉, CNTFET 전류와 게이트 커패시턴스 값이 크고 변화가 작을 때, 키랄 벡터가 (19,0)와 비슷한 값을 갖는 파라미터들을 사용하면, 작은 오차로 그림 5의 전류와 게이트 커패시턴스

값을 찾을 수 있다. 하지만, 그림 5와 같이, N_{CD} 가 증가하면, CNTFET 전류와 게이트 커패시턴스 값은 감소하면서 CNT 위치에 따라 그 값의 변화가 심하게 일어나기 때문에, 키랄 벡터가 (19,0)과 비슷한 값을 갖는 파라미터로는 작은 값으로 심하게 변하는 CNTFET 전류와 게이트 커패시턴스 값들을 정교하게 맞추는데 한계가 있어 오차가 증가한다.

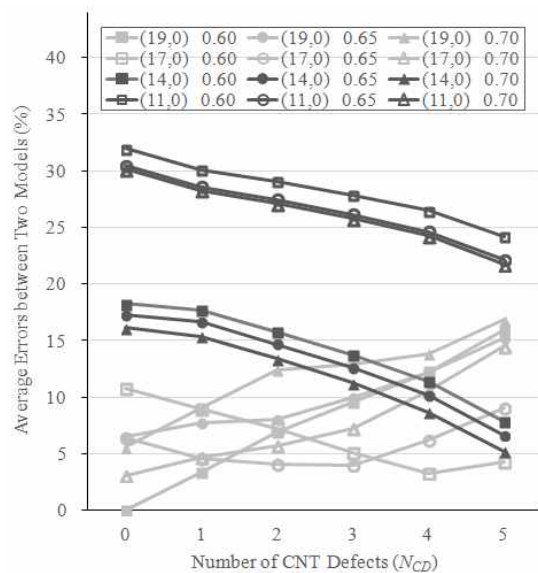


Fig. 7. Average errors between two models

그림 7. 두 모델 사이의 평균 오차

이렇게 값을 맞추는 과정에서 오차가 증가하는 또 다른 이유는 파라미터의 값의 차이이다. 그림 5와 그림 6의 전류 값을 비교하면 uA 단위의 CNTFET 전류를 전류 파라미터는 uA 단위로 대응하지만, aF 단위를 갖는 게이트 커패시턴스를 pF 단위를 갖는 커패시턴스 파라미터로 대응하기 때문에, 큰 단위 차이를 갖는 두 종류의 파라미터로 CNTFET 전류와 게이트 커패시턴스를 동시에 맞추면 그 오차는 증가할 수밖에 없다. 이러한 한계를 조금이라도 극복하고자 [7]에서는 앞서 언급한 도핑 농도의 변화를 도입하였으며, 도핑 농도의 변화는 그림 6과 같이 전류 파라미터와 게이트 커패시턴스 파라미터 사이의 차이를 조금이나마 줄여주기 때문에, 그림 7과 같이 오차가 줄어드는 효과를 이끌어 낼 수 있다. 따라서, 키랄 벡터가 (19,0) 보다 작은 경우(ex. (14,0) 혹은 (11,0)), 그림 7과 같이 N_{CD} 가 작을 때 큰 오차를 보이는 이유는 각 CNT의 지름이 작아 CNTFET의

큰 전류와 게이트 커패시턴스 값을 큰 값의 차이를 가지는 전류 파라미터와 게이트 커패시턴스 파라미터로 동시에 대응하기에 한계를 보이지만, N_{CD} 가 증가할수록 CNTFET 전류와 게이트 커패시턴스 값 자체가 감소하고(그림 5), 전류 파라미터와 게이트 커패시턴스 파라미터 값 자체가 줄어들고, 동시에 두 파라미터 사이의 차이가 줄어들어(그림 6), 작은 CNTFET 전류와 게이트 커패시턴스의 변화를 작은 오차로 찾을 수 있다.

기존 선형 프로그래밍 방법을 소개한 논문[7]에서는 키랄 벡터가 (19,0)인 CNT로 구성된 CNTFET에서 그 수가 3에서 9까지 변할 때, 이를 대응하기 위해 키랄 벡터가 (16,0) 그리고 도핑농도가 0.675인 CNT만을 활용하였으며, 이때의 평균 오차는 7.096%였다. 하지만, 그림 7을 자세히 살펴보면, N_{CD} 가 1과 2일 때는 키랄 벡터가 (19,0) 그리고 도핑농도가 0.6인 CNT, N_{CD} 가 2와 3일 때는 키랄 벡터가 (17,0) 그리고 도핑농도가 0.65인 CNT, 마지막으로, N_{CD} 가 4와 5일 때는 키랄 벡터가 (17,0) 그리고 도핑농도가 0.6인 CNT를 사용한다면, 즉, 그림 7에서 가장 아래쪽에 있는 값들을 선택한다면, 전체 오차를 줄일 수 있으며, 시뮬레이션 결과 언급한 7.096% 오차를 3.15%까지 반 이상 줄일 수 있음을 확인할 수 있다. 따라서, N_{CD} 의 변화에 따라 다양한 전류 그리고 게이트 커패시턴스 파라미터들을 유동적으로 선택하여 사용한다면, 좀 더 적은 오차로 공정 편차에 따른 성능의 변화를 시뮬레이션 할 수 있음을 알 수 있다.

III 결론

CNT를 source와 drain 사이의 전하 운반자로 사용하여 그 성능을 향상시킨 CNTFET은 그 우수한 성능에도 불구하고 원하는 성질의 CNT를 동일한 간격으로 배치시키지 못하는 공정 기술의 미성숙과 이러한 공정 기술의 미성숙으로 인한 CNTFET 성능의 변화를 직접 시뮬레이션으로 검증하지 못하는 현 HSPICE 라이브러리 파일의 한계로 인해 CNTFET을 활용한 대규모 집적회로로 나아가지 못하는 어려움을 겪고 있다. 이러한 불가능한 시뮬레이션을 가능하도록 만들기 위해 기존에 제안된 선형 프로그래밍 방법은 다양한 CNT 수의 변화를 한 종류의 파라미터로 대응하여

그 오차가 7.096%에 이르는 단점을 가지고 있다. 본 논문에서는 CNTFET 안에 존재하는 CNT의 수와 위치의 불규칙한 변화에 의해 CNTFET 전류와 게이트 커패시턴스가 변할 때, 전류와 게이트 커패시턴스 파라미터를 유동성 있게 대응하는 방법을 제안하여 그 오차를 3.15%까지 줄일 수 있음을 확인하였다.

References

- [1] J. Deng, H.-S. P. Wong, "A Compact SPICE Model for Carbon-Nanotube Field-Effect Transistors Including Nonidealities and Its Application - Part I: Model of the Intrinsic Channel Region," *IEEE Transactions on Electron Devices*, vol. 54, pp. 3186-3194, Nov. 2007. DOI: 10.1109/TED.2007.909030
- [2] J. Deng, H.-S. P. Wong, "A compact SPICE model for carbon nanotube field effect transistors including non-idealities and its application-Part II: Full device model and circuit performance benchmarking," *IEEE Transactions on Electron Devices*, vol. 54, pp. 3195 - 3205, Nov. 2007. DOI: 10.1109/TED.2007.909043
- [3] J. Deng and H. S. P. Wong, "Modeling and Analysis of Planar-Gate Electrostatic Capacitance of 1-D FET With Multiple Cylindrical Conducting Channels," *IEEE Trans. Electron Devices*, vol. 54, no. 9, pp. 2377-2385, 2007. DOI:10.1109/TED.2007.902047
- [4] H.-H. Byeon, W. C. Lee, W. Kim, S. K. Kim, W. Kim, and H. Yi, "Bio-fabrication of nanomesh channels of single-walled carbon nanotubes for locally gated field-effect transistors," *Nanotechnology*, vol. 28, no. 2, p. 25304, Jan. 2017. DOI:10.1088/1361-6528/28/2/025304
- [5] N. Patil, J. Deng, A. Lin, H. S. P. Wong, and S. Mitra, "Design Methods for Misaligned and Mispositioned Carbon Nanotube Immune Circuits," *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 27, no. 10, pp. 1725 - 1736, 2008. DOI: 10.1109/TCAD.2008.2003278

- [6] J. Si et al., "Scalable Preparation of High Density Semiconducting Carbon Nanotube Arrays for High-Performance Field-Effect Transistors," *ACS Nano*, vol. 12, no. 1, pp. 627 - 634, Jan. 2018. DOI: 10.1021/acsnano.7b07665
- [7] G. Cho and F. Lombardi, "Circuit-Level Simulation of a CNTFET With Unevenly Positioned CNTs by Linear Programming," *IEEE Trans. Device Mater. Reliab.*, vol. 14, no. 1, pp. 234 - 244, 2014. DOI: 10.1109/TDMR.2013.2279154
- [8] G. Cho, F. Lombardi, and Y. B. Kim, "Modelling a CNTFET with Undeposited CNT Defects," in *2010 IEEE 25th International Symposium on Defect and Fault Tolerance in VLSI Systems*, 2010, pp. 289 - 296. DOI: 10.1109/DFT.2010.42

BIOGRAPHY

Geunho Cho (Member)



2004 : BS degree in Electronic Engineering, Sogang University.
2006 : MS degree in Electronic Engineering, Sogang University.
2012 : PhD degree in Electrical Engineering, Northeastern University.

2012~2017 : Senior Engineer, Samsung Display.