

WPC/A4WP 무선전력전송을 위한 정류기 설계

A design of rectifier for WPC/A4WP wireless power transfer

박준호*, 문용*

Joonho Park*, Yong Moon*

Abstract

In this paper, a rectifier for WPC / A4WP wireless power transmission is designed. The proposed rectifier supports both WPC (Wireless Power Consortium) and A4WP (Alliance For Wireless Power) and is designed with full-bridge rectifier. WPC transmits power at the frequency of 100kHz to 205kHz and A4WP at the frequency of 6.75MHz. Since the bridge rectifier uses a MOSFET instead of a diode, the reverse current flows and the efficiency is affected if the output voltage is higher than the input voltage. Therefore, we added the reverse current detector that detects the current flowing through the MOSFET and shut off the reverse current. The frequency discriminator is used because the rectifier has different frequency band. The proposed rectifier was designed using 0.35 μ m CMOS high voltage process. The input voltage is up to 18V and the rectifier operates at 100kHz to 205kHz, 6.75MHz frequency. The maximum efficiency is 94.8% and the maximum power transfer is 5.78W.

요약

이 논문에서는 WPC / A4WP 무선 전력 전송을 위한 정류기가 설계하였다. 설계된 정류기는 WPC (무선 전력 컨소시엄) 및 A4WP (무선 전력 연합)를 모두 지원하며 전파 브리지 정류기로 설계되었다. WPC는 100kHz ~ 205kHz의 주파수에서 전력을 전송하고 A4WP는 6.75MHz의 주파수에서 전력을 전송한다. 브리지 정류기는 다이오드 대신 MOSFET을 사용하기 때문에 출력 전압이 입력 전압보다 높으면 역전류가 흐르고 효율에 영향을 미친다. 따라서 MOSFET을 통해 흐르는 전류를 감지하고 역전류를 차단하는 역전류 검출기를 추가했다. 주파수 판별기는 주파수 대역이 다르기 때문에 사용된다. 설계된 정류기는 CMOS 0.35 μ m 고전압 공정을 사용하여 설계되었다. 입력 전압은 최대 18V이며 100kHz ~ 205kHz, 6.75MHz 주파수에서 작동한다. 최대 효율은 94.8%이고 최대 전력 공급은 5.78W이다.

Key words : wireless power transfer, WPC, A4WP, rectifier, receiver

* Dept. of Electronics Engineering, Soongsil University

★ Corresponding author:

E-mail: moony@ssu.ac.kr, Tel: +82-2-820-0715

※ Acknowledgment:

This work is a basic research project funded by the government (Ministry of Science and ICT) in 2017 and supported by the NRF. (2016R1A2D1014758)

Manuscript received Jun. 11, 2018; revised Jun. 25, 2018; Accepted Jun. 28, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

그림 5는 주파수 판별기의 동작 파형이다. 타이머는 발진기로부터 4kHz의 주파수를 인가 받는다. 이 주파수를 이용해 타이머 블록 내부에 있는 카운터가 카운팅을 시작한다. 초반 동작이 불안정할 수 있기 때문에 4kHz 클럭이 2.5번 들어 온 후 타이머의 윈도우 신호가 1이 된다. 타이머 윈도우 신호는 500 μ s 후 0이 된다. 이 시간 동안 구형파로 변환된 입력 신호가 8bit 카운터로 입력된다. WPC/A4WP 선택기에서 최종 카운팅 된 값을 확인한 후 WPC 모드 또는 A4WP 모드인지 선택하게 된다.

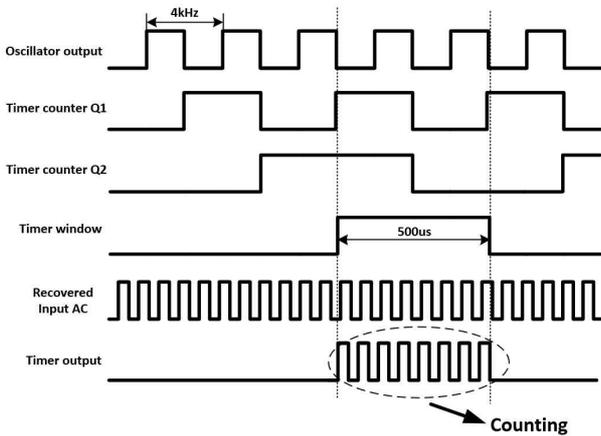


Fig. 5. Waveforms of the frequency discriminator operation
그림 5. 주파수 판별기 동작 파형

4. 역전류 감지

그림 6.(a)는 정류기의 역전류 발생 시기와 그때의 제어 방법에 대한 파형이다. 다이오드와는 달리 MOSFET은 입력 AC가 정류기 출력전압 (V_{rec})보다 낮아지면 역전류가 흐른다.[5] 입력전압이 상승할 때는 역전류가 발생하지 않기 때문에 효율에 큰 영향은 없다. 하지만 입력전압이 하강할 때 정류기 출력전압보다 낮아진 경우에 역전류가 발생하고 이는 효율에 큰 영향을 미친다.

그림 6.(b)는 A4WP 역전류 제어 방법에 대한 파형이다. WPC는 100kHz~205kHz 주파수 대역으로 신호지연에 큰 영향을 받지 않기 때문에 비교기를 통해 정류기를 제어한다. 하지만 A4WP는 6.78MHz 주파수 대역으로 신호지연에 영향을 많이 받는다. 기본적으로 게이트소자가 가지고 있는 지연 값으로 인해 최종적으로 도달하는 제어신호는 수 nsec의 지연을 가진다. 이는 6.78MHz 주파수

대역에서 동작하는 정류기의 효율에 큰 영향을 주기 때문에 다른 종류의 역전류 감지기를 써서 지연된 값만큼 보상을 해줘야 한다.

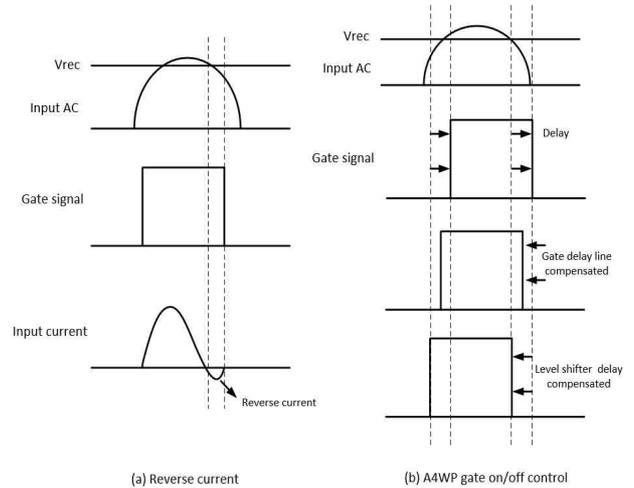


Fig. 6. Reverse current generation and control method of rectifier

그림 6. 정류기의 역전류 발생 및 제어 방법

가. WPC 역전류 감지기

그림 7은 WPC 역전류 감지기 회로도이다. 전류감지 회로를 통해 출력된 전압은 비교기를 통해 비교 후 엣지 감지기를 통과해 SR 래치로 전달된다. 최종적으로 SR 래치는 구형파를 출력해서 정류기의 게이트 구동기에 전달된다. 이 때 중요한 점은 정류기의 NMOS가 켜졌다 꺼지거나 아니면 그 반대일 때 전류의 글리치가 발생할 수 있다. 전류값이 작으면 문제가 되지 않는지만 글리치 전류값이 커지면 효율에 영향을 주거나 정류기가 오동작을 일으킬 수 있다. 이를 방지하기 위해 SET과 RESET 신호를 만들어 글리치 발생을 억제하였다.

그림 8은 글리치 방지기의 회로도이다. WPC 역전류 감지기에 필요한 SET, RESET 신호를 생성한다. SET 신호는 NMOS가 켜질 때 글리치의 영향을 막는다. RESET 신호는 반대로 NMOS가 꺼질 때 글리치의 영향을 막는다.

SET 신호는 비교기의 출력을 이용하면 간단하게 생성이 가능하지만 RESET 신호는 톱니파 생성기를 통해 원하는 신호를 생성하였다.

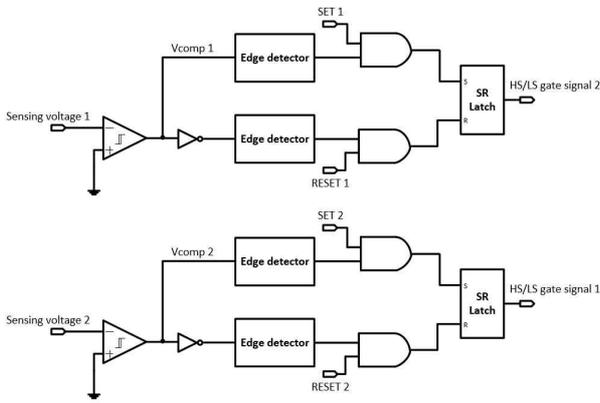


Fig. 7. WPC reverse current detector schematic
그림 7. WPC 역전류 감지기 회로도

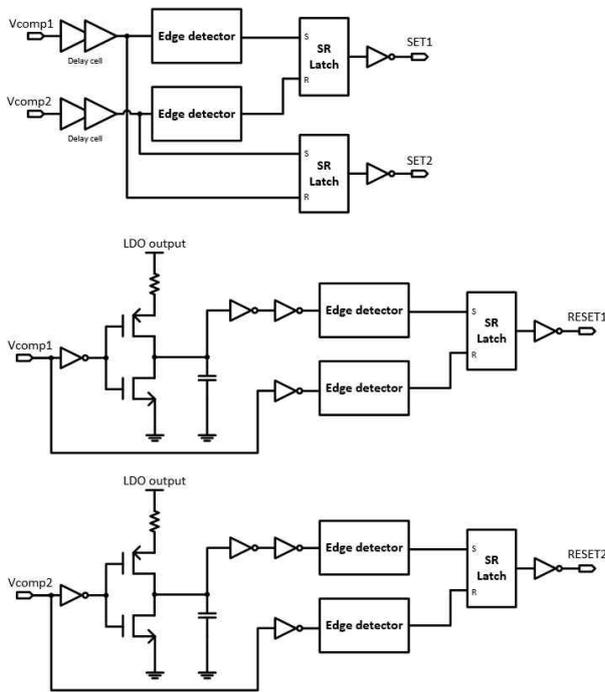


Fig. 8. Glitch blocker schematic
그림 8. 글리치 방지회 회로도

나. A4WP 역전류 감지기

그림 9는 A4WP 역전류 감지기 회로도이다. DLL(Delay Locked Loop)을 이용해 게이트 제어 신호의 지연 시간을 보상하도록 회로를 설계하였다.[6] 입력신호는 전압리미터를 통해 공정에서 제공하는 최대전압 이하로 들어오게 하였다.

비교기의 출력과 딜레이라인을 통해 출력된 값을 비교해 지연된 시간을 보상하게 된다. DLL은 발진을 하지 않기 때문에 1차 필터를 이용해 설계하였다. 상단 NMOS에는 레벨슈프터가 있기 때문에

추가적으로 지연보상기를 추가하였다. 지연보상기는 스위치-커패시터로 구성되어 있으며 스위치를 이용해 커패시터의 수를 조절할 수 있고 외부에서 제어할 수 있도록 설계하였다.

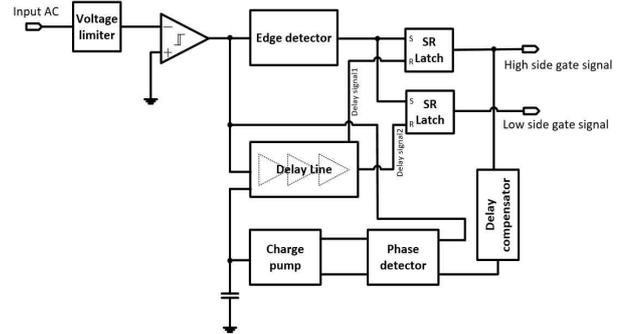


Fig. 9. A4WP reverse current detector schematic
그림 9 A4WP 역전류 감지기 회로도

5. 수동/능동 모드 선택기

그림 10은 수동/능동 모드 선택기의 회로도이다. 초기 정류기의 주변블록의 전원전압은 0V이다. LDO 레귤레이터의 출력이 5V가 될 때까지 주변블록은 정상적으로 동작을 하지 않는다. 그렇기 때문에 초기에 정류기를 수동 모드로 동작을 시킨다. NMOS의 바디 다이오드로 인해 특별한 게이트 제어 신호 없이 전류는 자연스럽게 흐른다. 정류기의 출력이 LDO 레귤레이터를 충분히 동작시킬 수준까지 상승하면 주변블록들을 동작시키면서 정류기를 능동 모드로 동작시키게 된다.

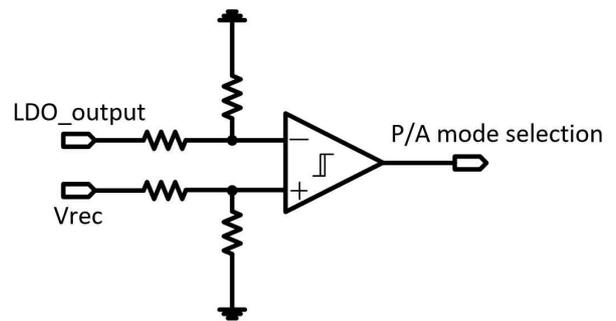


Fig. 10. Passive/Active mode selector schematic
그림 10. 수동/능동 모드 선택기 회로도

III. 실험결과

그림 11은 주파수 판별기 모의실험 결과이다. 200kHz 입력 AC는 주파수 회복기를 통해 구형파로

변환된다. 발진기를 통해 생성된 4kHz 주파수를 이용해 타이머 신호를 생성한다. 타이머 신호는 초반에 정류기의 불안정한 동작으로 인한 오동작을 방지하기 위해 2.5 클럭 이후에 출력된다. 생성된 타이머 신호는 500 μ s 동안 주파수 회복기에서 출력된 구형파를 카운팅한 후 그 값을 모드 선택기에서 비교해 WPC 모드 또는 A4WP 모드를 선택한다. 모의실험에서는 200kHz 입력 AC일 때 타이머 신호가 0이 되는 지점에서 모드 출력이 WPC 모드(출력=0)로 변한 것을 확인할 수 있다.

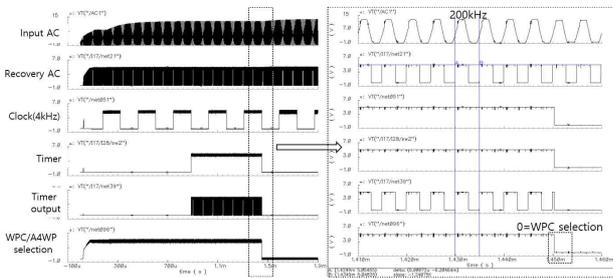


Fig. 11. Simulation result of the frequency discriminator @200kHz

그림 11. 주파수 판별기 모의실험 결과 @200kHz

그림 12는 입력 주파수가 6.78MHz 일 때 주파수 판별기 모의실험 결과이다. 타이머 신호가 1이 된 후 8bit 카운터가 복원된 AC 신호를 카운팅 하는데 6.78MHz 신호가 최대 카운팅 상태가 되는 시간은 약 37.7 μ s이다. 타이머 윈도우는 500 μ s 동안 복원된 AC 신호를 전달한다. 이 시간 동안 카운터는 최대 카운팅 상태가 되었기 때문에 WPC/A4WP 선택기는 출력을 1로 유지한다.

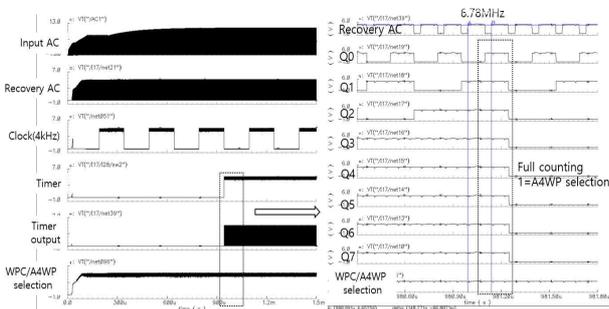


Fig. 12. Simulation result of the frequency discriminator @6.78MHz

그림 12. 주파수 판별기 모의실험 결과 @6.78MHz

그림 13은 WPC 역전류 감지기의 모의실험 결과이다. 전류 감지 전압이 비교기를 통해 구형파로 변한다. 이때 감지된 전압은 정류기 회로에 있는 MOSFET의 스위칭 동작을 할 때 발생하는 전류 잡음에 의해 원치 않는 전압이 생성될 수도 있다. 그렇기 때문에 이를 방지하기 위해 간단하고 확실한 동작을 위한 디지털 로직을 이용한 글리치 방지기를 추가하였다. 모의실험 결과 상승 엣지에서 글리치가 발생이 되었는데 SET1 신호가 0이기 때문에 글리치는 출력에 반영되지 않는다. 하강 엣지는 RESET1 신호가 1로 유지되는 동안만 출력에 반영된다. 최종적으로 게이트 제어 신호는 정상적으로 동작하는 것을 확인할 수 있다.

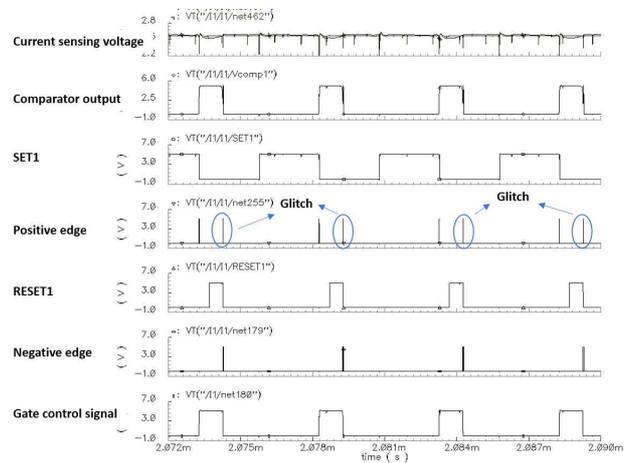


Fig. 13. Simulation result of the WPC reverse current detector

그림 13. WPC 역전류 감지기 모의실험 결과

그림 14는 WPC 모드 일 때 정류기의 모의실험 결과이다. 정류기는 초반에 수동 모드로 동작을 시작한다. 주변블록에 전원전압을 공급하는 LDO 레귤레이터의 출력이 4.5V에 도달하면 능동 모드로 전환한다. 만약 4.5V가 되기 전에 동작을 하면 주변블록이 정상적인 동작하지 못 할 수 있다. 입력 주파수가 200kHz이고 부하저항이 10 Ω 일 때 정류기의 출력은 8V 정도이다. 능동 모드에서 역전류가 발생하기 전에 상단, 하단 게이트 제어 신호들이 0으로 되면서 MOSFET을 끈다. 이때 입력 전류가 그림 6(a)처럼 역으로 흐르지 않는 것을 확인할 수 있다. 정류기가 공급하는 전력은 5.78W이고 정류기의 효율은 94.1%이다.

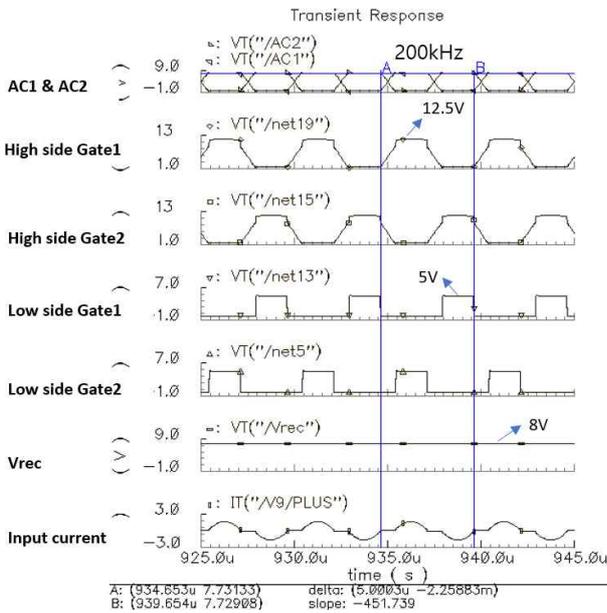


Fig. 14. Simulation result of rectifier @200kHz, RL=10Ω
 그림 14. 정류기 모의실험 결과 @200kHz, RL=10Ω

그림 15는 수동/능동 선택기의 모의실험 결과이다. 수동/능동 선택기에는 비교기가 있고 정류기 출력(Vrec)과 LDO 레귤레이터의 출력(LDO output)을 저항분배를 통해 비교를 한다. 주변회로는 LDO 레귤레이터를 통해 전원을 공급받기 때문에 전원이 충분한 수준까지 오르지 않으면 회로들이 제대로 동작하지 않는다. AC-DC 정류기의 출력이 4.5V일 때 수동에서 능동 모드로 전환되는 것을 확인 할 수 있다.

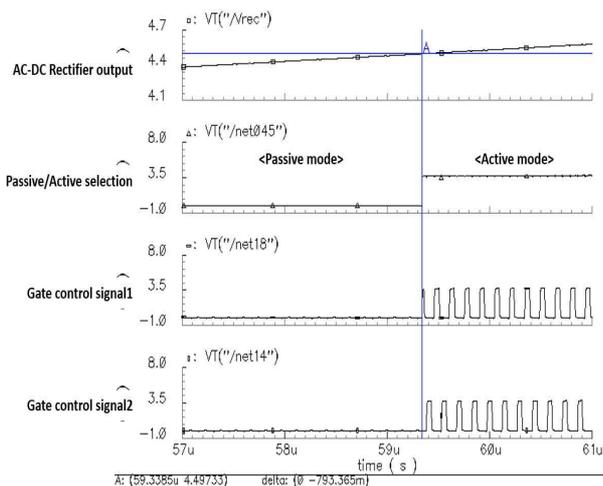


Fig. 15. Simulation result of passive/Active mode selector @A4WP
 그림 15. 수동/능동 모드 선택기 모의실험 결과 @A4WP

그림 16은 A4WP 역전류 감지기의 모의실험 결과이다. 정류기의 입력과 출력을 비교기를 통해 구형파로 출력한다. 비교기의 출력과 피드백된 신호의 하강 엣지를 위상 검출기와 차지 펌프를 이용해 위상을 동기화 시킨다. 피드백 신호는 지연 보상기를 통해 Delayed1 시간을 조절할 수 있다. 비교기의 출력은 DLL의 지연라인(delay line)을 통해 Delayed2 시간이 발생된다. 지연라인의 출력은 SR래치를 리셋 시킨다. 최종적으로 지연된 시간은 Delayed1과 Delayed2 시간을 합하면 된다. 그래서 Delayed1을 지연보상기로 조절을 해서 원하는 시기에 리셋을 발생시켜 MOSFET을 끈다.

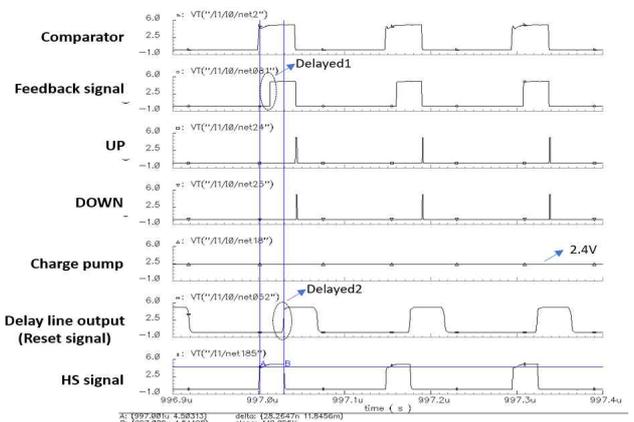


Fig. 16. Simulation result of the A4WP reverse current detector
 그림 16. A4WP 역전류 감지기 모의실험 결과

그림 17은 A4WP 모드 일 때 정류기의 모의실험 결과이다. A4WP 모드 정류기는 로직 게이트들의 지연 현상에 의해서 효율이 저하된다. WPC 모드 일 때는 수ns 정도의 지연은 효율에 미치는 영향이 적지만 A4WP에서는 효율에 큰 영향을 미친다. 그렇기 때문에 DLL 구조를 이용해 지연된 신호를 보상을 해줘서 역전류가 발생하는 시점에 MOSFET을 끄게 해야 한다. 입력 주파수가 6.78MHz이고 부하저항이 15Ω일 때 정류기의 출력은 8.69V 정도이다. 능동 모드에서 역전류가 발생하기 전에 상단, 하단 게이트 제어 신호들이 0으로 되면서 MOSFET을 끈다. 이때 입력 전류가 WPC 모드 일 때처럼 역으로 흐르지 않는 것을 확인할 수 있다. 정류기가 공급하는 전력은 정류기의 출력전압(Vrec)의 제곱을 부하저항으로 나눈 값으로 모의실험 결과 5.01W를 공급하는 것을

확인 할 수 있다. 정류기의 효율은 식(1)과 식(2), 식(3)을 참고해서 이론적으로 접근할 수 있지만 모의실험을 통해서 정확한 값을 찾을 수 있다. AC1과 AC2의 전압 차에 입력 전류를 곱한 값이 입력 전력이 된다. 정류기의 공급 전력을 입력 전력으로 나눈 값이 정류기의 효율이다. 모의실험 결과 정류기의 효율은 87.7%이다.

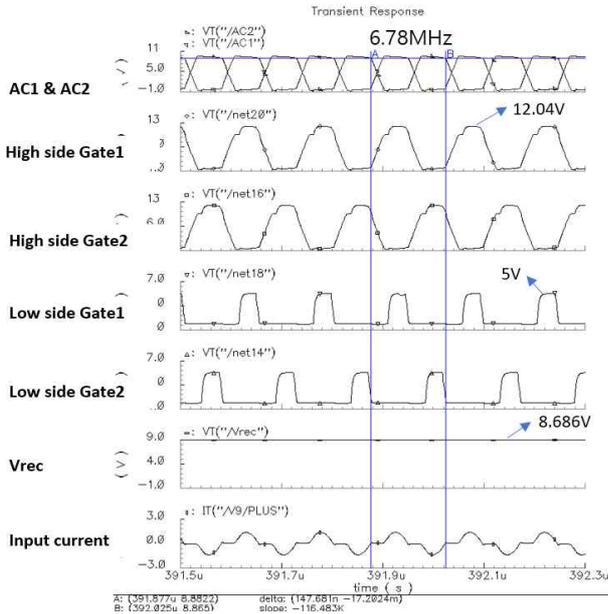


Fig. 17. Simulation result of rectifier @A4WP, RL=15Ω
 그림 17. 정류기 모의실험 결과 @A4WP, RL=15Ω

그림 18은 설계된 정류기의 효율 그래프이다. WPC 모드 일 때 최대 5.78W의 전력을 공급하며 최대 효율은 R_L 이 20Ω일 때 94.8%이다. A4WP 모드 일 때는 최대 5.31W의 전력을 공급하며 최대 효율은 R_L 이 15Ω일 때 87.7%이다.

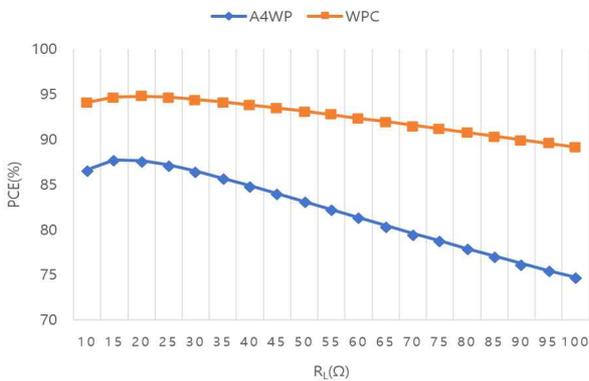


Fig. 18. Power efficiency of the proposed rectifier
 그림 18. 제안된 정류기의 전력 효율

기준에 발표된 무선전력전송 수신기와 제안된 수신기의 성능을 표 1에서 비교하였다.

Table 1. Comparison of wireless power transfer receiver unit

표 1. 무선전력전송 수신기 비교

Reference	[6]	[7]	This work
Process	0.35μm BCD	0.35μm BCD	0.35μm BCD
Resonant frequency	3.23MHz /6.78MHz	6.78MHz	100~205kHz /6.78MHz
Input voltage range	4~8V	20V	18V
Output voltage	-	5V	6~14V
Maximum output power	3W	6W	5.775W @200kHz
PCE (Power Conversion Efficiency)	81% @3.23MHz 74 @6.78MHz	86%	94.79% @200kHz 87.69% @6.78MHz

VI. 결론

WPC/A4WP 무선전력전송을 동시에 지원하자는 정류기를 CMOS 0.35μm 고전압 공정으로 설계하였으며 100kHz~207kHz 및 6.78MHz 주파수 대역에서 동작을 하며 주파수에 따른 모드 설정이 가능하다. WPC 모드는 부하가 10Ω일 때 최대 5.78W를 공급하며 부하가 20Ω일 때 최대 94.8% 효율을 갖는다. A4WP 모드는 부하가 10Ω일 때 최대 5.31W를 공급하며 15Ω일 때 최대 87.7% 효율을 갖는다. 본 논문에서 설계된 WPC/A4WP 무선전력전송을 위한 정류기는 휴대폰, 태블릿 등 모바일 환경에서 다양하게 활용될 수 있다.

References

[1] Guoxing Wang, Wentai Liu, Mohanasankar Sivaprakasam, Gurhan Alper Kendir, "Design and Analysis of an Adaptive Transcutaneous Power Telemetry for Biomedical Implants," *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-I: REGULAR PAPERS*, VOL. 52, NO. 10, 2005.DOI: 10.1109/TCSI.2005.852923

- [2] Yat-Hei Lam, Wing-Hung Ki, Chi-Ying Tsui, "Integrated Low-Loss CMOS Active Rectifier for Wirelessly Powered Devices," *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-II: EXPRESS BRIEFS*, VOL. 53, NO. 12, 2006. DOI: 10.1109/TCSII.2006.885400
- [3] Hyung-Gu Park, Jae-Hyeong Jang, Hong-Jin Kim, Young-Jun Park, SeongJin Oh, YoungGun Pu, Keum Cheol Hwang, Youngoo Yang, Kang-Yoon Lee, "A Design of a Wireless Power Receiving Unit with High Efficiency 6.78 MHz Active Rectifier using Shared DLLs for Magnetic Resonant A4WP Applications," *Power Electronics, IEEE Transactions on*. Vol. 31, No. 6, pp. 4484-4498, 2016. DOI: 10.1109/TPEL.2015.2468596
- [4] Achim Seidel, Marco Costa, Joachim Joos, Bernhard Wicht, "Bootstrap circuit with high-voltage charge storing for area efficient gate drivers in power management systems," *40th European Solid State Circuits Conf, ESSCIRC 2014*, pp.159-162, SEPTEMBER 2014.
- [5] Song Guo, Hoi Lee, "An Efficiency-Enhanced CMOS Rectifier With Unbalanced-Biased Comparators for Transcutaneous-Powered High-Current Implants," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 44, NO. 6, 2009. DOI: 10.1109/ESSCIRC.2014.6942046
- [6] Young-Jin Moon et al., "A 3.0-W wireless power receiver circuit with 75-% overall efficiency," *Solid State Circuits Conference (A-SSCC)*, pp. 97-100, 2012. DOI: 10.1109/IPEC.2012.6522636
- [7] Jun-Han Choi, Sung-Ku Yeo, Chang-Byong Park, Seho Park, Jeong-Seok Lee, Gyu-Hyeong Cho, "A resonant regulating rectifier (3R) operating at 6.78MHz for a 6W wireless charger with 86% efficiency," *Solid-State Circuits Conference Digest of Technical Papers(ISSCC)*, pp. 64 - 65, 2013. DOI: 10.1109/ISSCC.2013.6487638

BIOGRAPHY

Joonho Park (Member)

2010: BS degree in Electronics Engineering, Incheon National University.
2012: MS degree in Electronics Engineering, Incheon National University.

2015~: PhD student in Electronics Engineering, Soongsil University.

Yong Moon (Member)

1990: BS degree in Electrical Engineering, Seoul National University.

1992: MS degree in Electrical Engineering, Seoul National University.

1997: PhD degree in Electrical Engineering, Seoul National University.

1997~1999: Senior research engineer, LG Semicon co., Ltd.

1999~: Professor in Electrical Engineering, Soongsil University.