

# IGBT 구조의 JFET영역 변화에 따른 온-상태 전압강하 특성 향상을 위한 연구

## Study on improvement of on-state voltage drop characteristics According to Variation of JFET region of IGBT structure

안 병 섭\*, 강 이 구\*\*★

Byoung-Sup Ahn\*, Ey-Goo Kang\*\*★

### Abstract

Power semiconductors are semiconductors capable of controlling power over 1W and are mainly used as switches. This power semiconductor device has been developed with the goal of reducing power consumption and high breakdown voltage. This research was analyzed electrical characteristics of IGBT(Insulated Gate Biopolar Transistor) according to diffusion length of JFET region. The Diffusion length of JFET region was controlled by temperature and time using T-CAD simulator. As a result of experiments, we could obtain 1.14V low on state voltage drop by fixing 1440V breakdown voltage.

### 요 약

본 연구는 IGBT 구조에서 JFET 영역의 드라이브 인 확산거리 및 JFET영역의 윈도우의 크기에 따라서 항복전압과 온상태 전압강하 특성을 분석하였다. 시간은 동일하게 하면서 온도를 상승시켜 확산거리를 조정하였으며, 그 결과 항복전압은 감소되나, 온 상태 전압 강하 특성은 현저하게 좋아지는 것을 알 수 있었다. 따라서 드리프트 층의 비저항을 변화시켜 항복전압을 1440V로 고정하여 1.15V의 낮은 온 상태 전압 강하 값을 얻을 수 있었다. 따라서 본 연구결과를 토대로 Planar Gate IGBT에서는 JFET 영역의 공정 및 설계 파라미터를 효율적으로 조절한다면 같은 항복전압을 기준으로 상당히 낮은 온 상태 전압 강하 값을 확보할 수 있어, 소비전력의 측면에서 충분히 활용할 수 있을 것으로 판단된다.

*Key words : Power Device, IGBT, Breakdown Voltage, On state Voltage Drop, Junction FET, Drive in*

---

\* Dept. of Energy Semiconductor Engineering, Graduate School of Far East University

\*\* Dept. of Energy IT Engineering, Far East University

★ Corresponding author

E-mail: keg@kdu.ac.kr, Tel: +82-43-879-3648

※ Acknowledgment

This research was supported by Korea Institute of Energy Technology Evaluation and Planning (20174010201290) and Korea Evaluation Institute of Industrial Technology(10080429)

Manuscript received Jun. 11, 2018; revised Jun. 25, 2018; Accepted Jun. 27, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

IGBT(Insulated Gate Bipolar Transistor) 소자는 전류전도 능력이 우수한 소자이며, 큰 전력변환을 처리하기 위해 설계된 스위칭 디바이스로서 전원공급장치, 변환기, 태양광 인버터 및 가전제품 등에 널리 사용되고 있다.[1]-[3]

이러한 IGBT는 전력 반도체 소자인 만큼 항복전압, 온-상태 전압 강하 및 스위칭 속도 등 핵심적인 요구사항을 목표로 하고 있다. 일반적으로 드리프트 영역의 농도를 낮추게 되면 항복전압은 증가하지만 온 저항과 같은 기타 특성들이 감소하게 되므로 설계의 최적화 및 구조 변경을 통해 항복전압특성과 온 상태 전압강하 특성을 개선시켜야 한다.[4]-[5]

본 논문에서는 소자 및 공정 시뮬레이터인 T-CAD를 이용하여 Planer Gate Type IGBT 구조의 JFET 영역의 소자 및 공정 변수에 따른 전기적 특성을 분석하였으며, 또한 실험 조건에 따라 IGBT의 핵심 전기적 특성인 항복전압, 온-상태 전압강하 및 문턱전압을 비교·분석하고자 하였다.

II. 본론

1. JFET 형성을 위한 드라이브 인(Drive In) 공정에 따른 실험

본 절에서는 JFET영역에서 도우즈량(Dose)을  $1 \times 10^{12} \text{cm}^{-2}$ 로 고정하고 JFET 임플란트공정 후 드라이브 인 공정의 변수인 시간과 온도 변화에 따른 실험을 진행하여 전기적 특성을 분석하였다.

드라이브 인 공정변수인 온도는 950~1150℃, 시간은 60~300초까지 변화시키면서 실험을 하였고 결과는 다음 그림1에서 보는 것처럼 온도와 시간에 따라서 1~6 $\mu\text{m}$ 까지 분포 되는 것을 확인할 수 있고, 드라이브 공정의 온도와 시간이 높아질수록 항복전압은 낮아지지만 온 상태 전압강하는 점차 낮아지는 것을 확인할 수 있었다.

실험을 통하여 두 가지에 결과가 확인 되었는데 이는 다음과 같다. 드라이브 인 공정에서 온도는 1000℃, 시간은 300초일 때 JFET의 농도 분포는 P-Base 영역 하단보다는 작게 나와서 전계 집중이 낮아지게 되어 항복전압은 감소하지 않은 1531.06V는 나오지만 온 상태 전압강하가 1.41V로 비교적 높은 결과가 나왔다. 한편, 공정조건이

온도 1150℃, 시간 300초일 때 JFET의 농도 분포가 P-베이스 영역 하단보다는 넓게 분포함과 동시에 전계분포가 상승하여 항복전압은 1331.95V로 감소하지만 온-상태 전압강하는 1.15V로 상당히 낮은 결과를 얻을 수 있었다.

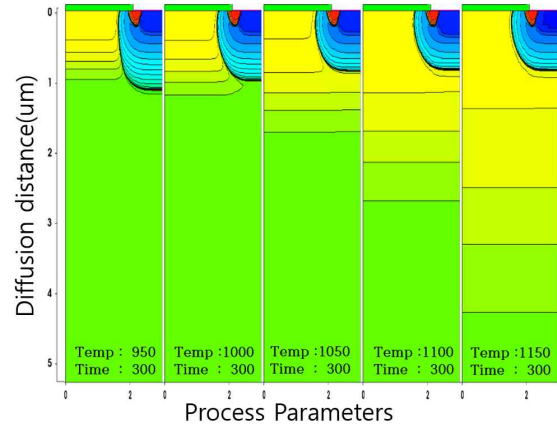


Fig. 1. Diffusion distance according to process parameters of drive-in

그림 1. 드라이브 인 공정변수에 따른 확산거리

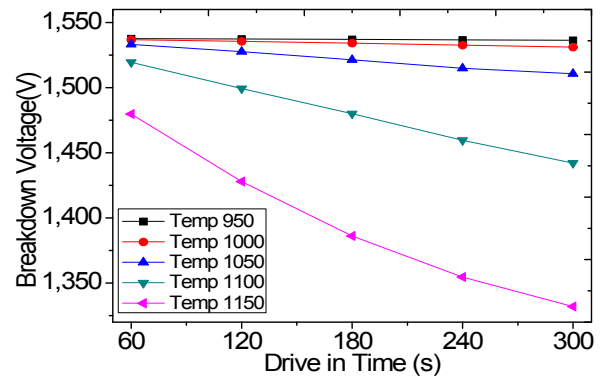


Fig. 2. The breakdown voltage(BV) Characteristics according to drive in process

그림 2. JFET Drive In 공정에 따른 항복전압 특성

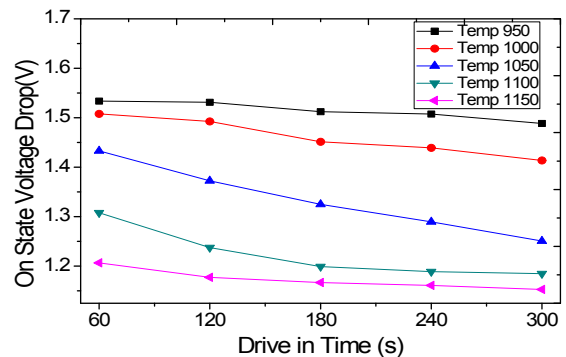


Fig. 3. The on state voltage drop(Vce-sat) Characteristics according to drive in process

그림 3. Drive In 공정에 따른 온-상태 전압 강하 특성

Table 1. Experiment result according to process parameters of drive-in

표 1. JFET Drive In 공정에 따른 실험 결과

Drive In Temp (°C)	Drive In Time (s)	Vth (V)	BV (V)	VCE-SAT (V)	Critical E-Field (10 <sup>5</sup> V/cm)
950	60	4.1256	1537	1.533	2.566
	120	4.1256	1537	1.531	2.568
	180	4.1256	1537	1.512	2.570
	240	4.1256	1536	1.507	2.571
	300	4.1256	1536	1.488	2.573
1000	60	4.1327	1536	1.507	2.571
	120	4.4396	1535	1.492	2.577
	180	4.4396	1534	1.451	2.584
	240	4.4396	1532	1.439	2.592
	300	4.4396	1531	1.413	2.600

Drive In Temp (°C)	Drive In Time (s)	Vth (V)	BV (V)	VCE-SAT (V)	Critical E-Field (10 <sup>5</sup> V/cm)
1050	60	4.1470	1533	1.433	2.589
	120	4.4825	1527	1.372	2.619
	180	4.5110	1521	1.324	2.657
	240	4.5467	1514	1.289	2.697
	300	4.5753	1510	1.250	2.725
1100	60	4.4396	1519	1.307	2.670
	120	4.1327	1499	1.237	2.782
	180	4.6395	1480	1.199	2.858
	240	4.6823	1459	1.188	2.941
	300	4.4753	1442	1.184	3.009
1150	60	4.5681	1479	1.206	2.862
	120	4.7180	1427	1.177	3.056
	180	4.2469	1386	1.166	3.166
	240	4.2612	1354	1.161	3.227
	300	4.5324	1331	1.152	3.255

## 2. 낮은 깊이의 확산거리를 갖는 JFET구조의 전기적 특성

본 절에서는 드라이브 인 첫 번째 공정조건 (1000°C, 300초) 실험을 통하여 나온 결과를 보기 위하여 드리프트 층의 저항도를 감소시켜 항복전압의 목표를 1440V로 정함과 동시에 문턱전압을 4V를 선택하기 위해서 P-베이스의 농도를 낮추면서 실험을 진행하였다.

실험결과는 다음 그림4, 5에 나타낸 것처럼

항복전압을 낮추기 위하여 드리프트 층의 비저항은 70 ~ 50 Ω·cm까지 변화시키면서 항복전압의 감소를 위한 실험을 진행하였다. 드리프트 층의 비저항 값은 57Ω·cm일 때, 항복전압은 1444V까지 감소하였으며, 다음실험으로 P-베이스의 도우즈량을 7.5×10<sup>13</sup>cm<sup>-2</sup>에서 5×10<sup>13</sup>cm<sup>-2</sup>까지 변화시키면서 실험을 한 결과로 P-베이스의 주입 농도가 6.2×10<sup>13</sup>cm<sup>-2</sup>일 때 문턱전압이 4.02V가 결정되었을 때 온 상태 전압강하는 1.47V가 확인 되었다.

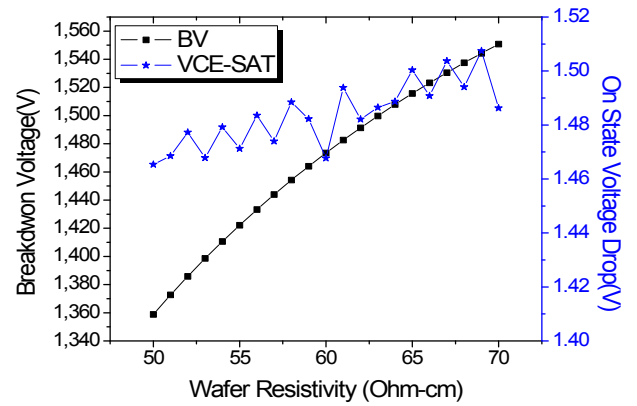


Fig. 4. The breakdown voltage and on state voltage drop characteristics according to wafer Resistivity  
그림 4. 웨이퍼의 비저항도에 따른 항복전압과 온-상태 전압 강하 특성

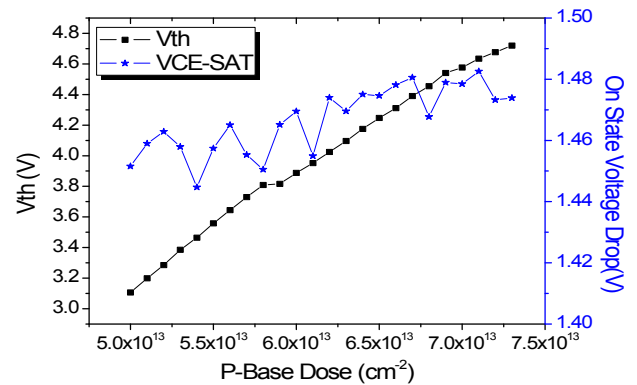


Fig. 5. The breakdown voltage and on state voltage drop characteristics according to Dose of p-base  
그림 5. P-베이스 도우즈량에 따른 항복전압과 온-상태 전압 강하 특성

## 3. 깊은 확산거리를 갖는 JFET 구조의 전기적 특성

본 절에서는 드라이브 인 첫 번째 공정조건 (1150°C, 300초) 실험을 통하여 나온 결과를 보기 위하여 항복전압을 목표 항복전압인 1440V로 올리기 위하여 비저항 값을 70 ~ 90Ω·cm까지 상승

시키며 실험을 진행하였다.

실험 결과는 그림 6, 7과 같이 웨이퍼 비저항 값이 점차 상승할수록 항복전압은 상승하는 반면 온 상태 전압강하는 점차 상승하여 다시 나빠지는 성향을 확인 할 수 있었다. 또한, 항복전압의 목표인 1443V, 온 상태 전압강하는 1.17V인 비저항을  $90\Omega\cdot\text{cm}$ 로 정하고 문턱전압을 상승시키기 위하여 P-베이스의 농도를 증가하였다. P-베이스의 도우즈량을  $6.3\times 10^{13}\text{cm}^{-2}$ 로 설정하였을 때 문턱전압은 4.01V, 항복전압은 1442.25, 온-상태 전압강하는 1.15V가 나온 것을 확인 할 수 있었다. 결과적으로 2, 3절에서 나타낸 두 구조의 비교는 다음 8, 9, 10에 나타내었고, 항복전압과 문턱전압을 동일하게 하였을 때, 온-상태 전압강하는 JFET 영역이 깊게 분포한 구조가 더 낮게 나오는 것을 확인 할 수 있었다.

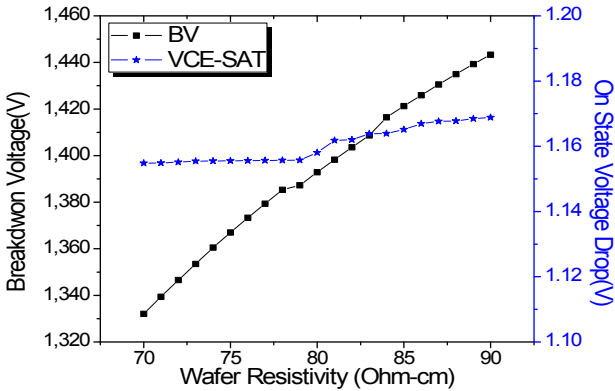


Fig. 6 The breakdown voltage and on state voltage drop characteristics according to wafer Resistivity

그림 6. 웨이퍼의 비저항도에 따른 항복전압과 온-상태 전압 강하 특성

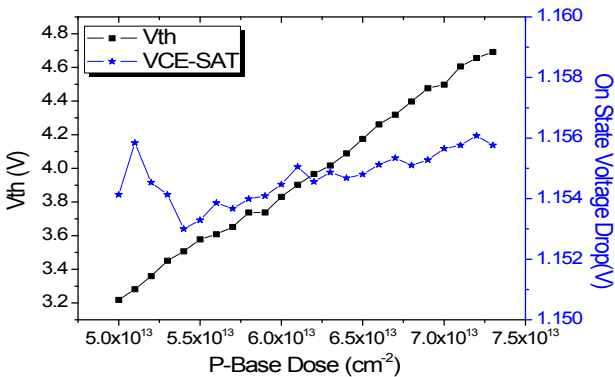


Fig. 7. The breakdown voltage and on state voltage drop characteristics according to Dose of p-base

그림 7. P-베이스 도우즈량에 따른 항복전압과 온-상태 전압 강하 특성

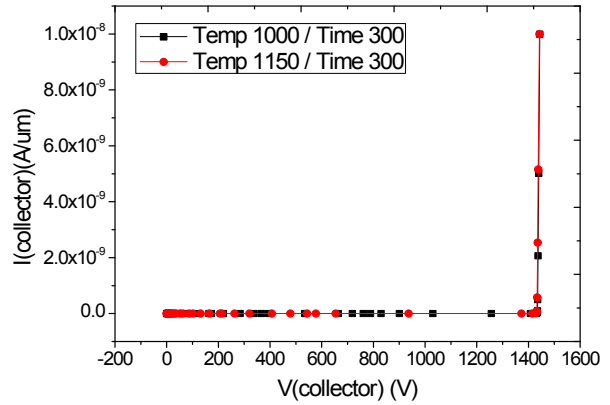


Fig. 8. The comparison of breakdown voltage characteristics according to diffusion length of JFET  
그림 8. JFET의 확산거리에 따른 항복전압의 비교

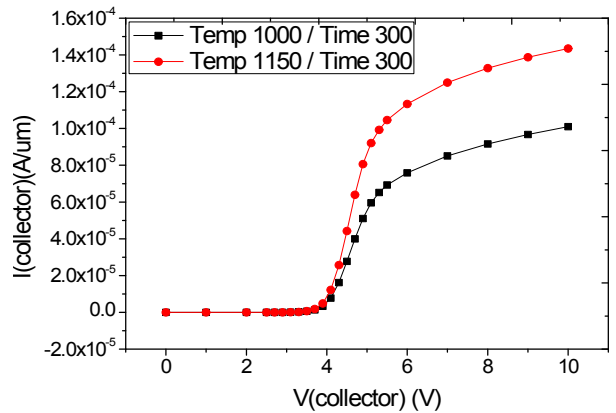


Fig. 9. The comparison of threshold voltage characteristics according to diffusion length of JFET

그림 9. JFET의 확산거리에 따른 문턱전압의 비교

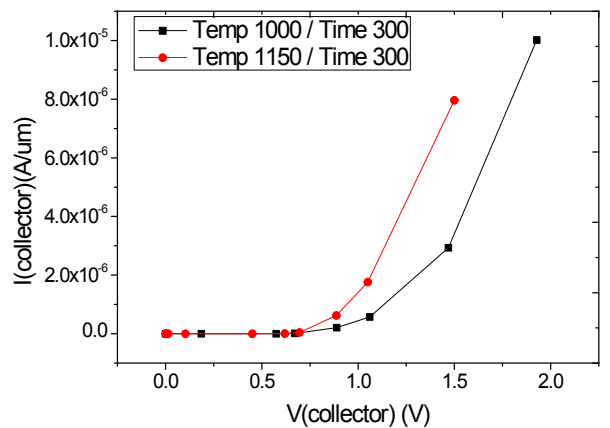


Fig. 10. The comparison of on state voltage drop characteristics according to diffusion length of JFET

그림 10. JFET의 확산거리에 따른 온-상태 전압강하의 비교

### III 결론

본 연구는 IGBT 구조에서 JFET 영역의 드라이브 인 확산거리 및 JFET 영역의 윈도우의 크기에 따라서 항복전압과 온-상태 전압강하 특성을 분석하였다. 시간은 동일하게 하면서 온도를 상승시켜 확산거리를 조정하였으며, 그 결과 항복전압은 감소되나, 온-상태 전압 강하 특성은 현저하게 좋아지는 것을 알 수 있었다. 따라서 드리프트 층의 비저항을 변화시켜 항복전압을 1440V로 고정하여 1.15V의 낮은 온-상태 전압 강하 값을 얻을 수 있었다.

본 연구결과를 토대로 Planar Gate IGBT에서는 JFET 영역의 공정 및 설계 파라미터를 효율적으로 조절한다면 같은 항복전압을 기준으로 상당히 낮은 온-상태 전압 강하 값을 확보할 수 있어, 소비전력의 측면에서 충분히 활용할 수 있을 것으로 판단된다.

### References

- [1] G. Majundar, T. Minato, "Recent and future IGBT evolution," *Power Conversion Conference proceedings*, pp. 355-359, 2007  
DOI: 10.1109/PCCON.2007.372992
- [2] Y. Shaorming, G. Sheu, G. Jiaming, T. J. Ruey, "Application of multi-lateral double diffused field ring in ultrahigh-voltage device MOS transistor region," *IEEE 10<sup>th</sup> International Conference on Electronics & Measurement*, Vol.1, pp.85-88, 2011  
DOI: 10.1109/ICEMI.2011.6037685
- [3] B. Q. Tang, Y. M. Gao, J. S. Luo "The quasi-three-dimensional optimum analysis of breakdown voltage of floating field-limiting rings," *Solid-State Electronics*, Vol. 41, No. 11, pp. 1821-1824, 1997.  
DOI:https://doi.org/10.1016/S0038-1101(97)00151-2
- [4] C. H. Yu, Y. Wang, J. Liu, L. L. Sun, "Research of Single-Event Burnout in Floating Field Ring Termination of Power MOSFETs," *IEEE Tran. On Electron Devices*, Vol. 64, pp. 2906-2911, 2017

- [5] P. Mirone, L. Maresca, M. Riccion, G. D. Falco, G. Romano, A. Irace, G. Breglio, "A Comprehensive study of current conduction during breakdown of Floating Field Ring terminations at arbitrary current levels," *The Proceeding PCIM Europe 2015*, pp. 1-8, 2015

### BIOGRAPHY

#### Byoung-Sup Ahn (Member)



2010 : BS degree in Computer System Engineering, FarEast Uni.  
2012 : MS degree in Energy Semiconductor Engineering, FarEast University.  
2018 : PhD degree in Information communication Engineering, FarEast University.

#### Ey-Goo Kang (Member)



1993 : BS degree in Electrical Engineering, Korea University  
1995 : MS degree in Electrical Engineering, Korea University  
2002 : Ph. D degree in Electrical Engineering, Korea University

2003~2018 : Professor, Far East University.

Faculty of Power Devices and ICs.