

논문 2018-13-15

고성능 저전력 하이브리드 L2 캐시 메모리를 위한 연관사상 집합 관리

(Way-set Associative Management
for Low Power Hybrid L2 Cache Memory)

정 보 성, 이 정 훈*

(Bo-Sung Jung, Jung-Hoon Lee)

Abstract : STT-RAM is attracting as a next generation Non-volatile memory for replacing cache memory with low leakage energy, high integration and memory access performance similar to SRAM. However, there is problem of write operations as the other Non-volatile memory. Hybrid cache memory using SRAM and STT-RAM is attracting attention as a cache memory structure with low power consumption. Despite this, reducing the leakage energy consumption by the STT-RAM is still lacking access to the Dynamic energy. In this paper, we proposed as energy management method such as a way-selection approach for hybrid L2 cache fo SRAM and STT-RAM and memory selection method of write/read operation. According to the simulation results, the proposed hybrid cache memory reduced the average energy consumption by 40% on SPEC CPU 2006, compared with SRAM cache memory.

Keywords : Hybrid memory, Way-set associative, L2_cache, Low-power, Memory characteristics

1. 서 론

현재까지 컴퓨팅 시스템은 고집적도 및 성능향상에 의해 CMOS 기술 확장에 크게 의존하고 있다. 특히 캐시 메모리는 컴퓨팅 시스템의 성능 향상에 효과적으로 개선 할 수 있는 방법이다 [1]. 더욱이 최신 컴퓨터 시스템들은 성능 향상과 저전력 소모를 위하여 멀티 코어 프로세서를 사용하고 있다.

캐시 메모리는 빠른 메모리 접근 시간과 DRAM과 달리 데이터 유지를 위한 리플래시 동작이 필요 없는 SRAM으로 구성되어진다. 그럼에도 불구하고, 현재 SRAM의 누설 전력 (Leakage power)은 시스템의 전체 성능에 저하의 원인이 되고 있다[2, 3]. 더욱이, SRAM은 각 기술 노드의 향상에 따른 약 10배의 누설 전력이 지배적이기 때문에 더 이상 고

성능 저전력 구조에 적합하지 않다 [4].

비록 이러한 캐시 메모리의 잠재적인 성능저하의 대가로 캐시 메모리의 소비 전력을 줄이는 연구들이 이루어졌지만, 이러한 연구들 역시 캐시 메모리의 누설 전력을 완전히 해결하지 못하였다 [5-7].

현재 STT-RAM (Spin Torque Transfer RAM), MRAM (Magnetic RAM), 그리고 PCM (Phase Change Memory)은 차세대 메모리로 주목받고 있다. 이러한 차세대 메모리들은 비휘발성으로 기본적으로 SRAM이나 DRAM과 달리 누설 전력이 거의 없다 [8]. 이러한 캐시 메모리의 문제점을 해결하기 위해 차세대 메모리와 SRAM을 결합한 하이브리드 메모리 구조에 대한 연구가 진행되고 있다. 특히, STT-RAM은 SRAM과 비슷한 읽기 지연 시간과 DRAM과 비슷한 집적도를 가진다. 또한 다른 차세대 비휘발성 메모리에 비해 높은 쓰기 연산에 대한 내구성을 가진다. 표 1은 대표적인 차세대 비휘발성 메모리와 SRAM에 대한 특성을 보여주고 있다.

이러한 이유로, 현재 STT-RAM은 SRAM을 대체할 새로운 메모리로 주목받고 있다.

하지만, STT-RAM은 표 1에서 보듯이, 쓰기 연

*Corresponding Author (leejh@gnu.ac.kr)

Received: May 7 2018, Revised: May 23 2018,

Accepted: May 28 2018.

B.S. Jung: GyeongSang National University,

J.H. Lee: GyeongSang National University(ERI)

표 1. 다양한 메모리들의 특성

Table 1. Various memory characteristic

Feature	SRAM	PCM	STT-RAM
Density	Low	Very High	High
Access	Very fast	Slow read Very slow write	Fast read Slow write
Dyn. Energy	Low	Medium read High write	Low read High write
Leak. Power	High	Low	Low
Non-volatile	No	Yes	Yes

산에 대한 높은 에너지 소비와 지연시간을 가지는 단점을 보이고 있다. STT-RAM의 쓰기 동작의 에너지는 읽기 동작의 에너지 소비보다 약 9배가 높으며, 지연 시간은 약 4배 정도가 높다. 이에 비해 STT-RAM의 누설 전류는 SRAM에 비해 약 7배 정도 낮다 [9].

이러한 SRAM과 STT-RAM의 하이브리드 캐시 메모리의 효과적인 운용을 위해서는 SRAM과 STT-RAM의 특성에 적합한 구조 및 알고리즘이 필요하다. 즉, 쓰기 요청이 빈번하게 발생하는 데이터는 SRAM에서 접근이 발생한 것이 효과적이며, 반면, STT-RAM은 읽기 쓰기 요청이 빈번하게 발생하는 데이터 혹은 접근 빈도가 낮은 데이터를 저장하는 것이 효과적이다.

본 논문에서는 SRAM과 STT-RAM 하이브리드 캐시 메모리를 위한 간단하면서도 효과적인 알고리즘을 제안하였다. 제안된 하이브리드 캐시 메모리는 성능과 에너지 소비를 고려한 L2 캐시 메모리이며, 연관 사상구조로 쓰기 연산과 읽기 연산을 구분하여 SRAM과 STT-RAM에 저장된다. 또한 메모리 접근을 위한 구동 전력을 줄이기 위해 연관사상 구조의 일부만 접근하는 방법을 제안하였다.

II. 관련 연구

1. STT-RAM 동작

STT-RAM은 하나의 트랜지스터와 하나의 자기 터널 접합 (MTJ, Magnetic Tunnel Junction)으로 구성되어진다. STT 현상은 높은 밀도의 강한 전류가 강자성층을 통과할 때, 강자성체의 자화방향이 전류 속 전자의 스핀 방향과 일치하지 않으면 강제로 일치시키는 특성을 의미한다.

자기접합터널은 두 개의 자성층 사이에 얇은 절연층이 존재하는 구조로, 한쪽 자성층은 외부 전류를 흘려주면 자화 방향이 쉽게 바뀌는 자유 상태

(자유층)이며, 다른 한쪽은 자화방향이 한쪽으로 고정 (고정층)돼 있는 상태이다. 두 자성층의 자화방향이 일치하면 저항이 크게 발생하지 않고 전자가 흐르게 되는데, 이 상태를 '1'로 기억된다. 반대로 두 자성층의 자화방향이 엇갈리면 전자가 제대로 통과하지 못하는 높은 저항 상태가 되는데, 이 때를 '0'으로 기억하게 된다.

STT 기술은 기존 메모리에 비해 매우 간단한 MTJ 구조만으로 쓰기와 읽기가 가능하기 때문에 테라비트급에 달하는 대용량 집적도를 구현할 수 있다. 무엇보다 STT-RAM은 전원이 꺼져도 고유의 자성이 없어지지 않기 때문에 플래시메모리와 같은 비휘발성 메모리이면서도, 데이터 처리속도가 빠르고, 전력소모율도 낮다.

2. 관련 연구

연구 [10]은 누설 전력이 높은 L2 캐시 메모리를 STT-RAM으로 대체하였다. 더욱이 L1 캐시 메모리로부터 write-back 동작 요청시, 쓰기 요청이 발생한 작은 데이터 영역만 STT-RAM에 쓰기 동작을 수행함으로써 STT-RAM의 높은 쓰기 에너지 및 지연시간을 향상하였다. 연구 [1]과 연구 [11]은 대용량 저장 메모리로 MLC STT-RAM의 효과적인 에너지 소비에 대한 연구를 진행하였다. 비록 이 연구들이 낮은 에너지 소비와 대용량의 저장소를 제공하지만, 여전히 기본 쓰기 동작에 대한 STT-RAM에 대한 단점을 가지고 있다.

연구 [9, 11-15]는 STT-RAM의 쓰기 연산에 대한 단점을 SRAM을 이용하여 성능을 개선한 하이브리드 캐시 메모리 구조를 제안하였다. 연구 [9]는 쓰기 연산 비용으로 빈번하게 쓰기 연산이 발생할 데이터를 예측으로 SRAM과 STT-RAM을 운용하였다. 하지만, 이러한 예측을 위해 추가적인 상태 비트 및 높은 연산동작을 요구하고 있다.

STT-RAM은 다른 비휘발성 메모리와 같이 비트 ('0', '1')의 쓰기 연산에 대한 서로 다른 특성을 가지고 있다. 연구 [11]은 '0'비트 값의 쓰기 연산의 경계값을 이용하여 SRAM과 STT-RAM에 데이터를 저장하는 방법을 제안하였다. 하지만, 이러한 동작은 쓰기 요청이 발생하는 데이터의 경계값을 지속적으로 체크해야하는 문제점을 가진다.

연구 [12-15]는 쓰기 연산에 대한 간단한 카운터 방법으로 SRAM과 STT-RAM을 운용하는 방법을 제안하였다. 즉 빈번한 쓰기 연산이 발생하는 데이터는 SRAM에 저장되어지며, 그렇지 못한 STT-RAM에 저장하게 된다. 비록 STT-RAM을 이

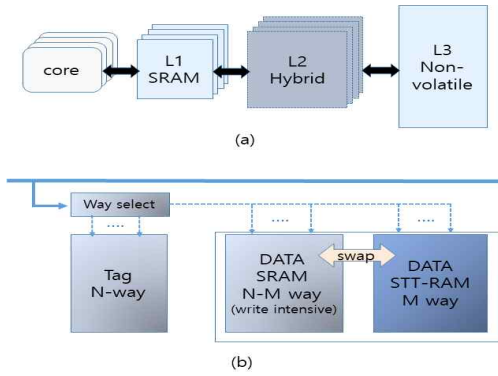


그림 1. (a) 제안된 캐시 메모리 시스템,
(b) 제안된 L2 캐시 메모리 구조

Fig. 1 (a) Proposed cache memory system,
(b) Proposed L2 cache memory system structure

용하여 SRAM의 단점인 누설 전력을 줄였지만, 여전히 L2 혹은 L3 캐시 메모리의 접근에서 발생하는 구동 전력에 대한 문제점을 해결하지 못하고 있다.

III. 본 론

본 논문의 주목적은 SRAM으로 구성된 L2 캐시 메모리에 대하여 SRAM과 STT-RAM의 하이브리드 메모리 구조를 제안함으로써, 효과적인 차세대 저전력 캐시 메모리 구현에 그 목적을 두고 있다.

1. 제안 동기 및 방법

캐시 메모리 시스템은 (L1~L3) 오늘날 컴퓨팅 시스템에서 고성능을 위한 중요한 요소 중 하나이다. 작은 용량의 L1 캐시 메모리는 빈번한 접근이 발생하며, 이에 반해 L2, L3 캐시 메모리는 메모리 접근 시간보다는 데이터 유지를 위한 시간이 길다. 따라서 L2, L3 캐시 메모리를 기존의 SRAM을 사용하는 것은 누설 전력으로 인한 높은 에너지 소비를 초래하게 된다. 따라서 L2, L3 캐시 메모리는 저전력을 위해 차세대 비휘발성 메모리를 사용하는 것이 효과적이다. 하지만, 차세대 비휘발성 메모리는 쓰기 연산에 대한 높은 지연시간과 에너지 소비로 L2 및 L3 캐시 메모리에 모두 적용하는 것은 오히려 전체적인 시스템 성능 저하의 원인이 될 수 있다.

본 논문에서는 이러한 상황을 고려하여 L1 캐시 메모리는 SRAM으로 구성되며, 용량이 큰 L3 캐시 메모리는 차세대 비휘발성 메모리로 구성되어진다.

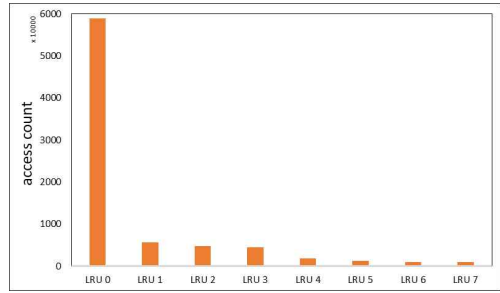


그림 2. LRU 정책에 의한 8웨이 연관사상 구조의 접근 횟수

Fig. 2 8way-set associative access count by the LRU replacement

그리고 L2 캐시 메모리는 성능과 에너지 소비를 고려한 하이브리드 메모리 시스템으로 구성되어진다.

그림 1은 제안된 전체 메모리 시스템의 구조이며, 본 논문에서는 저전력 컴퓨팅 시스템을 위한 메모리로 L2 캐시 메모리에 대한 성능평가를 하였다.

제안된 하이브리드 캐시 메모리는 그림 1. (b)와 같이 연관사상 구조로 이루어지며, 기본적으로 데이터 교체 정책은 LRU 동작으로 이루어진다. 제안된 L2 캐시 메모리의 구조는 전체 n 연관 사상구조이며 데이터는 m 연관사상을 가지는 STT-RAM과 n-m 연관사상을 가지는 SRAM으로 구성된다. 그리고 데이터와 달리 태그 부분은 상태비트와 교체정책에 의한 빈번한 업 데이터의 이유로 오로지 SRAM으로만 구성된다 [7, 10].

제안된 하이브리드 L2 캐시 메모리는 각 메모리의 특성을 고려하여, SRAM은 쓰기 연산이 발생하는 데이터를 관리하며, STT-RAM은 낮은 누설 전력으로 대기 데이터를 관리하게 된다. 또한 구동 에너지를 줄이기 위해 제안된 L2 캐시 메모리는 N-웨이중 일부 웨이에만 접근을 허용하였다. 이를 위해 본 논문에서는 웨이-선택 (Way Select) 버퍼를 추가 하였다. 만약 제안된 L2 캐시 메모리에서 접근 요청이 발생하면, 웨이-선택 버퍼에 의해 K개의 웨이만 선택적으로 접근이 발생한다. 따라서 웨이-선택 버퍼는 K개의 접근을 위한 웨이 정보를 가진다. 이는 L2 캐시 메모리의 구동 에너지를 줄이는 효과적인 방법이다. 하지만, 잘못된 예측은 오히려 메모리 시스템의 성능저하의 원인이 된다.

본 논문에서는 효과적인 웨이-선택을 위해 웨이의 LRU 상태에 대한 데이터를 모니터링 하였다. 그림 2는 LRU 상태를 나타내고 있다. 시뮬레이션 결과 최근 사용된 웨이에서 빈번한 접근이 발생하였다.

표 2. 주요 시뮬레이션 요소
Table 2. Main simulation PaRAMeters

	Value
Process	intel core i7
L1 cache	Private, 4way, 64byte line_size D: 32Kbyte *4, I: 32Kbyte *4
L2 cache	Private, 8way, 64byte line_size 256Kbyte *4 SRAM :128Kbyte STT-RAM:128Kbyte
L3 cache	Non-volatile memory

따라서 본 논문에서 제안된 웨이-선택 버퍼는 최근 접근이 발생 K개의 웨이 정보를 저장하게 된다.

제안된 L2 캐시 메모리에서는 STT-RAM에서 빈번한 접근이 발생한다면, SRAM의 데이터와 교체가 발생하게 된다. 하지만, SRAM은 STT-RAM에 비해 쓰기 동작의 효과가 높은 데이터를 유지하는 것이 효과적이다. 따라서 본 논문에서는 SRAM의 쓰기 데이터를 효과적으로 관리하기 위해 쓰기 연산에 대한 LRU 정책 (Write_LRU)을 추가 하였다. 즉 STT-RAM에 쓰기 동작에 의해 SRAM과 데이터 교체가 발생하면, SRAM의 쓰기 LRU 정책에 의해 희생 블록이 선택으로 데이터 교체가 발생하게 된다. 또한 STT-RAM으로부터 빈번한 데이터 교체를 방지하기 위해 추가적인 쓰기 비트 (Write bit)를 추가 하였다. 즉 STT-RAM에 쓰기 연산이 발생하면, 쓰기 비트를 확인하게 된다. 만약 쓰기 비트가 '1'이라면, 그 블록은 SRAM의 희생 블록과 교체가 발생한다. 이때 SRAM의 희생블록은 앞서 제안한 SRAM을 위한 write_LRU에 의해 선택되어진다.

만약, 접근된 블록의 write_bit가 '0'이라면, 단지 write_bit값만 '1'로 셋팅 되어 진다.

만약, L2 캐시 메모리에서 접근 실패가 발생하면, 본 논문에서는 선택적인 메모리 할당을 제안하였다. 앞서 언급한 내용과 같이 SRAM은 쓰기 연산에 효과적이며, 최근 접근이 발생한 웨이의 접근 빈도가 높은 것을 고려하여, 쓰기 요청에 의한 접근 실패는 write_LRU 정책에 의해 SRAM에 저장된다. 이때, 만약 SRAM의 희생블록이 가장 나중에 사용되어진 블록이 아니면, 기본 LRU 교체 정책에 의해 SRAM의 희생 블록은 데이터 이동이 발생하게 된다.

반면, 읽기 요청에 의해 L2 캐시 메모리의 접근 실패가 발생하면, 우리는 단순히 기존 LRU 교체 정책에 의해 데이터를 SRAM 혹은 STT-RAM에 저장하게 된다.

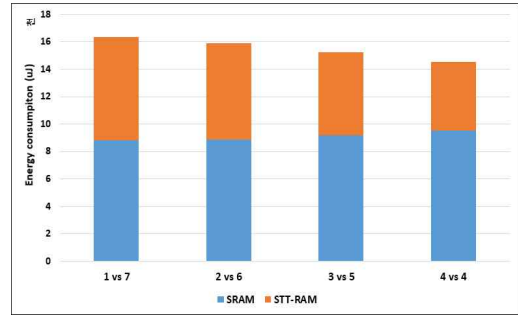


그림 3. 다양한 웨이 비율에 의한 SRAM과 STT-RAM의 에너지 소비

Fig. 3 Energy consumption of SRAM and STT-RAM by various way-ratio

IV. 성능 평가

본 논문에서는 제안된 L2 캐시 메모리의 성능평가를 위하여 SPEC CPU 2006벤치마크의 실행되는 동안 L2 캐시 메모리에 접근하는 주소를 Pintools [16]를 수정하여 모니터링 하고 추출하였다. 그리고 에너지 소비는 연구 [9]를 바탕으로 Cacti 6.5 [17]를 수정하여 사용하였다.

표 2는 본 논문에서 가정한 시뮬레이션을 위한 환경 파라미터를 나타내고 있다.

본 논문에서 효과적인 하이브리드 L2 캐시 메모리를 위한 SRAM과 STT-RAM의 연관사상 비율을 위해 다양한 연관 사상을 가지는 STT-RAM의 쓰기 동작을 측정하였다. STT-RAM은 SRAM에 비해 높은 쓰기 지연시간과 에너지 소비로 하이브리드 캐시 메모리의 중요 성능평가 기준이라 할 수 있다. 하지만, 낮은 용량의 STT-RAM은 오히려 SRAM의 증가로 인해 누설 전류가 높아지는 단점을 가진다.

본 논문에서는 제안된 하이브리드 구조의 성능을 평가하기 위해 기존 SRAM L2 캐시와 동일한 용량인 128Kbyte에 대해 시뮬레이션을 하였다.

그림 3은 제안된 하이브리드 캐시 메모리 (웨이-선택 버퍼 제외)에서 SRAM과 STT-RAM의 연관사상 구조 비율에 따른 SRAM과 STT-RAM의 평균 구동 에너지 소비를 나타내고 있다. 시뮬레이션은 SRAM의 누설 에너지를 고려하여, SRAM과 STT-RAM의 웨이 비율을 1:7에서 4:4에 대한 결과만을 이용하였다.

우리의 시뮬레이션 결과에 따르면, 4웨이-SRAM과 4웨이-STT-RAM의 연관사상 구조가 1웨이 SRAM과 7웨이-STT-RAM 구조에 비해 약

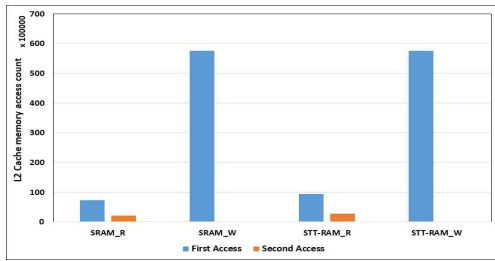


그림 4. 웨이-선택 버퍼에 의한 L2 캐시 메모리 접근 횟수

Fig. 4 L2 cache memory access count by the way-select buffer

35%의 STT-RAM의 접근 줄었다. 그림 3에서 보듯이 하이브리드 메모리의 SRAM의 연관 사상 구조가 증가할수록 좋은 에너지 소비를 보였다. 4웨이-SRAM과 4웨이-STT-RAM의 연관사상 구조가 1웨이 SRAM과 7웨이-STT-RAM 구조에 비해 약 10%의 에너지 감소를 보였다. 비록 STT-RAM의 접근이 35% 줄었지만, 에너지 소비는 단 10%만 감소하였다. 이는 실제 STT-RAM이 SRAM에 비해 높은 에너지 소비를 가지기 때문이다.

본 논문에서는 이러한 이유로, 제안된 하이브리드 캐시 메모리의 SRAM과 STT-RAM의 비율을 1:1로 구성하였다. 즉 4웨이-SRAM과 4웨이-STT-RAM의 연관사상 구조에 대해서 기존 SRAM과 에너지 소비에 대한 성능평가를 하였다.

본 논문에서 제안된 L2 캐시 메모리는 웨이-선택 버퍼에 의해 전체 웨이 중 일부만 접근한다. 그림 3의 결과에 따라 우리는 최근 참조된 4웨이를 우선 접근하는 방법을 선택하였다. 그림 4는 본 논문에서 제안한 웨이-선택 버퍼에 의한 접근 결과를 나타내고 있다.

시뮬레이션 결과, 제안된 웨이-선택 버퍼에 의해 L2 캐시 메모리에 처음에 접근 성공의 발생 비율은 전체 접근 성공의 약 95%이다. 그림 4에서 보면, 쓰기 연산이 읽기 연산에 비해 높은 비중을 차지하고 있다. 비록 제안된 L2 캐시 메모리에서 쓰기 연산이 발생하는 데이터를 SRAM과 교체가 발생하지만, 여전히 STT-RAM에 많은 쓰기 요청이 이루어지고 있다. 이는 제안된 하이브리드 캐시 메모리에서 빈번한 SRAM과 STT-RAM의 교체를 막기 위한 지연 교체 정책에 의한 결과이다.

그림 5와 그림 6은 제안된 하이브리드 L2 캐시 메모리와 기존 SRAM의 L2 캐시 메모리에 대한 구동 에너지 소비를 나타내고 있다. 시뮬레이션 결과에

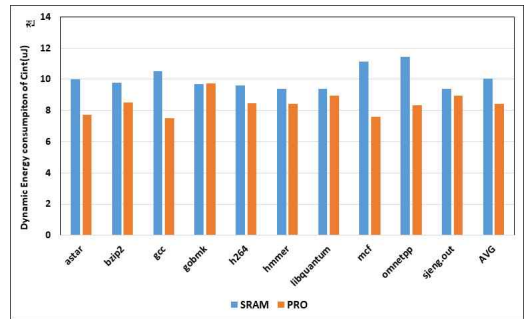


그림 5. SPEC CPU2006 (Cint)에서 구동에너지 소비
Fig. 5 Dynamic Energy Consumption of SPEC CPU 2006 (Cint)

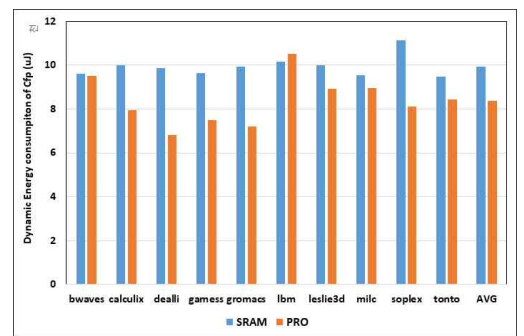


그림 6. SPEC CPU2006 (Cfp)에서 구동에너지 소비
Fig. 6 Dynamic Energy Consumption of SPEC CPU2006 (Cfp)

따르면, 제안된 하이브리드 L2 캐시 메모리는 기존 SRAM으로 구성된 L2 캐시 메모리에 비해 SPEC CPU2006의 CInt에서 약 20%, Cfp에서는 약 15%의 에너지 소비를 줄였다. 이는 제안된 하이브리드 캐시 메모리는 전체 8웨이 연관 사상 구조에서 웨이-선택 버퍼에 의해 오직 4웨이만을 우선 접근이 발생되며, 그림 4의 결과에 의해 약 95%가 접근 성공 발생하기 때문이다.

그림 7과 그림 8은 SRAM의 누설 에너지를 고려하여 제안된 캐시 메모리와 SRAM의 에너지 소비를 나타내고 있다.

시뮬레이션 결과, 제안된 하이브리드 메모리가 기존 SRAM에 비해 SPEC CPU2006(Cint, Cfp)에서 약 평균 40%의 에너지 소비를 줄였다. 그림 5와 그림6과 달리 그림 7과 그림 8에서는 에너지 소비에 대한 결과 값이 대부분 벤치마크에서 비슷한 결과를 보인다. 이는 SRAM의 누설 에너지가 전체 에너지 소비에 상당부분을 차지하기 때문이다.

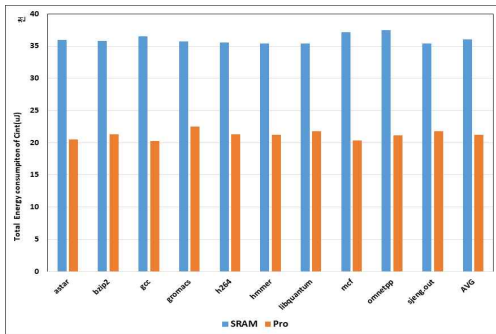


그림 7. SPEC CPU206 (Cint)에서 에너지 소비
Fig. 7 Energy Consumption
of SPEC CPU206 (Cint)

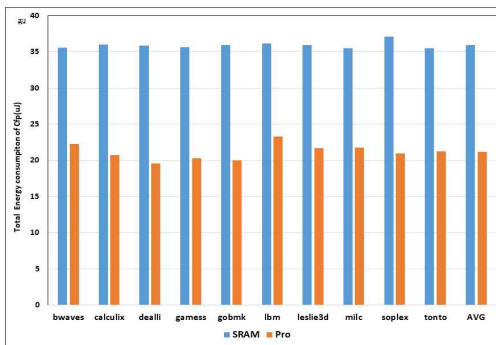


그림 8. SPEC CPU206 (Cfp)에서 에너지 소비
Fig. 8 Energy Consumption
of SPEC CPU206 (Cfp)

IV. 결 론

IoT 기반 시스템 및 개인 휴대 기기의 급속한 발전으로 저전력, 고성능 프로세서가 오늘날 지속적으로 요구되어지고 있다. STT-RAM은 누설 에너지가 거의 없고, SRAM과 비슷한 성능을 보장하지만, 쓰기 연산에 대한 큰 단점을 가지고 있다. 이에, SRAM과 STT-RAM을 혼용한 하이브리드 캐시 메모리 연구가 많이 진행되어지고 있다.

본 논문에서는 SRAM과 STT-RAM 하이브리드 캐시 메모리를 위한 저전력 에너지 관리 기법을 제안하였다. 본 논문에서 제안된 방법은 저전력을 위해 SRAM과 STT-RAM의 특성을 고려하여, 빈번한 쓰기 연산은 SRAM에서 관리되며, STT-RAM은 읽기 연산에 대한 데이터를 관리하게 된다. 특히 SRAM과 STT-RAM의 페이지 교체시, 본 논문에서는 STT-RAM의 특성을 고려하여 SRAM의 최근

쓰기 연산이 발생하지 않은 데이터 블록을 교체하는 방법을 제안하였다.

또한 저전력을 위해 기존 캐시 메모리에서 연구되어진 웨이-선택 방법을 간단한 알고리즘으로 수행하였다.

References

- [1] T.J. Pack, and W.Y. Jang, "Large-Scale Last-Level Cache Design Based on Parallel TLC STT-MRAM," Journal of Korean Institute of Information Technology, Vol. 15, No. 12, pp. 77-89, 2017 (in Korean).
- [2] N.S. Kim, T. Austin, D. Baauw, T. Mudge, K. Flautner, J. Hu, V. Narayanan, "Leakage Current: Moore's Law Meets Static Power," IEEE Computer Society, Vol. 36, No. 12, pp. 68-75, 2003.
- [3] Y. Meng, T. Sherwood, R. Kastner, "On the Limits of Leakage Power Reduction in Caches," in Proceedings of High-Performance Computer Architecture, pp. 154-165, 2005.
- [4] ITRS: International Technology Roadmap for Semiconductor, 2008 report, Available: <http://www.irts.net/link/2008ITRS/home2008.htm>
- [5] K. Flautner, N.S. Kim, S. Martin, D. Blaauw, T. Mudge, "Drowsy Cache: Simple Techniques for Reducing Leakage Power," Proceedings of Computer Architecture, pp. 148-157, 2002.
- [6] Z. Hu, S. Kaxiras, M. Martonosi. "Let Cache Decay: Reducing Leakage Energy via Exploitation of Cache Generational Behavior," ACM Transactions on Computer Systems, Vol. 20, No. 2, pp. 161-190, 2002.
- [7] J. Kin, M. Gupta, W. Mangione, "The Filter Cache: An Energy Efficient Memory Structure," Proceedings in ACM/IEEE international symposium on Microarchitecture, pp. 184-193, 1997.
- [8] B.S. Jung, J.H. Lee, "Effective Algorithm for the Low-Power set-Associative Cache Memory," IEMEK J. Embed. Sys. Appl., Vol. 9, No. 1, pp. 25-31, 2014 (in Korean).
- [9] P.M. Palangappa, J. Li, K. Mohanram, "WOM-Code Solutions for Low Latency and High Endurance in Phase Change Memory," IEEE Transactions on Computers, Vol. 64, No. 4, pp. 1028-1040, 2016.

- [10] J.W. Ahn, S. Yoo, K. Choi, "Prediction Hybrid Cache: An Energy-Efficient STT-RAM Cache Architecture," *IEEE Transactions on Computers*, Vol. 64, No. 3, pp. 940-951, 2015.
- [11] S.P. Pack, S. Gupta, N. Mojumder, K. Roy, "Future Cache Design Using STT-RAMs for Improved Energy Efficiency: Devices, Circuits and Architecture," *Proceedings of Design Automation*, pp. 492-497, 2012.
- [12] M. Imani, S. Patil, T. Rosing, "Low Power Data-Aware STT-RAM based Hybrid Cache Architecture," *Proceedings of Quality Electronic Design*, pp. 88-94, 2016.
- [13] J. Li, C. Xue, Y. Xu, "STT-RAM Based Energy-Efficiency Hybrid Cache for CMPs," *Proceedings of VLSI and System-on-Chip*, pp.31-36, 2011.
- [14] A. Jadidi, M. Arjomand, H. Sarbaxi-Axad, "High-Endurance and Performance-Efficient Design of Hybrid Cache Architectures Through Adaptive Line Replacement," *Proceedings of Low-Power Electronics and Design*, pp. 79-84, 2011.
- [15] X. Wu, J. Li, L. Zhang, E. Speight., Y. Xie, "Power and Performance of Read-Write Aware Hybrid Caches With Non-Volatile Memories," *Proceedings of Design, Automation and Test in Europe Conference and Exhibition*, pp. 737-742, 2009.
- [16] https://software.intel.com/sites/landingpage/pin_tool/docs/81205/Pin/html/
- [17] N. Muralimanohar, R. Balasubramonian, N. P. Jouppi, "CACTI 6.0: A tool to model large caches," *HP Laboratories*, pp. 22-31, 2009.

Bo-Sung Jung (정 보 성)



He received M.S. and Ph.D. degrees from GyeongSang National University in 2008 and 2018 respectively. His research interests include advance computer architecture and next generation memories system, and Non-volatile memory.

Email: blueking80@gnu.ac.kr

Jung-Hoon Lee (이 정 훈)



He received the M.S. and Ph.D. degree in Computer Science from Yonsei University, Seoul, Korea, in 2001 and 2004, respectively. He is currently a professor in GyeongSang National University (ERI). His research interests include advanced computer architectures and next flash memory.

Email: leejh@gnu.ac.kr