

# Deep Submicron SOI n-채널 MOSFET에서 열전자 효과들의 온도 의존성

박근형\*, 차호일\*\*

## Dependence of Hot Electron Effects on Temperature in The Deep Submicron SOI n-Channel MOSFETs

Keun-Hyung Park\*, Ho-Il Cha\*\*

**요약** 현재 대부분의 집적회로는 bulk CMOS 기술을 사용해서 제작되고 있으나 전력 소모를 낮추고 die 크기를 줄이기에 한계점에 도달해있다. 이러한 어려움을 획기적으로 극복할 수 있는 초저전력 기술로서 SOI CMOS 기술이 최근에 크게 각광을 받고 있다. 본 논문에서는 100 nm Thin SOI 기판 위에 제작된 n-채널 MOSFET 소자들의 열전자 효과들의 온도 의존성에 관한 연구 결과들이 논의되었다. 소자들이 LDD 구조를 갖고 있음에도 불구하고 열전자 효과들이 예상보다 더 심각한 것으로 나타났는데, 이는 채널과 기판 접지 사이의 직렬 저항이 크기 때문인 것으로 믿어졌다. 온도가 높을수록 채널에서의 phonon scattering의 증가와 함께 열전자 효과는 감소하였는데, 이는 phonon scattering의 증가는 결과적으로 열전자의 생성을 감소시켰기 때문인 것으로 판단된다.

**Abstract** Nowadays most integrated circuits are built using the bulk CMOS technology, but it has much difficulty in further reduction of the power consumption and die size. As a super low-power technology to solve such problems, the SOI technology attracts great attention recently. In this paper, the study results of the temperature dependency of the hot carrier effects in the n-channel MOSFETs fabricated on the thin SOI substrate were discussed. In spite that the devices employed the LDD structure, the hot carrier effects were more serious than expected due to the high series resistance between the channel region and the substrate contact to the ground, and were found to be less serious for the higher temperature with the more phonon scattering in the channel region, which resulted in reducing the hot electron generation.

**Key Words** : MOSFET, SOI, Hot carrier effect, Scattering, LDD

### 1. 서론

열전자 효과(hot carrier effects)에 의한 소자 열화 현상은 MOSFET 소자의 신뢰성에 중요한 영향을 미치는 대표적인 요인들 중의 하나이다. 열전자 효과는 MOSFET 소자의 미세화로 인하여 소스와 드레인 영역에 강한 수평전계가 생성되고 그것으로 인해 캐리어 이동의 가속화를 가져온다. 가속화된 캐리어는 드레인의

최대 전계 지점에서 실리콘 원자와 충돌하게 되는데 이 현상을 충돌 이온화(impact ionization)라 한다. 강한 수평 전계는 충돌 이온화율을 높여 많은 수의 전자/정공 쌍을 발생시키는데 이 때 발생된 전자/정공 쌍 중 일부는 게이트 산화막으로 주입되기도 하는데 이로 인해 게이트 산화막의 질을 저하시킨다. 질이 저하된 게이트 산화막은 MOSFET 소자의 신뢰성에 문제를 발생시키므로 최근까지 열전자 효과에 관한 많은 연구가 진

\* Department of Semiconductor Engineering, Graduate School, Chungbuk National University

\*\*Measurement and Analysis Team, National Nanofab Center, Yuseong-gu, Daejeon, Korea

Received December 01, 2017

Revised December 12, 2017

Accepted March 09, 2018

행되었다 [1-5].

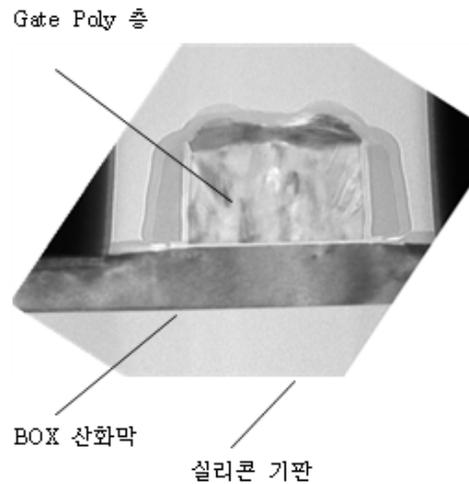
오늘 날 대부분의 집적회로는 bulk CMOS 기술을 사용해서 제작되고 있다. 이러한 bulk CMOS 기술은 이미 충분히 성숙되어 낮은 양산 비용, 뛰어난 전기적 인 성능과 저 전력 회로 구현의 장점들을 보여주고 있다. 하지만 앞으로 계속하여 전력 소모를 낮추고 die 크기를 줄이기에는 갈수록 많은 어려움을 겪고 있다. 이러한 어려움을 획기적으로 극복할 수 있는 초저전력 기술들이 최근에 떠오르고 있는데 그 중에서 가장 각광을 받고 있는 기술이 SOI CMOS 기술이다 [6-8].

SOI CMOS 기술은 bulk CMOS 기술에 비하여 제작 공정이 더 단순하고, 초저전력 회로 구현이 가능하며, latch-up 문제가 없으며, 기생 소스/드레인 정전 용량이 작고, Shallow Junction을 만들기 쉬운 장점들을 가지고 있다 [9-10]. 그 외에도 SOI CMOS 기술은 bulk CMOS 기술에 비해서 radiation hardness, 고온 동작, transconductance, subthreshold slope 측면에서 우수한 특성들을 갖고 있다 [11-12].

그럼에도 불구하고 SOI 기판을 적용한 deep submicron MOSFET 소자에 대하여 열전자 효과와 온도와의 상관관계에 대한 체계적인 연구 결과가 아직까지 학계에 보고되지 않았다. 따라서 본 논문에서는 SOI n-채널 MOSFET 소자에 대해 저온에서 고온까지 온도 변화를 주며 각 온도에서 열전자 효과가 어떻게 나타나는지를 측정하고 비교·분석한 결과들에 관하여 논의하였다.

## 2. 실험 방법

100 nm Thin SOI 기판 위에 BCT(Body Contacted T-Type) 구조를 가지는 기본 n-채널 MOSFET 소자들을 제작하였다. 본 실험에 사용된 소자들의 동작 전압은 2.5 V이었으며, 게이트의 채널 길이는 0.25  $\mu\text{m}$ , 채널 너비는 20  $\mu\text{m}$ 이었다. 게이트 산화 막의 두께는 약 5.2 nm이었으며, 소스/드레인 접합에는 LDD (Lightly-Doped Drain) 구조를 적용하였다 (그림 1).



1. SOI n- MOSFET

Fig. 1. Vertical view of a fabricated SOI n-channel MOSFET device.

열전자 스트레스에 따른 전기적 특성 변화 측정은 설정된 스트레스 조건대로 스트레스를 소자에 인가하고 누진적으로 10 초, 31 초, 100 초, 312 초, 1000 초까지 매 시간마다 전기적인 특성들을 측정하였다.

열전자 스트레스 조건은 다음과 같이 설정되었다. 드레인 스트레스 전압은 드레인 영역과 채널 영역 사이의 항복(breakdown) 전압의 90%가 되는 3.5 V로 정하였으며, 게이트 스트레스 전압은 드레인 스트레스 전압의 1/2에 해당하는 1.75 V로 정하였고, 소스의 스트레스 전압은 접지로 정하였다. 또한 각 소자들의 기판은 별도의 단자를 통하여 접지하였다.

MOSFET 소자들의 전기적인 특성들은 Keithley사의 4200SCS 반도체 파라메타 분석기를 사용하여 측정하였으며, 웨이퍼의 온도를 정해진  $-20^{\circ}\text{C}$ 에서부터  $100^{\circ}\text{C}$ 까지 정해진 온도로 맞추는 것은 temperature regulated hot chuck을 사용하여 이루어졌다.

### 3. 실험 결과 및 분석

#### 3.1 상온에서 SOI n-채널 MOSFET 소자의 열전자 효과

##### 3.1.1 $V_T$ 가

잘 알려진 바와 같이, n-채널 MOSFET 소자의 대표적인 열전자 효과는 문턱 전압,  $V_T$ 의 증가와 전달 컨덕턴스,  $g_m$ 의 감소이다.

열전자 스트레스를 인가하는 동안 전자들이 채널을 따라서 소스 영역에서 드레인 영역으로 이동하면서 핀치 오프 영역에서 전기적인 위치에너지를 소비하면서 운동에너지를 얻는다. 그리고 열전자(hot electron)가 된다. 그 열전자들이 운동에너지를 얻게 됨에 따라서 더욱 더 전도대역 위로 올라가게 되는데 그 중의 일부 열전자들이 게이트 산화 막을 통과해서 게이트 전극으로 이동하게 된다. 그러한 이동 과정에서 일부 열전자들이 게이트 산화 막의 내부에 결함을 만들기도 하고, 일부 열전자들은 게이트 산화 막 내부에 있는 결함에 포획되면서 소자의  $V_T$ 를 증가시키기도 한다.

아래 그림 1은 열전자 스트레스 시간의 함수로서  $V_T$  값을 측정한 결과를 보여주고 있다. 그림 1에서 볼 수 있듯이, 열전자 스트레스 시간이 10초일 때  $V_T$  값이 가장 크게 증가하였다. 즉, 0.52 V에서 약 0.60 V로 0.08 V 증가하였다. 그 이후에는 스트레스 시간이 1,000초에 이를 때까지 점진적으로 증가하였다.

이 MOSFET 소자가 LDD 구조를 갖고 있음에도 불구하고 열전자 효과가 심각하게 나타났다. 이는 SOI 소자가 100 nm 두께의 극도로 얇은 실리콘 막에 제작되었기 때문에 채널 영역과 기판의 접지 사이의 직렬 저항(series resistance)이 크고, 이로 인하여 열전자 스트레스를 인가하는 동안 드레인 쪽의 채널 영역에서 충돌 이온화(impact ionization)로 인하여 생성되는 정공이 기판 단자로 빠르게 빠져나가지 못함으로 기판의 전위가 상승하고, 이는 소스 영역에서 기판으로 들어오는 전자의 농도를 증가시키고, 이는 결국 더 많은 충돌 이온화를 발생시키는 선순환 feedback 효과로 인하여 열전자들의 생성 속도가 크게 증가하기 때문인 것으로 판단된다.

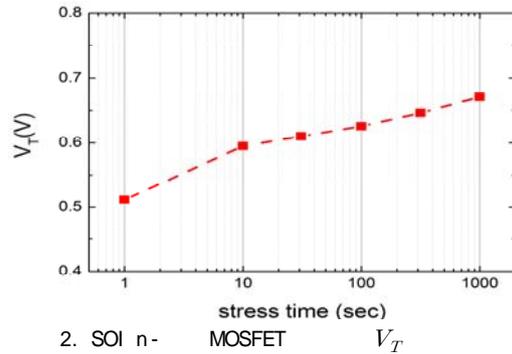
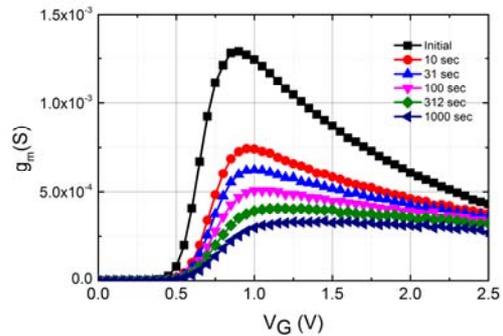


Fig. 2. Measurement results of  $V_T$  of the n-channel MOSFET as a function of the hot carrier stress time.

##### 3.1.2 $g_m$

열전자들이 게이트 산화 막을 통과해서 게이트 전극으로 이동하는 과정에서 일부 열전자들이 실리콘 기판과 게이트 산화 막 계면에 존재하는 Si-H 결합을 파괴하여 계면포획밀도,  $N_{it}$ 를 증가시키고, 이로 인해 계면포획전하,  $Q_{it}$ 가 증가한다. 이는 결국 계면 바로 밑의 채널 영역에서 소스 영역에서 드레인 영역으로 이동하고 있는 전자들과 계면포획전하들 사이의 coulomb scattering을 발생시켜 이동하는 전자들의 이동도 (mobility),  $\mu_n$ 의 감소를 가져온다. 이러한  $\mu_n$ 의 감소는 필연적으로  $g_m$ 의 감소를 일으킨다.

그림 3은 열전자 스트레스 시간의 함수로서  $g_m$  값



##### 3. SOI n- MOSFET $g_m$

Fig. 3. Measurement results of  $g_m$  of the n-channel MOSFET as a function of the hot carrier stress time.

을 측정된 결과를 보여주고 있다.  $g_m$  값을 측정할 때는 드레인 전극에 0.1 V를 인가하고, 소스 및 기판은 접지하고, 게이트 전극에 0 ~ 2.5 V 전압을 인가하였다.

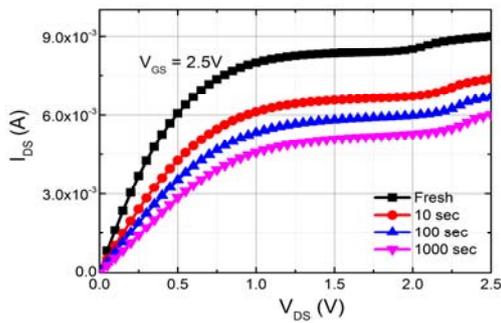
상기 그림 3에서 볼 수 있는 바와 같이 열전자 스트레스 시간이 증가함에 따라  $g_m$ 이 크게 감소하였다. 특히 처음 10동안 스트레스를 인가하였을 때  $g_m$ 의 감소 폭이 가장 컸다. 그리고 그 이후에도 전압 스트레스 시간이 1,000 초가 될 때까지도 꾸준히  $g_m$ 이 감소하는 것을 볼 수 있었다. 이러한  $g_m$ 의 원인은 앞에서 언급한 대로  $\mu_n$ 의 감소인 것으로 믿어진다.

3.1.3 I-V

앞에서 열전자 스트레스로 인하여  $V_T$ 가 증가하고,  $\mu_n$ 의 감소로 인하여  $g_m$ 이 감소하는 것이 확인되었다.  $V_T$ 의 증가와  $\mu_n$ 의 감소는 필연적으로 드레인 전류의 감소를 가져올 것이다.

그림 4는 열전자 스트레스로 인한 I-V 특성의 변화를 측정된 결과를 보여주고 있다. 여기서는 게이트 전극에 2.5 V를 인가하고, 소스와 기판은 접지하고, 드레인 전극에 0 V ~ 2.5 V까지 전압을 인가하면서 드레인 전류를 측정하였다.

드레인 전류의 감소는 열전자 스트레스를 10초 동안 인가하고 나서 측정하였을 때 가장 크게 나타났다. 이러한 경향은  $V_T$ 과  $g_m$ 의 측정 결과에서 나타났던 경향과 일치하였다. 특별히 포화 전류,  $I_{d,sat}$ 도 크게 감소하



4. SOI n- MOSFET I-V

Fig. 4. Measurement results of I-V characteristics of the n-channel MOSFET as a function of the hot carrier stress time.

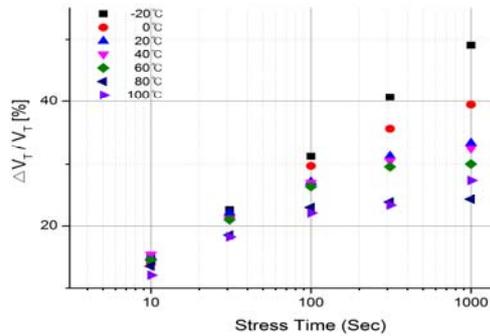
였는데, 이는 소자의 동작 속도를 낮추는 심각한 신뢰성 문제를 일으킬 수 있다.

3.2 SOI n-채널 MOSFET에서 열전자 효과의 온도 의존성

여기서는 SOI n-채널 MOSFET의 열전자 효과들의 온도 의존성을 측정하고 그 결과들을 분석하였다.

3.2.1  $V_T$  가

그림 5는 n-채널 MOSFET 소자의  $V_T$ 의 변화율의 측정값을 열전자 스트레스의 시간과 온도의 함수로서 나타내었다. 적용한 모든 온도에서 열전자 스트레스 인가 시간이 증가하면서  $V_T$ 의 변화율이 증가하였으며, 적용한 온도가 높을수록  $V_T$ 의 변화율이 작았다. 온도가 -20°C에서는  $V_T$ 가 49% 증가하였으며, 40°C에서는 32%, 100°C에서는 27% 증가하였다.



5. SOI n- MOSFET  $V_T$  가

Fig. 5. Measurement results of  $V_T$  increasing ratio of the n-channel MOSFET as a function of the hot carrier stress time and temperature.

저온에서와 비교할 때 고온에서 열전자 효과가 크게 감소하는 것은 예상했던 것과 일치하였다. 잘 알려진 바와 같이 온도가 증가할수록 채널 영역에서의 phonon scattering은 증가한다. 이러한 phonon scattering의 증가는 채널 영역에서 소스 영역에서 드

레인 영역으로 이동하고 있는 전자들의 표동 속도(drift velocity)가 증가하는 것을 방해한다. 따라서 열전자 생성이 억제된다. 이러한 열전자 생성의 억제는 당연히 열전자 효과를 감소시킬 것이다.

온도가 20℃ 이상인 경우에 열전자 스트레스 누적 시간이 100초를 초과하면서  $V_T$ 의 값이 더 이상 증가하지 않고 포화 상태에 도달하는 것을 볼 수 있다. 이는 열전자 스트레스가 100초 이상이 되면 게이트 산화막에 포획되는 전자의 농도가 포화 상태에 이른다는 것을 의미한다. 이러한 현상의 발생 원인은 현재로서는 정확하게 설명될 수 없다. 향후 추가적인 연구를 통하여 밝혀져야 한다.

### 3.2.2 $g_m$ 가

그림 6은 n-채널 MOSFET 소자의  $g_m$ 의 감소율의 측정값을 열전자 스트레스의 시간과 온도의 함수로서 나타내었다.  $V_T$ 의 증가율 측정 결과와 유사하게, 적용한 모든 온도에서 열전자 스트레스 인가 시간이 증가하면서  $g_m$ 의 감소율이 증가하였으며, 적용한 온도가 높을수록  $g_m$ 의 감소율이 작았다.

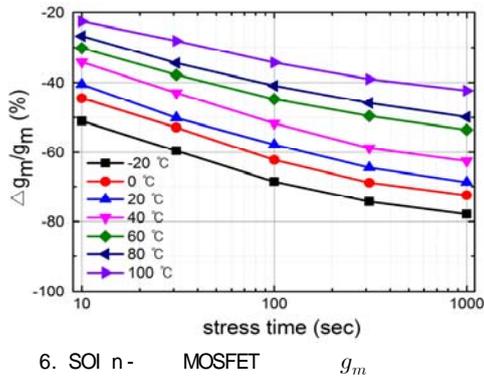


Fig. 6. Measurement results of  $g_m$  reduction ratio of the n-channel MOSFET as a function of the hot carrier stress time and temperature.

그러나  $V_T$ 의 증가율 경우와 다르게 열전자 스트레

스 시간이 100초를 넘어서도  $g_m$ 의 감소율이 포화되지 않고 1,000초 까지도 꾸준히 감소하였다. 이는 일반적인 예측 결과와 일치하였다.

### 3.2.3 $I_{D,sat}$ 가

그림 7은 n-채널 MOSFET 소자의  $I_{D,sat}$ 의 감소율의 측정값을 열전자 스트레스의 시간과 온도의 함수로서 나타내었다. 앞의 2개의 실험 결과와 유사하게, 적용한 모든 온도에서 열전자 스트레스 인가 시간이 증가하면서  $I_{D,sat}$ 의 감소율이 증가하였으며, 적용한 온도가 높을수록  $I_{D,sat}$ 의 감소율이 작았다. 이는 앞에서 언급했던 것으로 열전자 효과가 온도가 올라갈수록 감소한다는 사실을 다시 한 번 확인시키는 결과라고 말할 수 있을 것이다.

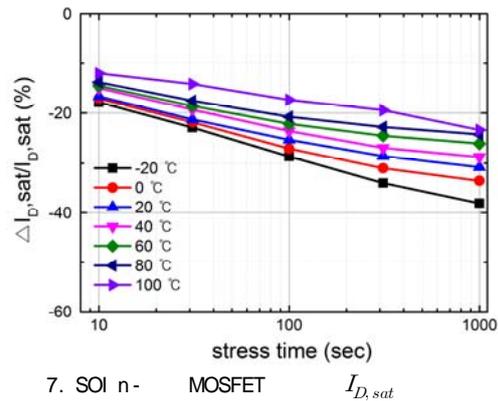


Fig. 7. Measurement results of  $I_{D,sat}$  reduction ratio of the n-channel MOSFET as a function of the hot electron stress time and temperature.

## 4. 결론

상온에서 실시한 SOI n-채널 MOSFET 소자의 열전자 효과 측정 실험에서 그 소자들이 LDD 구조를 갖고 있음에도 불구하고 열전자 효과들이 심각하게 나타나는 것이 확인되었다. 이는 SOI MOSFET 소자들의 기판 접지가 채널 영역에서 생성된 정공을 충분히 효과적으로 흡수하지 못했기 때문인 것으로 믿어졌다.

웨이퍼 온도에 변화를 주면서 실시한 열전자 효과 실험에서 온도가 올라갈수록 열전자 효과가 더 감소하는 것이 확인되었다. 이는 온도가 올라갈수록 채널 영역에서의 소스에서 드레인으로 이동하고 있는 전자들의 표동 속도의 증가를 억제함으로써 결국 열전자의 생성을 축소시켰기 때문인 것으로 믿어졌다.

### REFERENCES

[1] P. E. Cottrell, R. R. Troutman, T. H. Ning, "Hot-electron emission in n-channel IGFET's", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-26, NO. 4, pp. 520-533, APRIL 1977.

[2] M. Song, K. MacWilliams, and J. Woo "Comparison of NMOS and PMOS Hot Carrier Effects From 300 to 77 K" IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 44, NO. 2, pp. 268-276, FEBRUARY 1997.

[3] T. Tsuchiya, T. Ohno, Y. Kado, and J. Kai "Hot-Carrier-Injected Oxide Region in Front and Back Interfaces in Ultra-Thin (50nm), Fully Depleted, Deep-Submicron NMOS and P MOSFET's/SIMOX and their Hot Carrier Immunity", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 42, NO. 12, pp. 2351-2356, DECEMBER 1994.

[4] L. Selmi, M. Pavesi, H. Wong, A. Acovic, and E. Sangiorgi, "Monitoring Hot-Carrier Degradation in SOI MOSFET's by Hot-Carrier Luminescence Techniques", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 48, NO. 5, pp. 1135-1139, MAY 1994.

[5] W. Chen, R. Cheng, D. Wang, H. Song, X. Wang, H. Chen, E. Li, W. Yin, and Y. Zhao, "Electrothermal Effects on Hot-Carrier Reliability in SOI MOSFETs-AC Versus Circuit-Speed Random Stress ", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 63, NO. 9, pp. 3669-3676, SEPTEMBER 2016.

[6] Y. Kado, "The Potential of Ultrathin-Film SOI Devices for Low-Power and High Speed Applications", in IEICE Transactions on Electronics, Vol. E80-C, No. 3, pp. 443-454, March 1997.

[7] S. Cristoveanu, G. Reichert, "Recent Advances in SOI Materials and Device Technologies for High Temperature", Proc. of the High-Temperature Electronic Materials, Devices and Sensors Conference, San Diego, California, U.S.A., pp.86-93, February 1998.

[8] R. Reedy et al., "Single Chip Wireless Systems

Using SOI", Proc. of the International SOI Conference, San Diego, California, U.S.A., pp.8-11, October 1999.

[9] J.P. Colinge, "Silicon-On-Insulator Technology: Materials to VLSI", Kluwer Academic Publishers, Boston, U.S.A., 1997.

[10] K. Grella, S. Dreiner, H. Vogt, and U. Paschen, "Reliability of CMOS on silicon-on-insulator for use at 250°C", IEEE Transactions on device and materials reliability, vol. 14, no. 1, pp. 21-29, 2014.

[11] J.P. Eggermont, D. Ceuster, and D. Flandre, "Design of SOI CMOS operational amplifiers for applications up to 300°C", IEEE Journal of Solid-State Circuits, vol. 31, no. 2, pp. 179-186, 1996.

(Keun-Hyung Park)



- 1991
- 1991-93 Cypress
- 1993-94 LG
- 1994-

< >

(Ho-II Cha)



- 2004. 2 :
- 2014. 8 :
- 2003-13 SK
- 2013-

< >

ROM & EEPROM