

원전용 IC를 위한 CMOS 디지털 논리회로의 내방사선 모델 설계 및 누적방사선 손상 분석

A Radiation-hardened Model Design of CMOS Digital Logic Circuit for Nuclear Power Plant IC and its Total Radiation Damage Analysis

이민웅* · 이남호* · 김종열* · 조성익†

(Min-Woong Lee · Nam-Ho Lee · Jong-Yeol Kim · Seong-Ik Cho)

Abstract - ICs(Integrated circuits) for nuclear power plant exposed to radiation environment occur malfunctions and data errors by the TID(Total ionizing dose) effects among radiation-damage phenomenons. In order to protect ICs from the TID effects, this paper proposes a radiation-hardening of the logic circuit(D-latch) which used for the data synchronization and the clock division in the ICs design. The radiation-hardening technology in the logic device(NAND) that constitutes the proposed RH(Radiation-hardened) D-latch is structurally more advantageous than the conventional technologies in that it keeps the device characteristics of the commercial process. Because of this, the unit cell based design of the RH logic device is possible, which makes it easier to design RH ICs, including digital logic circuits, and reduce the time and cost required in RH circuit design. In this paper, we design and modeling the structure of RH D-latch based on commercial 0.35 μ m CMOS process using Silvaco's TCAD 3D tool. As a result of verifying the radiation characteristics by applying the radiation-damage M&S (Modeling&Simulation) technique, we have confirmed the radiation-damage of the standard D-latch and the RH performance of the proposed D-latch by the TID effects.

Key Words : Nuclear power plant, Integrated circuit, Total ionizing dose, Radiation-hardening technology, D-latch, Unit cell

1. 서 론

오늘날 인공위성이나 원전 등과 같은 방사선 환경에서 전자소자는 집적도 향상을 위해 대부분 실리콘 반도체 기반의 IC(Integrated circuit)로 이루어져 있다. 방사선 환경에 노출된 반도체 IC는 주요 전자시스템의 오류나 오작동을 유발시켜 비용과 전력에 막대한 손실을 초래할 뿐만 아니라 인명피해와 환경오염 등 중대한 사고에 집적적인 영향을 미치기 때문에 IC의 내방사선화 기술의 중요성은 더욱 증가하고 있는 추세이다[1-3].

방사선에 의한 피해 중 총이온화선량 효과는 오랜 시간 동안 누적되는 감마선에 의한 피해로 IC를 구성하는 최소 단위소자인 실리콘 기반의 CMOS 자체에 예기치 않은 누설전류를 발생시킨다. 특히, CMOS 중 n형 MOSFET에서 방사선 유발 누설전류가 발생하는데 그 이유는 누적방사선에 의하여 두꺼운 절연산화막 경계면에 축적된 정공이 n형 MOSFET 소스와 드레인의 전자를 끌어당겨 채널을 형성하기 때문이다[4-7]. 형성된 채널은 n-MOSFET의 cut-off 상태에서 소스와 드레인 사이에 누설전류

경로가 되어 드레인에서 소스로 누설전류를 유발함으로써 bottom-level 소자의 특성 감쇠 및 오류를 발생시키고 top-level 로 그 피해가 중첩되기 때문에 전자시스템 전체의 데이터 오류나 고장 등의 원인이 된다. 총이온화선량 효과에 대한 전자소자의 방사선 피해를 줄이기 위한 top-level에서 해결 방안은 상용소자 중 누적방사선에 내성이 높은 소자를 선별하거나 전자시스템의 차폐를 통하여 내방사선 수준을 향상시키는 연구가 진행[8-9]되었으나 이러한 연구는 많은 비용과 시간을 요구하기 때문에 최소 bottom-level 소자의 내방사선에 대한 연구가 활발히 수행되어지고 있다. 최신 내방사선 단위소자 기술은 레이아웃 변형 기법이 적용된 ELT(Enclosed layout transistor), DGA(Dummy gate-assisted), H-gate n-MOSFET 등이 있으나 채널 사이즈 리모델링, 최소 채널 사이즈 구현의 한계로 인한 IC 설계의 제약, 특수 공정 사용으로 인한 막대한 비용 등의 단점이 있다[10-13]. 내방사선 I-gate n-MOSFET는 기존 단위소자들의 단점을 보완하기 위한 기술로서 일반 상용공정에서 적용 가능하며 채널 사이즈의 제약이 없고 리모델링을 요구하지 않기 때문에 IC 설계의 유연성을 갖는다[14]. 최소 단위소자 레벨의 I-gate n-MOSFET 구조를 확장/변형하고 이를 기반한 top-level 회로의 내방사선화 가능성 검증을 위하여 본 논문에서는 대부분 반도체 IC에 필수적인 요소로 사용되는 디지털 회로(D-래치)의 내방사선화 설계를 제안한다. 본 논문에서는 먼저, 반도체 IC의 일반 D-래치의 내방사선화

† Corresponding Author : Dept. of Electronic Engineering,
Chonbuk National University, Korea.
E-mail: sicho@jbnu.ac.kr

* Korea Atomic Energy research Institute(KAERI).
Received : March 7, 2018; Accepted : May 29, 2018

를 위하여 내방사선 논리소자 NAND 단위 셀을 설계하고 그 단위 셀을 이용한 D-래치를 설계하였다. 제안된 D-래치와 NAND는 3D 구조 방사선 영향 M&S (Modeling&Simulation) 기법을 통하여 내방사선 특성을 확인하고 분석함으로써 단위 셀 기반 내방사선 논리소자 개발과 회로레벨의 내방사선화 가능성을 확보하였다.

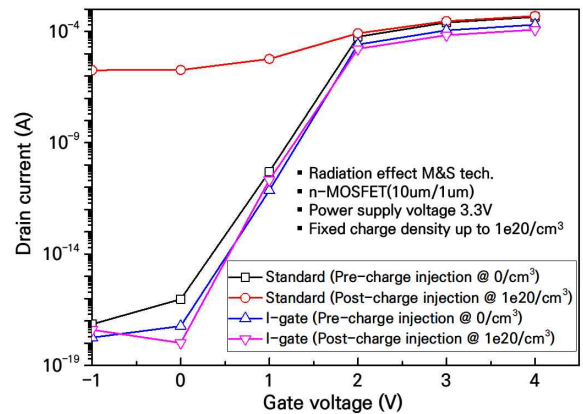
본 논문의 구성은 다음과 같다. 2장 본론의 2.1장은 레이아웃 변형 기법을 이용한 내방사선 I-gate n-MOSFET의 구조와 특성을 설명하고, 2.2장은 논리소자 NAND의 일반형과 내방사선형의 3D 구조 모델을 설계하였으며 방사선 영향 M&S 기법을 통하여 내방사선 특성 검증에 수행하였다. 2.3장에서는 2.2장의 내방사선 특성 검증 과정을 내방사선 D-래치에 대하여 동일하게 수행하였다. 그리고 3장에서 결론을 맺는다.

2. 본 론

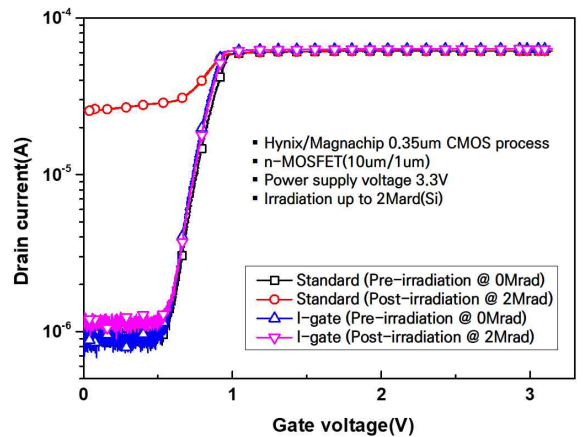
2.1 단위소자 레이아웃 변형기법

레이아웃 변형 기술이 적용된 I-gate n-MOSFET은 기존 일반 n-MOSFET 레이아웃을 기반으로 설계되었다. I-gate n-MOSFET 레이아웃 구조는 게이트 폴리 레이어는 'I'자 모양으로 변형시키고, p+, P-액티브 레이어가 추가되었으며 n+ 레이어를 확장하였다. 각각의 레이어는 소자의 내방사선 특성을 갖도록 추가/변형된 것이며[11], 'I'자 모양의 폴리 게이트는 산화막 두께가 10nm 이하에는 방사선에 의한 정공 축적이 일어나지 않는 터널링 메커니즘을 사용하였다. 본 논문에서 구조 모델링 기반인 0.35 μ m CMOS 공정의 게이트 산화막 두께는 10nm이하이므로 절연산화막과 n+로 도핑된 소스와 드레인 사이를 이격시키는 역할을 수행하여 누설전류 경로를 차단하였다[15]. 일반 n-MOSFET 레이아웃에는 포함되지 않는 P-액티브 레이어와 p+ 레이어는 문턱전압(V_{TH})를 높임으로써 실리콘 산화막에 축적된 정공에 의해 발생하는 채널 반전(channel inversion)을 방지하고 누설전류 발생을 차단하는 기능을 수행한다. 또한, N-액티브 레이어와 P-액티브 레이어를 만나도록 지정함으로써 정공이 축적되는 두꺼운 절연산화막의 생성을 억제하여 소스와 드레인 사이의 누설전류 경로를 차단하였다.

그림 1의 (a)는 고정전하 주입 방식의 방사선 영향 M&S 기법을 통한 I-gate n-MOSFET의 시뮬레이션 결과를 나타내고 (b)는 일반 상용공정에서 제작한 I-gate n-MOSFET 단위소자의 누적방사선 시험평가 결과를 나타낸다. 그림 1의 (b)와 같이 누적방사선량 2Mrad까지 조사한 결과, 일반 단위소자는 차단영역(게이트 전압=0V)에서 누설전류가 25 μ A 이상 증가하는 방사선 손상이 확인되었지만 레이아웃 변형 기법이 적용된 I-gate n-MOSFET은 전기적 특성을 그대로 유지함으로써 내방사선 특성이 검증되었다. 이 결과는 그림 1의 (a)와 같이 누설전류경로를 고정전하로 모사하고 농도 1e20/cm³까지 주입한 시뮬레이션 결과와 같은 경향성을 보이며 방사선 영향 M&S 기법의 신뢰성은 확보된 상태이다[14].



(a)



(b)

그림 1 일반 n-MOSFET과 내방사선 I-gate n-MOSFET의 방사선 영향 (a) 방사선 영향 M&S 결과(@1e20cm³) (b) 누적방사선 시험평가 결과(@2Mrad)

Fig. 1 Radiation effects of standard n-MOSFET and RH (Radiation-hardened) I-gate n-MOSFET (a) radiation effect M&S results (@1e20cm³), (b) irradiation test results (@2Mrad)

특히, 본 구조의 주요 장점은 일반 n-MOSFET 레이아웃 구조에서 N-액티브 레이어는 그대로 보존하기 때문에 이전의 레이아웃 변형 기법이 적용된 내방사선 소자들과 달리 채널 사이즈의 변화가 없다[14]. 이것은 회로설계 시 시뮬레이션과 실제측정에서 소자의 특성 차이가 거의 없으므로 추가적으로 채널 사이즈의 복잡한 리모델링이 필요하지 않기 때문에 단위 셀 기반 내방사선 논리소자 개발에 용이하다.

2.2 제안하는 논리소자 내방사선화 기술

2.2.1 단위 셀 기반 내방사선 NAND 3D 모델

기존의 내방사선 단위소자를 적용하여 논리소자의 내방사선화

가 가능하지만 IC 용도에 따라 소자 채널의 사이즈(Width/length)를 변경해야 할 때 채널 사이즈 리모델링이 요구되기 때문에 각 논리소자의 레이아웃 도면을 변경하거나 다시 작성해야 하는 번거로움이 따른다. 그에 따라 IC를 설계하고 검증하는데

많은 시간이 필요하고 회로의 정상동작을 보장하기 어렵다는 단점이 있다. 그러나 제안된 논리소자의 내방사선 기술은 구조적으로 일반 상용공정 논리소자 채널 사이즈에 영향을 주기 않기 때문에 단위 셀 형태의 설계가 가능하다. 이러한 장점을 이용하여 내방사선 반도체 IC 설계에 하나의 셀 형태로 적용된다면 기존 논리소자 내방사선화 방법에 비하여 시간절약과 비용절감에 효율적인 것이다[14].

IC 설계 시 데이터 동기화 및 클럭 분주 등에 사용되는 D-래치의 내방사선화를 위하여 논리소자 중 NAND를 내방사선 구조로 설계하였다. 소자 설계에 소요되는 시간과 비용을 줄이기 위하여 소자를 하드웨어로 구현하여 방사선 조사시험을 수행하기 전에 실바코사의 TCAD 3D tool을 사용하여 일반 NAND와 내방사선 NAND의 3D 구조를 각각 설계하고 방사선 손상과 내방사선 특성을 방사선 영향 M&S를 통하여 검증하였다. 그림 2는 일반 상용 0.35 μm CMOS 공정조건 기반의 논리소자 NAND 3D 모델 구조와 사용된 재료, 다수 캐리어의 도핑 상태를 나타내고 있으며, 단위소자의 사이즈는 n-MOSFET 1 $\mu\text{m}/1\mu\text{m}$ (W/L), p-MOSFET 2 $\mu\text{m}/1\mu\text{m}$ (W/L)로 설정하였고 Gate oxide thickness는 8nm로 설계하였다. 도핑농도는 n-MOSFET의 경우 Body doping density 8e16/cm³, Channel doping density 1e18/cm³, Source and drain doping density 1e20/cm³이고 p-MOSFET는 Body doping density 8e16/cm³, Channel doping density 7e17/cm³, Source and drain doping density 1e20/cm³, n-well doping density 16e16/cm³ 이다.

내방사선 NAND의 3D 구조를 모델링하기 위하여 일반 NAND의 n-MOSFET를 I-gate n-MOSFET로 변형하고 확장하였다. n-MOSFET의 소스와 드레인에 인접해있으면서 방사선 유발 정공축적을 야기하는 질연산화막을 이격시키기 위하여 I-gate poly를 확장시켰으며, p+ 도핑은 축적된 정공에 의한 n+ 채널의 물리적인 특성 변화를 방지하기 위함이다. 그림 3은 모델링된 내방사선 논리소자 NAND의 3D 구조이며, 모델링에 사용된 재료, 다

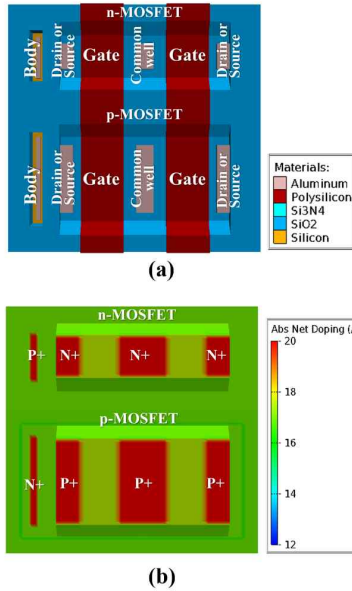


그림 2 일반 NAND 3D 모델링 결과 (a)3D 구조 (b)도핑 상태
Fig. 2 Standard NAND 3D modeling results (a) 3D structure, (b) Doping state

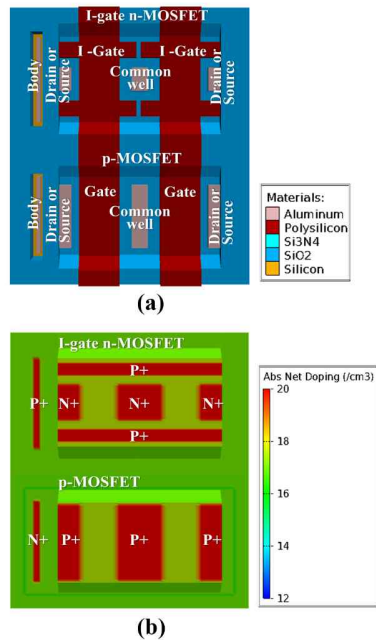


그림 3 내방사선 NAND 3D 모델링 결과 (a) 3D 구조 (b) 도핑 상태
Fig. 3 RH NAND 3D modeling results (a) 3D structure, (b) Doping state

표 1 내방사선 NAND와 일반 NAND 3D 구조의 기하학적 수치 및 도핑 농도

Table 1 Geometric figures and doping concentrations of RH NAND and standard NAND 3D Structures

Pram.	Geometric figures	
	I-gate n-MOS	p-MOS
W/L [$\mu\text{m}/\mu\text{m}$]	1/1	2/1
Thick-ness [μm]	Body	3
	Gate oxide	0.008
	Sidewall oxide	0.3
I-gate W/L [$\mu\text{m}/\mu\text{m}$]	0.4/0.95	.
Pram.	Doping concentration [cm^{-3}]	
	I-gate n-MOS	p-MOS
Source&Drain	1e20	1e20
Body	8e16	8e16
Channel	1e18	7e17
n-well	.	16e16
I-gate p+	1e20	.

수 캐리어의 도핑 상태를 나타내고 있다. 단위소자의 재료 및 사이즈, 두께는 일반 논리소자와 동일하며 n-MOSFET의 드레인인 소스 옆면의 sidewall oxide에서 발생하는 누설전류에 의한 방사선 손상을 방지하기 위하여 적용된 I-gate poly는 $0.4\mu\text{m}/0.95\mu\text{m}$ (W/L)이고 추가된 p+의 도핑농도는 $1e20/\text{cm}^3$ 이다. 일반형과 내방사선형 NAND의 3D 모델 설계를 위한 세부적인 구조 크기와 도핑 농도는 표 1에 정리하였다.

2.2.2 내방사선 NAND 방사선 영향 모델

일반 논리소자와 내방사선 논리소자의 총이온화선량 효과에 의한 방사선 유발 누설전류 경로를 모델링하기 위하여 제안된 3D 구조 모델로 부터 절연산화막층 하부에 고정전하들을 주입하고, 고정전하 주입 전 후 논리소자의 입·출력 특성 시뮬레이션을 통하여 방사선 영향을 분석하였다. 논리소자의 방사선 영향 M&S 기법은 반도체 소자의 공정제작과 방사선 시험평가 수행 전 소자의 손상정도 및 특성변화를 미리 예측함으로써 비용절감과 시간절약의 효과를 동시에 갖는다. 그림 4는 일반 상용 논리소자와 내방사선 논리소자의 누적방사선 영향 모델링 결과를 보여주는 것으로서 절연산화막에 방사선 유발 고정전하를 주입하여 소스와 n+도핑된 소스와 드레인 경계면 사이의 누설전류를 모사하였다. 모사된 누설전류 경로 형성 상태와 고정전하 도핑 농도를 확인할 수 있다.

그림 5는 그림 4의 NAND의 누적방사선 영향 모델링 결과의 AA'와 BB'단면도를 나타낸다. 일반 NAND의 경우, 그림 5 (a)와 같이 절연산화막 경계면에서 누적방사선에 의한 고정전하는 채널을 형성하는 소스와 드레인의 n+에 직접적으로 영향을 주기 때문에 누설전류가 발생할 수 있는 구조이고 고정전하의 도핑농도가 높을수록 누설전류는 증가할 것이다.

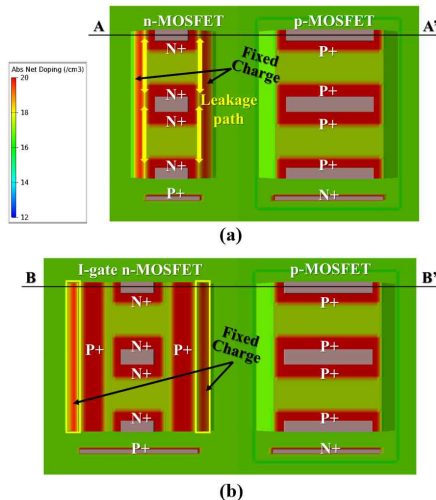


그림 4 방사선 영향 3D 모델링 결과 (a) 일반 NAND (b) 내방사선 NAND
 Fig. 4 Radiation effect 3D modeling results (a) standard NAND, (b) RH NAND

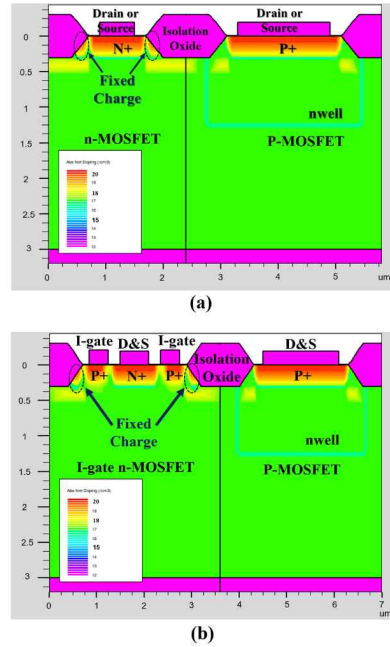


그림 5 방사선 영향 3D 모델링 결과 (a) 일반 NAND의 AA'단면도 (b) 내방사선 NAND의 BB'단면도
 Fig. 5 Radiation effect 3D modeling results (a) Cross section of AA' of standard NAND, (b) Cross section of BB' of RH NAND

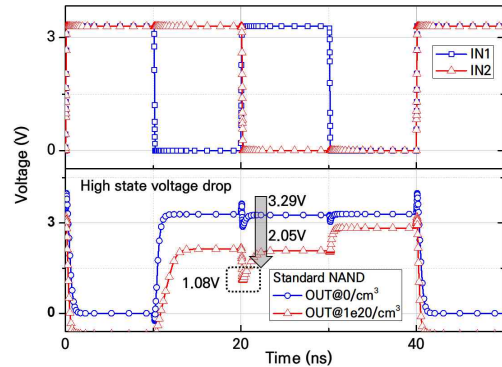


그림 6 일반 NAND의 방사선 영향 시뮬레이션 결과
 Fig. 6 Radiation effect simulation result of standard NAND

그러나, 그림 5(b)의 내방사선 NAND는 I-gate poly를 이용하여 절연산화막이 형성되는 영역을 이격시키고 p+도핑을 통하여 고정전하와 소스와 드레인의 n+를 완전히 분리시켰기 때문에 n+영역을 독립적으로 보호하였다. 그러므로, 고정전하가 증가하더라도 소자 특성에 손상을 미치지 못하도록 설계되었다.

2.2.3. 내방사선 NAND의 방사선 영향 시뮬레이션

그림 6은 방사선 영향 모델에 대한 일반 NAND의 시뮬레이션

결과로 방사선 영향 모델링 전, 후 논리소자 NAND의 입력에 따른 출력 특성의 변화를 나타낸다. 방사선 영향을 모사하기 위한 절연산화막에 주입된 고정전하 도핑 농도는 $1e20/cm^3$ 이고, 기능검증을 위한 바이어스는 공급전압 3.3V이며, 입력은 주기가 다른 펄스신호를 인가하였다. NAND의 입·출력 특성은 방사선 영향 모사 고정전하 인가 전 정상 동작이 확인되었고, 고정전하 인가 후 누설전류로 인하여 출력의 High 레벨 전압이 하강하여 논리상태(High 레벨인지 Low 레벨인지)를 구분하지 못하는 Unknown 상태(3.3V 기준 2.4V 이하)에 빠지는 것을 확인할 수 있다. 게다가, NAND는 방사선에 취약한 n-MOSFET이 직렬 연결되어 입력 논리상태에 따라 누설전류가 변화하는 것을 확인하였다. 이처럼 3D M&S를 통한 논리소자의 방사선 특성을 검증한 결과, 일반 논리소자의 방사선 손상으로 인한 누설전류의 양은 다르지만 회로 전체의 오동작이나 데이터 오류 등의 피해를 유발할 수 있다고 판단된다.

그림 7은 내방사선 NAND의 기능검증 및 방사선 영향 시뮬레이션 결과를 나타내며 인가된 고정전하 도핑 농도 및 바이어스와 입력신호는 기본 논리소자의 M&S 조건과 동일하다. 내방사선 논리소자 NAND의 입·출력 특성은 고정전하를 인가하기 전 로직으로써 정상 동작이 확인되었고, 내방사선 NAND는 누설전류 경로를 차단하기 위하여 레이아웃 변형기법이 사용되었기 때문에 고정전하 인가 후에도 출력의 high 레벨 전압의 하강이 발생하지 않으며, 방사선 유발 고정전하 인가 전과 동일한 입·출력 특성을 결과를 확인할 수 있다. 그러므로 제안된 내방사선 NAND 게이트는 방사선 영향 M&S 기법을 통하여 TID 효과에 대한 내방사선 특성을 미리 예측할 수 있다.

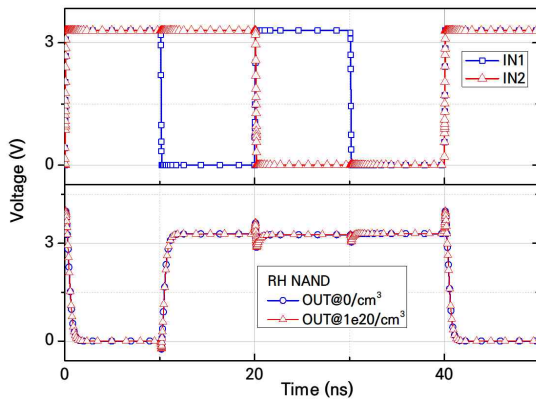


그림 7 내방사선 NAND의 방사선 영향 시뮬레이션 결과
Fig. 7 Radiation effect simulation result of RH NAND

2.3. 내방사선 디지털 논리회로 방사선 영향 M&S

2.3.1. 내방사선 NAND형 D-래치 3D 모델 설계

앞서 설계되고 내방사선 특성이 예측된 내방사선 NAND를 이용하여 디지털 논리회로 D-래치를 구성하였다. 그림 8은 그 회로도도를 나타내고 있으며 일반 NAND로 구성된 D-래치의 방사선

손상을 확인하고 내방사선 NAND로 구성된 D-래치의 내방사선 특성을 검증하기 위하여 3D 구조 모델을 설계하였다. 그림 9 (a)는 일반형 (b)는 내방사선형 D-래치 3D 모델을 나타내며 4개의 NAND 사이즈 및 도핑상태는 내방사선 NAND M&S에서 사용된 조건과 동일하다.

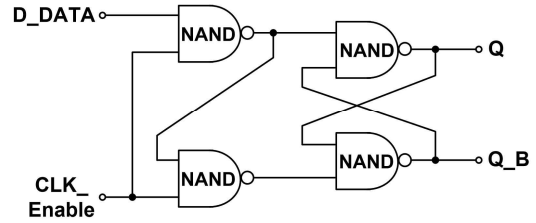


그림 8 방사선 영향 M&S를 위한 D-래치 회로도
Fig. 8 D-latch circuit for radiation effect M&S

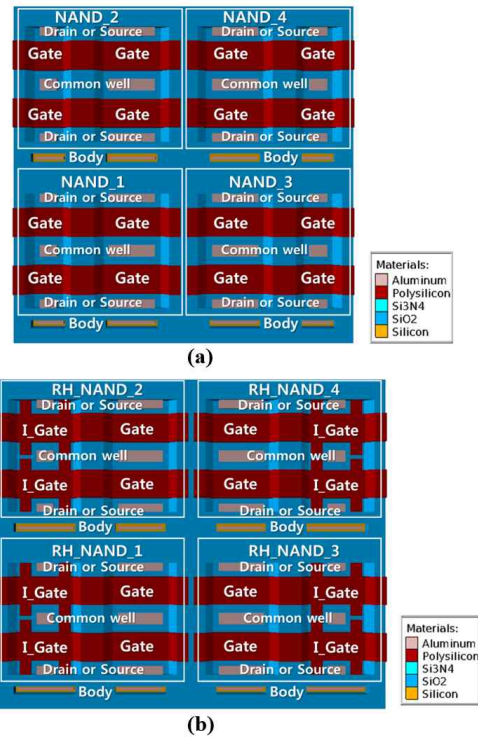


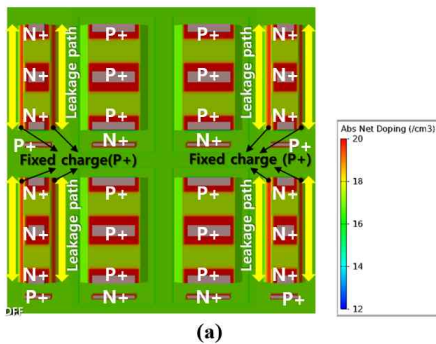
그림 9 D-래치 3D 모델링 결과 (a)일반형, (b)내방사선형
Fig. 9 D-latch 3D modeling results (a)standard type, (b)RH type

2.3.2. 내방사선 D-래치 방사선 영향 M&S

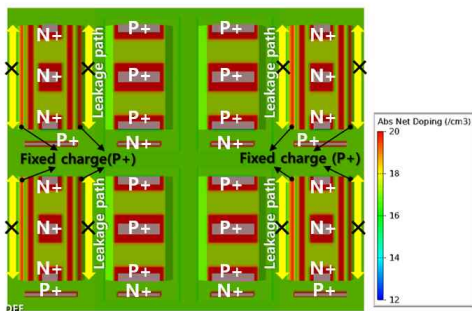
D-래치의 3D 구조에 대한 방사선 특성 검증을 위하여 방사선 영향 M&S 기법을 적용하였다. 그림 10의 방사선 영향 모델은 TID 환경에서 가장 취약한 부분, 즉 n형 MOSFET의 n+영역(드레인과 소스)과 절연산화막 사이 경계면에 방사선 유발 고정전하

를 주입하는 것으로 누적되는 방사선량은 주입되는 고정전하의 농도로 모사가 가능하다. 본 논문에서는 극한 방사선 환경을 모사하기 위하여 고정전하의 농도를 최대 $1e20/cm^3$ 까지 주입하였다. 이와 같은 모사기법은 방사선 특성검증 조사실험의 시설이용 시간과 비용, 안전 등 많은 제약조건을 회피할 수 있으며 누적방사선에 노출된 소자의 특성을 미리 예측할 수 있기 때문에 내방사선 소자 개발에 효율적인 방법이다.

방사선 유발 고정전하를 주입한 상태에서 D-래치의 전기적 특성 시뮬레이션을 수행하였다. 각각의 바이어스는 공급전압 DC 3.3V이고 클럭(CLK) 주파수 12.5MHz, 입력(D_DATA) 주파수 5MHz의 펄스신호를 인가하였다. 그 결과는 그림 11에 나타나며 (a)와 같이 일반형 D-래치는 고정전하 인가 전 정상동작이 확인되었으나, 인가 후 누설전류로 인하여 출력 high 레벨 전압은 1.18V 하강하여 unknown 상태가 되었으며 데이터 오류가 확인됨으로써 클럭 high 상태에서 출력이 입력을 반영하는 D-래치 고유의 특성에 문제가 발생하였다. 이러한 데이터 오류는 고속 동작을 요구하는 ICs에서 더 빈번하게 발생될 우려가 있기 때문에 방사선 환경 내 클럭 주파수의 속도를 제한할 수밖에 없다. 그러나 (b)의 내방사선 D-래치는 고정전하 인가 전 후 전압의 하강이나 데이터 오류가 발생하지 않고 고유 특성을 그대로 유지하였다. 이러한 결과는 디지털 회로가 방사선 환경에서 TID 효과로부터 방사선 손상을 회피하고 정상적인 기능을 수행하며 고속 동작에서도 문제없이 사용가능 할 것으로 예측된다.



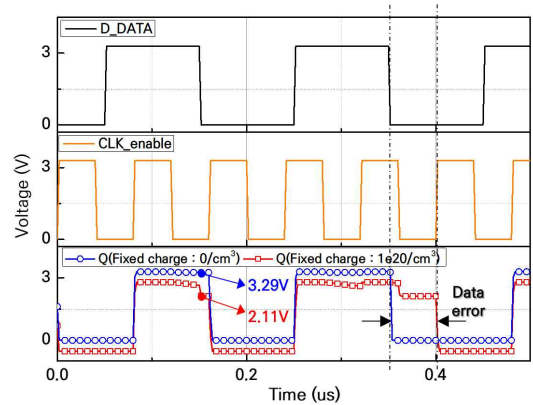
(a)



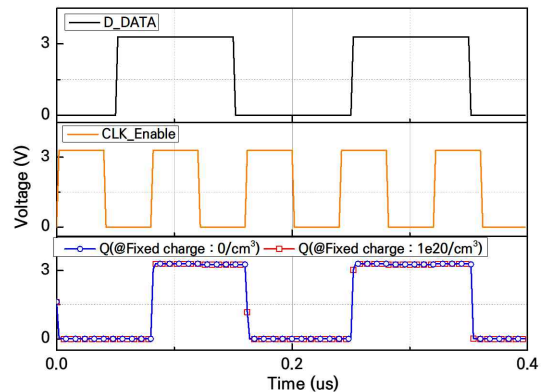
(b)

그림 10 D-래치 방사선 영향 모델링 결과 (a)일반형, (b)내방사선형

Fig. 10 D-latch radiation effect modeling results (a)standard type, (b)RH type



(a)



(b)

그림 11 D-래치 방사선 영향 시뮬레이션 결과 (a) 일반형 (b) 내방사선형

Fig. 11 D-latch radiation effect simulation results (a) standard type, (b) RH type

3. 결론

기존 단위소자의 내방사선 기술들은 회로설계에서 한계점으로 언급되는 복잡한 사이즈 모델링, 최소 사이즈 비율의 제약 등의 이유로 논리소자의 단위 셀 설계가 힘들다. 본 논문에서 제안하는 내방사선 논리소자는 일반 CMOS 공정에서 n-MOSFET의 레이어를 그대로 보존한 상태로 구조적 변형을 이루었기 때문에 기존 내방사선 기술의 구조적 단점을 개선하고 채널 사이즈가 변하지 않는다는 장점이 있다. 이로 인하여 단위 셀 기반 내방사선 논리소자 설계가 가능하며 나아가 내방사선 IC를 설계하는데 편리하게 사용될 수 있기 때문에 설계에 요구되는 비용과 시간 측면에서 기존 단위소자 내방사선 기술을 이용한 논리소자 보다 효율적인 내방사선 모델이 될 것이다.

본 논문에서는 $0.35\mu m$ CMOS LOCOS 공정에서 발생할 수 있는 방사선 유발 누설전류를 3D 방사선 영향 M&S 기법 통하여

모사하였으며 일반 NAND의 방사선 손상을 확인하고 제안된 내방사선 NAND의 내방사선 특성이 검증되었다. 이 결과를 기반으로 디지털 논리회로 D-래치의 내방사선 모델을 설계하였으며 일반 D-래치의 전압 강하와 데이터 오류 등의 방사선 손상을 분석하고 내방사선 D-래치의 내방사선 특성을 검증함으로써 최소 단위소자부터 논리소자, 디지털 논리회로에 이르기 까지 내방사선화를 달성하였다. 이러한 결과는 내방사선 ICs의 개발 가능성 확보에 기여할 것이며 누적방사선 환경용 전자시스템의 내방사선화에 크게 이바지할 것으로 기대된다.

감사의 글

이 논문은 2017년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(원자력연구개발사업, NRF-2017M2A8A4017221)

References

[1] A. S. Sedra and K. C. Smith, Microelectronic Circuits, 5th ed. New York: Oxford, 2004.
 [2] H. M. Hashemian, "Maintenance of Process Instrumentation in Nuclear Power Plants," Springer Press, 2006.
 [3] G. C. Messenger and M. S. Ash, "The Effects of Radiation On Electronic Systems," Springer Press, 1992.
 [4] T. R. Oldham and F. B. Mclean, "Total Ionizing Dose Effects in MOS Oxides and Devices," IEEE Trans. Nul. Sci., vol. 50, no. 3, pp. 483-496, Jun. 2003.
 [5] H. J. Barnaby, "Total-Ionizing-Dose Effects in Modern CMOS Technologies," IEEE Trans. Nul. Sci., vol. 53, no. 6, pp. 3103-3120, Dec. 2006.
 [6] T. R. Oldham and A. J. Lelis, "Post-Irradiation Effects in Field Oxide Isolation structures," IEEE Trans. Nul. Sci., vol. 34, no. 6, pp. 1184-1189, Dec. 1987.
 [7] D. M. Fleetwood, P. S. Winokur, R. A. Reber, T. L. Meisenheimer, J. R. Schwank, M. R. Shaneyfelt and L. C. Riewe, "Effects of oxide traps, interface traps, and 'border traps' on metal-oxide-semiconductor devices," J. Appl. Phys., vol. 73, pp. 5058-5074, May 1993.
 [8] S. C. Oh, N. H. Lee, and H. H. Lee, "The Study of Transient Radiation Effects on Commercial Electronic Devices", Trans. KIEE, vol. 61, no. 10, pp. 1448-1453, Oct. 2012.
 [9] J. Y. Kim, N. H. Lee, H. K. Jung, S. C. Oh, "The study of radiation hardened common sensor circuits using COTS semiconductor devices for the nuclear power plant",

Trans. KIEE, vol. 63, no. 9, pp. 1248- 1252, Sep. 2014.
 [10] W. J. Snoeys, "A New NMOS Layout Structure for Radiation Tolerance," IEEE Trans. Nul. Sci., vol. 49, no. 4, Aug. 2002.
 [11] Li Chen and D. M. Gingrich, "Study of N-Channel MOSFETs with an Enclosed-Gate Layout in a 0.18um CMOS technology," IEEE Trans. Nul. Sci., vol. 52, no. 4, pp. 861-867, Oct. 2005.
 [12] M. S. Lee and H. C. Lee, "Dummy Gate-Assisted n-MOSFET Layout for a Radiation-Tolerant Integrated Circuit", IEEE Trans. Nul. Sci., vol. 60, no. 4, pp. 3084-3091, Aug. 2013.
 [13] Y. Li et al. "Anomalous radiation effects in fully depleted SOI MOSFETs fabricated on SIMOX," IEEE Trans. Nucl. Sci., vol. 48, pp. 2146-2151, Dec. 2001.
 [14] M. W. Lee, N. H. Lee, S. H. Jeong, S. M. Kim and S. I. Cho, "Implementation of a radiation-hardened I-gate n-MOSFET and analysis of its TID(Total Ionizing Dose) effects" Journal of Electrical Engineering & Technology, vol. 12, pp. 1619-1626, Jun. 2017.
 [15] N. Saks, M. Ancona and J. Modolo, "Generation of interface states by ionizing radiation in very thin MOS oxides," IEEE Trans. Nucl. Sci., vol. 33 no. 6, pp. 1185-1190, Nov. 1986.

저 자 소 개



이 민 응 (Min-Woong Lee)

2014년 전북대학교 전자공학과 졸업(석사).
 2014~현재 전북대학교 전자공학과 박사과정.
 한국원자력연구원 근무.
 E-mail : minwoong@kaeri.re.kr



이 남 호 (Nam-Ho Lee)

2004년 충남대학교 전기공학과 졸업(박사).
 1992년~현재 한국원자력연구원 책임연구원
 근무.
 E-mail : nhlee@kaeri.re.kr



김 종 열 (Jong-Yeol Kim)

2011년 한양대학교 전기공학과 졸업(석사).
2011년~현재 한국원자력연구원 선임연구원
근무.

E-mail : kimjr@kaeri.re.kr



조 성 익 (Seong-Ik Cho)

1994년 전북대학교 전기공학과 졸업(박사).
1996~2004년 하이닉스 반도체 근무. 2004
년~현재 전북대학교 전자공학과 교수.

E-mail : sicho@jbnu.ac.kr