

FCEV용 HDC 고효율 운전을 위한 소프트 스위칭 셀 최적 설계 방안

김소영¹, 노태원¹, 이재형¹, 안정훈¹, 이병국[†]

Optimal Design of Soft-Switching Cell for High Efficiency and High Power Density for HDC of FCEVs

So-Young Kim¹, Tae-Won Noh¹, Jaehyung Lee¹, Jung-Hoon Ahn¹, and Byoung Kuk Lee[†]

Abstract

In this study, the optimal design methods of soft-switching cell for high-voltage DC-DC converter (HDC) of fuel cell electric vehicles (FCEVs) is proposed for high efficiency and high power density. The appropriate soft-switching cell for FCEVs is chosen by analyzing the losses of HDC which adopts soft-switching cell. The proposed optimal design methods for the soft-switching cell are divided into two purposes which are improvement of efficiency and power density. Two kinds of design methods enable to improve fuel efficiency and cost, respectively. The proposed design methods are validated with the experimental results based on the specification and hardware used in actual FCEVs.

Key words: FCEV(Fuel Cell Electric Vehicles), HDC(High Voltage DC-DC Converter), PRC(Partial Resonant Converter), Optimal design method, High efficiency

1. 서 론

전 세계적 에너지 환경 문제의 심각성과 환경규제는 친환경 차량 시장의 확대를 야기하였고, ZEV(Zero Emission Vehicles)에 대한 기술경쟁은 더욱 심화되고 있다. 그중 FCEV(Fuel Cell Electric Vehicles)는 EV(Electric Vehicles) 대비 충전시간이 내연기관 차량만큼 짧고, 막대한 자본이 요구되는 전력 발전소의 추가 구축이 필요하지 않다는 장점 때문에 ZEV 시장에서 큰 성장을 이룰 것이라 예측되고 있다^[1]. 일반적으로 수소연료전지의 최적 효율 운전을 위하여 에너지 보조 역할로써 배터리를 이용하며 배터리의 충/방전 제어를 위하여 모터 구동용 인버터와 배터리 사이에 양방향 HDC(High Voltage DC-DC Converter)가 반드시 요구된다. 따라서

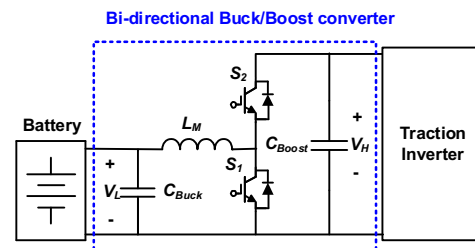


Fig. 1. Single phase Bi-directional DC-DC converter.

HDC의 고효율 운전을 위한 연구는 FCEV의 효율적인 에너지 운용 즉, 연비 개선과 직결된다.

일반적으로 FCEV용 HDC는 그림 1과 같이 고효율 운전을 위해 주로 비 절연형 구조와 충/방전 제어를 위한 양방향 동작이 가능한 N-상 양방향 buck/boost converter를 사용한다. FCEV용 HDC는 정지상태에서 100km/h까지의 가속을 위해 약 10초 동안 그림 2와 같이 최대 출력(13kW)까지의 동작을 요구하며 이는 곧 HDC가 주 운전영역(1~3kW)이 아닌 최대 출력을 감당할 수 있는 큰 정격을 가지는 소자로 설계되어야 함을 의미한다. HDC의 이러한 특징은 주 운전영역과 동일 설계 조건을 가지는 일반적인 DC-DC Converter 대비 스위칭 손실을 크게 발생시켜 주 운전영역에서의 효율

Paper number: TKPE-2018-23-3-9

Print ISSN: 1229-2214 Online ISSN: 2288-6281

[†]Corresponding author: bkleeskk@skku.edu, Dept. of Electrical Eng., Sungkyunkwan University
Tel: +82-31-299-4581 Fax: +82-31-299-4612

¹Dept. of Electrical Eng., Sungkyunkwan University
Manuscript received Jan. 31, 2018; revised Mar. 19, 2018;
accepted Apr. 6, 2018

— 본 논문은 2017년 전력전자학술대회 우수추천논문임

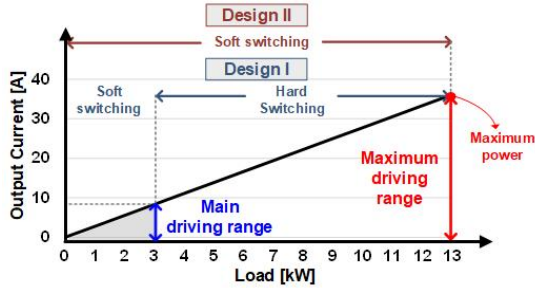


Fig. 2. Design method according to the load range.

TABLE I
OPERATING CONDITIONS AND SPECIFICATIONS OF
MAIN COMPONENTS OF HDC

Parameter	Value	Main elements
Low Voltage	V_L 200~270 [V]	SW IXXH50N6 0B3D1
High Voltage	V_H 250~450 [V]	L 550 [uH]
Main driving range	P_O 1~3 [kW]	
Maximum power	P_M 13 [kW]	C_{buck} 82 [uF]
Switching frequency	f_{sw} 20 [kHz]	C_{boost} 390 [uF]
Ripple voltage	ΔV 0.2%	

을 감소시키며 이는 곧 FCEV의 연비를 저감시키는 원인이 된다. 따라서 FCEV의 연비 개선을 위해 스위칭 손실 제거가 필수적이며, FCEV용 HDC에 적합한 소프트 스위칭 기법의 연구가 필요하다.

FCEV용 HDC는 고효율 운전을 위하여 1)배터리 충/방전을 위한 양방향 제어, 2)최대 출력을 감당할 수 있는 전류/전압 정격, 3)기존 HDC 형태에서의 변화 최소화라는 세 가지 조건을 만족해야한다. 소프트 스위칭을 위한 공진형 컨버터는 크게 부하의 전류와 전압을 공진시키는 부하 공진형 컨버터와 스위치 전압과 전류 파형의 일부분을 공진시키는 공진형 스위치 컨버터로 나뉜다^[2]. 두 종류의 컨버터 모두 소프트 스위칭을 통해 스위칭 손실을 저감시킬 수 있으나 부하 공진형 컨버터의 경우, 배터리 충/방전을 위한 양방향 제어나 기존 HDC의 형태를 유지하는 조건을 충족시키지 못한다. 반면에 공진형 스위치 컨버터의 경우, 기존 양방향 HDC에 공진을 위한 소자를 추가함으로써 소프트 스위칭을 하며 양방향 제어 또한 가능하므로 FCEV용 HDC로 적합하다. 하지만 공진형 스위치 컨버터는 소프트 스위칭을 통해 저감한 스위칭 손실 대비 공진을 위한 인덕터, 커패시터, 스위치에 의해 인덕터의 동손 및 철손, 도통 손실 및 스위칭 손실 등의 추가적인 손실이 발생하며 기존 HDC 대비 오히려 효율이 감소할 수 있는 문제를 가진다. 이를 방지하기 위해서는 공진을 위해 사용되는 소자로 인한 추가적인 손실 요소 분석하여 소프트 스위칭 네트워크를 최적 설계하는 것이 필요하다.

따라서 본 논문에서는 손실 분석을 통해 HDC에 적합한 소프트 스위칭 회로를 선정하고 표 1의 실제 FCEV 동작 조건을 기반으로 HDC의 소프트 스위칭 네트워크

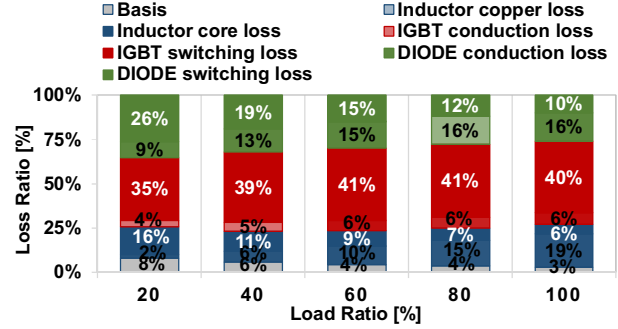


Fig. 3. Result of hard switching loss analysis.

의 최적 설계방안을 제시한다. 제안하는 최적 설계 방안은 효율과 전력밀도 개선 목적에 따라 그림 2와 같이 두 가지로 구분하여 최적 설계를 진행한다. Design I의 경우, 주 운전영역(1~3kW)에 최적화된 설계를 진행하여 소프트 스위칭을 동작시키므로 주 운전영역에서의 효율을 최대화할 수 있다. Design II의 경우, 최대 출력(13kW)을 감당할 수 있도록 설계를 진행하여 전 부하영역(1~13kW)에서 소프트 스위칭을 동작시키고, 스위칭 주파수(f_{sw})를 상향시킴으로써 전력밀도의 상승을 고려한다. 본 논문의 타당성은 실제 FCEV에 적용되는 HDC를 기반으로 손실 분석 및 실험 비교를 통해 검증한다.

2. 소프트 스위칭 토폴로지 선정

2.1 하드스위칭 모드 손실 분석

본 절에서는 그림 1과 같이 기존 단상 양방향 buck/boost converter와 실제 FCEV용 HDC의 구동 조건을 나타내는 표 1을 기반으로 손실 분석을 하여 소프트 스위칭을 통한 HDC의 개선 효과를 판단하기로 한다^[3]. 메인 스위치 IGBT로 인한 손실은 식 (1)과 같이 도통 손실 및 스위칭 손실로 구성되어있으며 V_{CE} 는 IGBT 도통시, IGBT의 등가전압을 의미하고 $i_{C,avg}$ 는 IGBT로 흐르는 평균 전류를 의미한다. 스위칭 손실은 스위치의 온/오프 시 전류 상승시간(t_{ri})와 전압 하강시간(t_{fv})를 이용해 계산한다.

$$P_{IGBT} = P_{IGBT,cond} + P_{IGBT,sw} = V_{CE} i_{C,avg} + f_{sw} \left(\int_0^{t_{ri}+t_{fv}} v_{ce}(t) i_c(t) dt + \int_0^{t_{rv}+t_{fi}} v_{ce}(t) i_c(t) dt \right) \quad (1)$$

다이오드로 인한 손실 역시 도통 손실($P_{Diode,cond}$)과 스위칭 손실($P_{Diode,sw}$)로 나누어진다. 도통 손실의 경우, 다이오드의 문턱 전압(V_{th}), 순방향 전류(I_F), 순방향 저항($R_{ds(on)}$)을 이용하여 계산한다. 스위칭 손실의 경우, 다이오드의 역방향 전압(V_R), 최대 역회복 전류(I_{RRM}), 역회복 전압과 전류의 곱이 음수가 되는 영역(t_B)을 고려하여 식 (2)와 같이 계산한다.

$$P_{Diode} = P_{Diode,cond} + P_{Diode,sw} = V_{th} I_{F,avg} + R_{ds(on)} I_{F,rms}^2 + (V_R I_{RRM} t_B) / (6 \times f_{sw}) \quad (2)$$

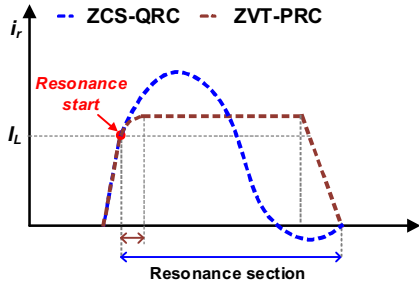


Fig. 4. Waveform Comparison of ZCS-QRC and ZVT-PRC.

인덕터로 인한 동손과 철손은 식 (3), (4)를 이용해 구할 수 있다. 식 (3)의 k_1, k_2, k_3 는 제조사에 따라 그 값이 다르며 통상적으로 제공되는 값이다. 식 (4)의 N 은 인덕터 권선의 총 턴 수, A 는 코어의 단면적을 나타낸다. 커패시터의 ESR(Equivalent Series Resistance)로 인한 손실은 식 (5)을 이용해 계산한다.

$$P_L = P_{L,cond} + P_{L,core} = I_{L,s}^2 R_{dc} + k_1 B_{max}^{k_2} f_{sw}^{k_3} V_L \quad (3)$$

$$B_{max} = \Delta B/2 = \frac{L \times \Delta I \times 100}{2 \times N \times A} \quad (4)$$

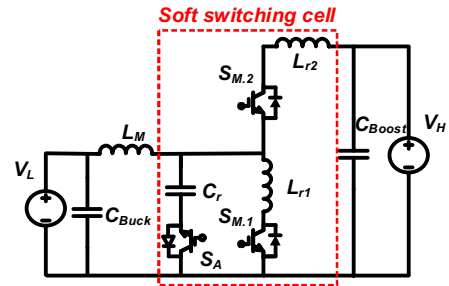
$$P_C = I_{c,rms}^2 \times ESR \quad (5)$$

그림 3은 기존 단상 양방향 buck/boost converter의 주 운전영역에서의 전체 손실을 분석한 자료로, 전체 손실 중 스위칭 손실이 평균 65.40%로 비중이 극명하게 드러나는 것을 확인할 수 있다. 따라서, FCEV용 HDC의 효율 증대를 위해서 스위칭 손실을 제거하는 소프트 스위칭 회로가 설계되어야 함을 확신할 수 있다.

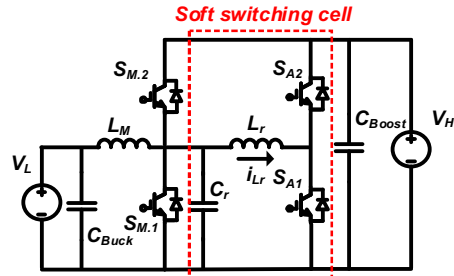
2.2 FCEV용 HDC 소프트 스위칭 토폴로지 선정

소프트 스위칭 적용을 통한 효율 및 전력밀도 개선 효과를 살펴보기 위해 FCEV용 HDC에 가장 적합한 소프트 스위칭 방식 선정이 필요하다. 기존에 많은 연구에서 진행되었던 공진형 스위치 컨버터 중에서, 그림 4와 같이 크게 정현파의 반주기 이상을 공진 현상으로 이용하는 QRC(Quasi Resonant Circuit)와 스위칭 전후에 공진 현상을 짧게 이용하는 PRC(Partial Resonant Circuit)는 양방향 제어가 가능하며 기존 HDC에서 구조 변동이 적도록 설계가 가능하므로 FCEV용 HDC에 적합하다^{[4]-[6]}.

그림 5(a), (b)는 기존 HDC에 QRC와 PRC를 구성하기 위해 인덕터, 커패시터, 스위치를 추가한 토폴로지이다. 그림 5(a)의 ZCS(Zero Current Switching)-QRC는 기존 HDC에 S_A, C_r, L_{r1}, L_{r2} 를 추가 하였으며, 공진을 위해 추가된 스위치(S_A)가 소프트 스위칭 동작을 하기 때문에 추가 손실이 거의 없다는 장점이 존재한다. 하지만 소프트 스위칭을 위해 반주기 정현파 이상의 공진 전류가 필요하기 때문에 공진 전류의 RMS(Root Mean Square)값과 리플값이 커지므로 인덕터의 철손을 높이고 큰 정격의 소자 사용이 필수적이다. 반면에 그림



(a) Bi-directional ZCS-QRC



(b) Bi-directional ZVT-PRC

Fig. 5. Comparison of ZCS-QRC and ZVT-PRC topology.

5(b)의 ZVT(Zero Voltage Transition)-PRC는 기존 HDC에 S_{A1}, S_{A2}, L_r, C_r 을 추가한 회로로 짧은 공진 주기로 인하여 QRC 대비 RMS값과 리플값이 거의 증가하지 않는다는 장점을 가진다. 하지만 보조 스위치(S_{A1})로 인한 하드스위칭이 발생하므로 스위칭 손실을 고려해야 하는 단점이 존재한다. 따라서, FCEV용 HDC에 적합한 토폴로지는 추가된 소자로 인해 발생하는 손실을 분석하여 전체 시스템의 효율 개선 정도를 기준으로 최적의 토폴로지가 선정되어야 한다. 그림 6(a), (b)는 기존 HDC에서 발생한 손실이 100%일 경우 ZCS-QRC와 ZVT-PRC의 기존 HDC에 존재하던 소자와 추가된 소자의 손실(Additional device loss)을 분석한 자료이다. ZCS-QRC의 경우, 스위치 소자로 인한 스위칭 손실은 제거되지만 공진 전류의 상승으로 인해 공진 인덕터(L_{r1}, L_{r2})의 동손 및 철손이 크게 상승하기 때문에 소프트 스위칭을 통해 저감된 손실 대비 추가된 소자로 인한 손실이 커져 기존 HDC보다 손실이 많이 발생하는 것으로 확인하였다. 반면에 ZVT-PRC는 공진 전류의 리플값이 크지 않으므로 공진 인덕터의 동손 및 철손의 발생 정도가 미미하다. 따라서 추가 손실을 고려한 전체적인 손실은 기존 하드스위칭 HDC 대비 현저하게 줄어들었음을 확인하였다. 결론적으로, 고효율을 위한 FCEV의 HDC용 소프트 스위칭 토폴로지는 ZVT-PRC로 선정하였다.

3. 소프트 스위칭 셀 설계

3.1 i_L 의 영향을 받는 손실 요소 분석

본 절에서는 본문 2에서 선정된 양방향 ZVT-PRC를 설계하는 과정에 대해 설명한다. 선정된 ZVT-PRC의

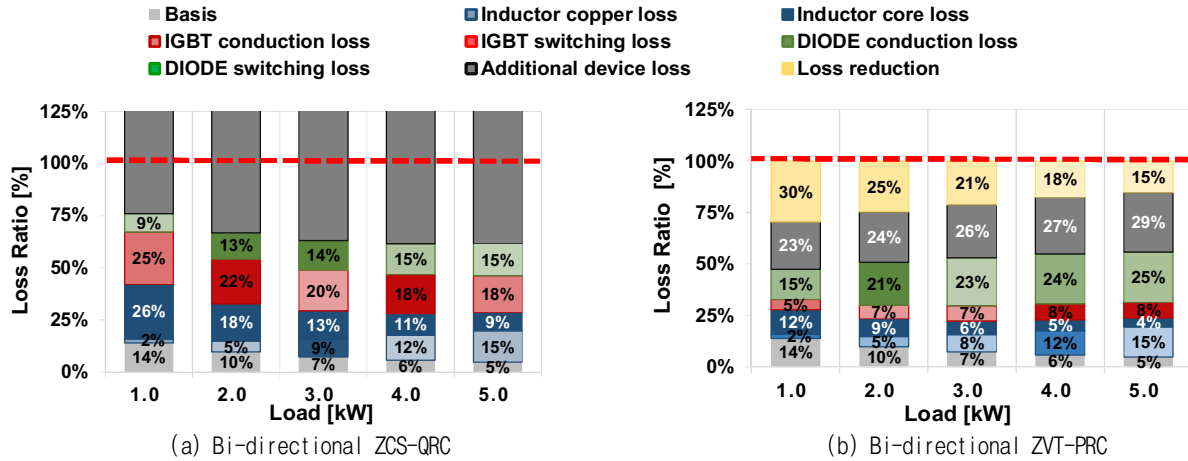
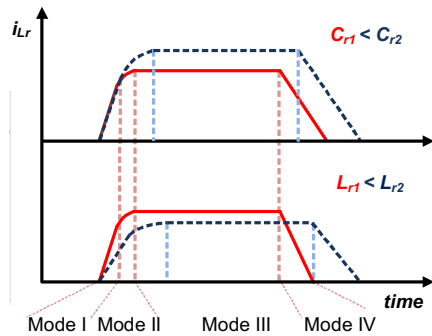


Fig. 6. Loss analysis of each elements.

Fig. 7. Variation of i_{Lr} according to C_r and L_r .

추가적인 손실은 그림 7과 같이 L_r 과 C_r 에 의해 크기와 모양이 결정되는 L_r 에 흐르는 전류(i_{Lr})의 영향을 지배적으로 받는다^[7]. 그림 8과 같이 S_{AI} 턴 온 시, i_{Lr} 은 L_r 에 의해 결정되는 기울기를 가지고 선형적으로 증가한다(Mode I). 후에 S_{MI} 의 다이오드로 흐르던 전류가 0이 되는 순간 ZVS/ZCS 턴 오프 하며, L_r 과 C_r 은 식 (6)와 같이 정현파의 1/4주기 동안 공진을 하게 되고 S_{MI} 의 전압은 공진으로 인해 ZVS(Zero Voltage Switching) 턴 온 동작을 한다(Mode II).

$$I_{Lr}(t) (@ Mode II) = I_L + \frac{V_o}{Z_r} \sin[\omega_r(t_{Mode II})] \quad (6)$$

공진이 끝난 후, i_{Lr} 은 식 (7)과 같이 L_r 과 C_r 에 의한 공진 임피던스(Z_r)의 크기에 따라 결정되는 최대값($i_{Lr,max}$)을 유지하며 S_{MI} , S_{AI} , L_r 로 구성된 폐회로를 환류한다(Mode III).

$$I_{Lr,max} = I_L + \frac{V_o}{Z_r} \quad (Z_r = \sqrt{\frac{C_r}{L_r}}) \quad (7)$$

S_{MI} 이 턴 온 된 후 S_{AI} 를 턴 오프 시키면 환류구간이 끝나고, i_{Lr} 은 L_r 에 의해 결정된 기울기를 가지고 선형적으로 감소하게 된다(Mode IV).

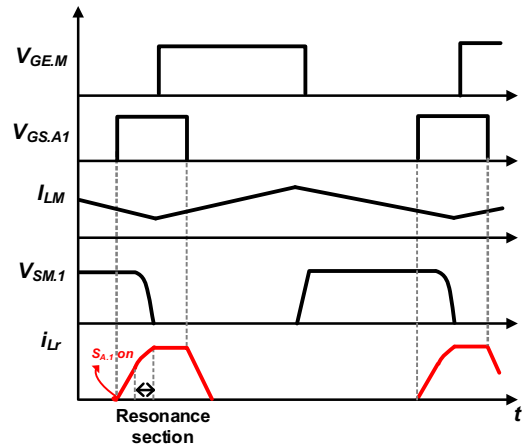


Fig. 8. Key waveforms of the HDC during soft switching.

결론적으로, $i_{Lr,max}$ 와 각 모드 별로 i_{Lr} 이 소자에 도통하는 시간은 L_r 과 C_r 에 따라 상이하므로, 각 모드 구간에 따른 소자의 손실 분석을 통해 L_r , C_r 을 설계해야 한다. 따라서, 표 2는 L_r 과 C_r 의 변화에 따라 각 소자에 영향을 미치는 i_{Lr} 의 변화 양상을 정리하였다. 손실을 최소화시킬 수 있는 L_r 과 C_r 의 최적 값을 도출하기 위해 식 (1)~(5)를 이용하여 손실을 분석한다. 이때, Design I의 경우 최대 효율을 도출해 낼 수 있는 입력 240V 출력 360V 조건 하에 설계하며 Design II의 경우, 주파수 상향 제한 정도를 판단하기 위해 입력출력비가 가장 큰 입력 200V 출력 450V 조건을 이용해 설계 및 실험을 진행하도록 한다.

3.2 C_r 의 영향을 받는 손실 분석

추가적으로, L_r 의 변화와는 상관없이 C_r 에 의한 고려 사항이 존재한다. 먼저, 주 운전영역(1~3kW) 이외의 영역에서는 하드스위칭 기법을 사용하는 Design I 설계 시, S_{MI} 턴 온 시점에서 C_r 에 충전된 전류가 방전되면서 그림 9(a)와 같이 S_{MI} 과 C_r 사이의 기생 인덕턴스($L_{par.}$)과 기생 저항($R_{par.}$)에 의해서 공진하는 피크성 전류가 생성되게 된다. 이는 회로 내 소자의 전류 스트레스로

TABLE II
LOSS FACTOR ANALYSIS ACCORDING TO L_r AND C_r

Loss type		$L_r \uparrow$	$C_r \uparrow$
L_r	Copper loss	$I_{Lr,max} \downarrow$	$I_{Lr,max} \uparrow$
	Core loss	Mode I, II \uparrow	Mode I, II \uparrow
D_{M1}	Conduction loss	Constant Mode III	Constant Mode III
	Switching loss	Mode IV \uparrow (falling slope \downarrow)	Mode IV \uparrow (Constant falling slope)
S_{A1} & D_{A1}	Conduction loss	Mode IV \uparrow (falling slope \downarrow)	Mode IV \uparrow (Constant falling slope)
	Switching loss	Mode I, II \uparrow	Mode I, II \uparrow

인한 소자 소손 및 손실을 증가시켜 효율을 저감시키는 원인이 된다. 식 (8)은 C_r 에 의한 공진 전류의 최대값 ($I_{Cr,peak}$)을 나타내며, C_r 을 감소시킬수록 S_{M1} 이 턴 오프 시에 C_r 내 충전된 전류가 방전되면서 공진으로 발생하는 피크 전류를 감소시켜 효율 저감요소를 감소시킬 수 있다.

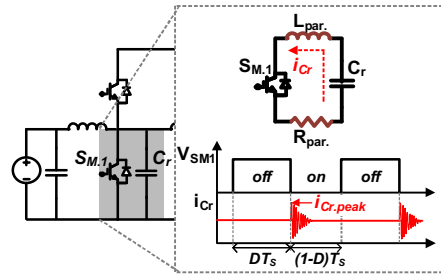
$$I_{Cr,peak} = V_{Cr, @SI = OFF} \times \sqrt{\frac{C_r}{L_{par.}}} \quad (8)$$

반면, C_r 이 커지면 그림 9(b)와 같이 S_{M1} 턴 오프 시에 전압 기울기를 감소되어 ZVS 턴 오프를 가능하게 하므로 턴 오프 손실을 극소화 할 수 있다. 따라서 Design I에서의 C_r 설계는 S_{M1} 의 턴 오프 손실과 $I_{Cr,peak}$ 로 인한 소자 스트레스 사이의 득실 관계 고려하는 것이 필요하며, 턴 오프 손실과 $I_{Cr,peak}$ 중 한가지의 손실 요소가 극대화되는 것을 방지하기 위해 C_r 을 선정함에 있어 제한 범위를 설정해 주는 것이 중요하다. 결과적으로 본 설계에서는 그림 9(c)와 같이, $I_{Cr,peak}$ 와 턴 오프 손실의 관계를 도사함으로써 최종적인 C_r 제한 범위를 3~8nF로 선정하였으며, 이 제한 범위는 S_{M1} 의 피크 전류의 허용 범위에 따라 유동적으로 선정할 수 있다.

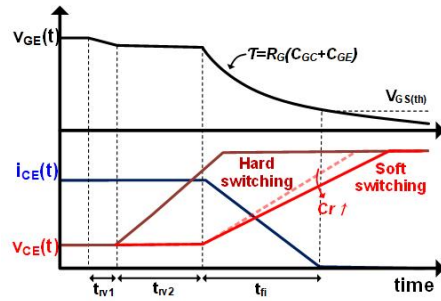
3.3 L_r 재질에 따른 최종 L_r , C_r , 스위치 선정

본 논문에서는 최적화된 L_r 을 선정하기 위해 코어 재질에 따른 손실 분석을 진행하였다. 코어 재질은 분말 자성체 중 High-flux와 Ferrite를 고려하였다. High-flux는 코어 손실이 작고 직류 중첩 특성이 우수하지만 가격이 다소 비싼 단점을 가지고 있다. 반면 Ferrite는 일반적으로 High-flux 대비 코어 손실 특성이 우수하고 직류 중첩 특성은 떨어지는 특징을 갖지만, 가격이 저렴하다는 장점을 가진다^[8]. 따라서 코어 별 손실 분석을 통해 손실 특성이 가장 좋은 코어를 선정하기로 한다.

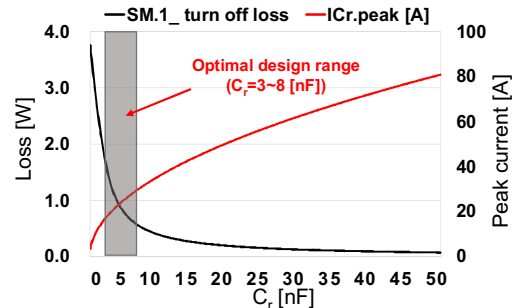
그림 10(a), (b)는 High-flux 코어를 이용하여 기존 HDC 대비 ZVT-PRC의 추가적인 손실 분석 결과로 코어의 저장 가능 에너지에 따라 창성사의 High-flux 코어를



(a) $I_{Cr,peak}$ due to the parasitic elements



(b) Waveforms of S_{M1} at turn off switching



(c) Turn off loss and $I_{Cr,peak}$ according to C_r

Fig. 9. Considerations of C_r design.

크기 별로 분류하여 손실을 구하였다. 손실 분석을 위해 Design I의 경우 CH203부터 CH330까지, Design II는 CH270부터 CH610까지 분석에 고려하였다. Design I의 경우, $L_r = 42\mu\text{H}$, $C_r = 4.6\text{nF}$ 일 때 최저손실은 5.91W이며 이때 사용된 코어는 CH330이다. 반면, Design II는 CH468을 사용한 $L_r = 13\mu\text{H}$, $C_r = 13\text{nF}$ 일 때 최저손실이 77.92W이다. 또한, 그림 11(a), (b)는 Ferrite 코어를 이용하여 추가적인 손실을 분석한 자료이다. 손실 분석에 사용된 L_r 의 코어는 TDK사의 PC95 계열을 이용하였으며 사이즈의 경우 Design I은 PQ20부터 PQ32까지, Design II는 PQ40부터 PQ60까지 고려하였다. Design I의 경우 PC95PQ32 코어를 사용하였으며 $L_r = 47\mu\text{H}$, $C_r = 4.9\text{nF}$ 일 때 최저손실은 5.63W이다. Design II의 경우 PC95PQ60 코어를 사용하였고 $L_r = 21\mu\text{H}$, $C_r = 16\text{nF}$ 일 때 최저손실이 71.07W이다. 결과적으로, Ferrite 코어 사용 시 High-flux 대비 Design I에서 0.28W(4.37%) 만큼 감소하였고, Design II에서는 6.85W(8.79%)만큼 감소하였다. 따라서, HDC용 L_r 의 코어 재질은 Ferrite로 선정한다.

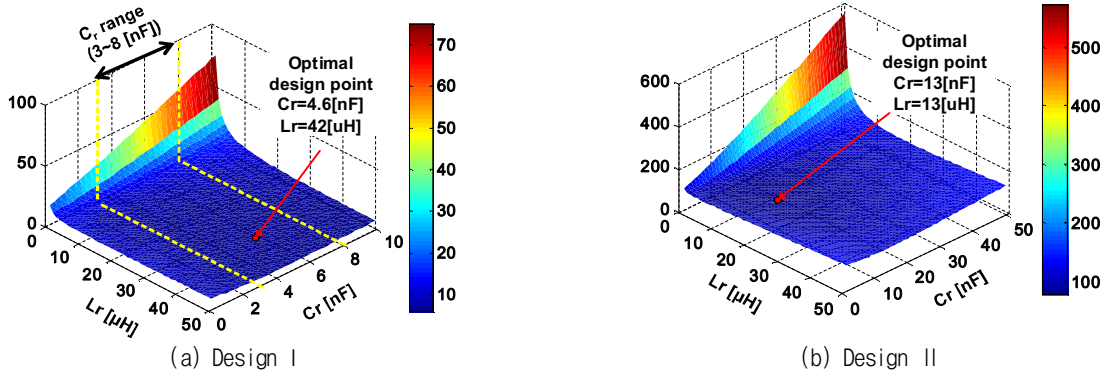


Fig. 10. Additional loss analysis according to the variation of L_r and C_r . (High-flux)

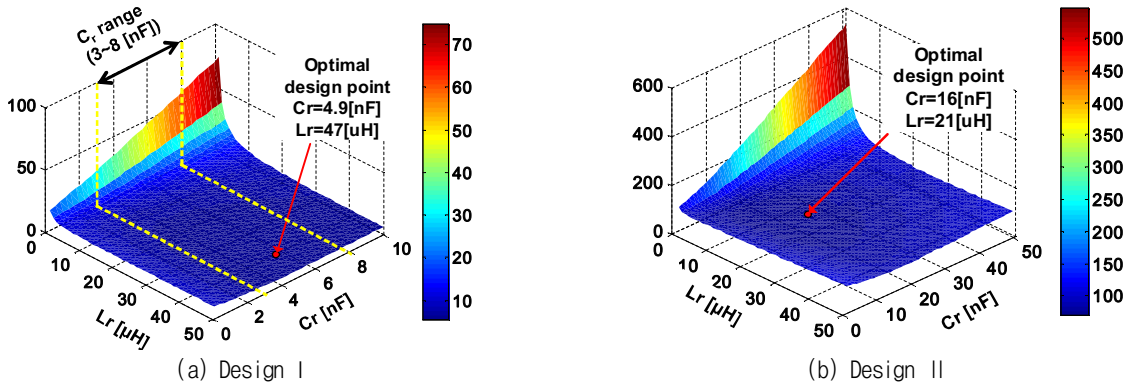


Fig. 11. Additional loss analysis according to the variation of L_r and C_r . (Ferrite)

3.4 최종 소프트 스위칭 셀 설계 결과

최종적으로 Design I, II의 최적 설계는 코어 재질 중 철손과 가격 측면에서 유리한 Ferrite 재질의 코어와 ESR이 낮고 정격전압이 높은 MLCC(Multilayer Ceramic Capacitor)를 이용하였다. Design I의 경우, $L_r=47\mu\text{H}$ 과 $C_r=4.9\text{nF}$, Design II의 경우, $L_r=21\mu\text{H}$ 과 $C_r=16\text{nF}$ 을 선정하였다. 보조 공진용 스위치(S_{A1} , S_{A2})의 경우, L_r 과 C_r 이 선정된 후에 결정된 i_{Lr} 을 이용하며, 설계 방법에 따라 소프트 스위칭 영역이 동작하는 최대 부하 지점에서의 전압과 전류를 감당할 수 있는 범위 내에서 선정되어야 한다. 또한, 고전압 영역에서도 Si-MOSFET 대비 $R_{DS(on)}$ 이 낮고 고속 스위칭이 가능한 SiC-MOSFET을 적용하도록 한다. Design I에서의 최대 부하인 3kW 동작 시, $i_{r,max}$ 는 12.11A, $i_{r,rms}$ 는 4.29A를 요구하므로 SCT3120AL(ROHM, 650V, 21A)를 선정하였다. Design II의 경우, 소프트 스위칭 구동이 전 부하 영역에서 이루어지므로 13kW 부하까지 감당하는 스위치를 선정해야 한다. 13kW 부하 동작시, $i_{r,max}$ 는 52.22A, $i_{r,rms}$ 의 경우 21.21A를 요구하므로 SCT3060AL(ROHM, 650V, 39A)를 선정하였다.

3.5 f_{sw} 상승에 따른 L_M 부피 개선

Design II 설계 시, f_{sw} 를 증가시킴으로써 메인 인덕터 (L_M) 코어의 부피를 감소시킬 수 있다. ΔL_L 고정 조건에서 f_{sw} 상승 시, 인덕턴스의 감소로 인해 코어의 필요 에

너지 저장량이 줄어들게 되므로 코어 사이즈 저감이 가능하다^[9]. 반면에 코어 부피 저감을 고려하여 f_{sw} 상승시킬 경우, 스위칭 손실이 증가하게 되고, 사이즈 저감을 위해 변경된 코어로 인한 인덕터 손실이 코어에 따라 상이하므로 자세한 손실 분석을 통해 효율과 전력밀도 상승 사이에 적절한 득실 관계를 찾아야 한다. 그림 12는 f_{sw} 를 20~50kHz까지 증가 시, 코어 부피와 L_M 의 철손 및 동손과 스위칭 손실을 나타낸다. 이때 20~30kHz는 Cylinder Powder Core를 적용하였으나, 주파수 상승에 따른 코어 사이즈 감소의 한계로 인해 40kHz부터는 Toroidal Core를 적용하였다. 분석 결과, 코어 부피는 40kHz 지점에서 20kHz 대비 46.84% 감소하였으며, 손실의 합은 8.19% 감소하였다. 50kHz의 경우, 20kHz 대비 부피는 63.30% 감소하지만, 손실은 스위칭 손실과 철손의 증가로 인해 40kHz 대비 4.01% 증가한다. 따라서, f_{sw} 를 증가시킴으로써 L_M 의 부피를 줄이며 L_M 의 철손 및 동손과 스위칭 손실이 최소화되는 f_{sw} 는 40kHz로 도출하였으며, 이는 곧 FCEV용 HDC의 전력밀도 상승 및 생산 단가의 절감과 직결된다.

4. 실험 결과

그림 13은 최적 설계 방안 검증을 위한 FCEV용 HDC의 실험 환경을 나타낸다. 설계 방안 증명을 위하여 표 1의 실제 FCEV 동작 조건을 기반으로 실험하였다.

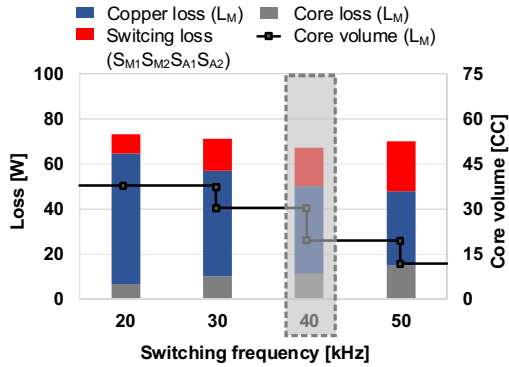


Fig. 12. L_M loss and switching loss volume according to f_{sw} .

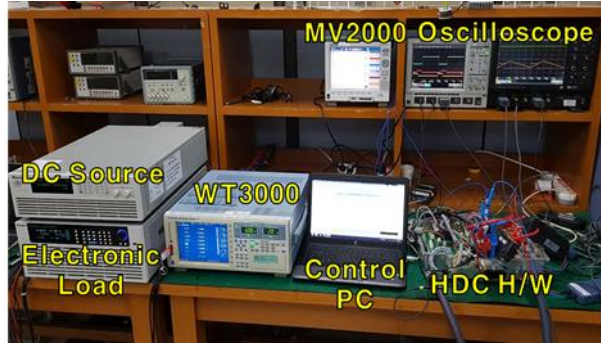
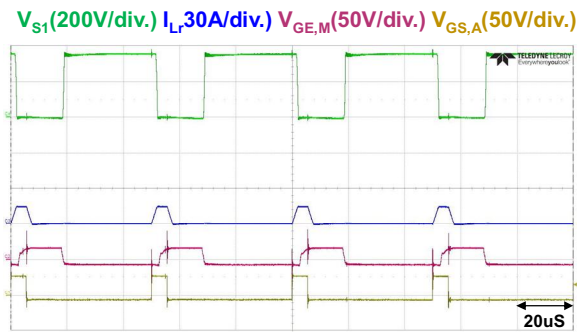
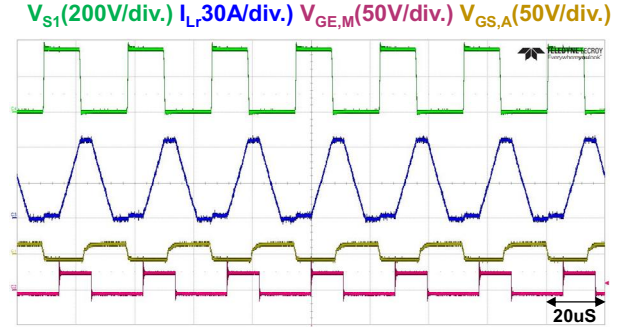


Fig. 13. Experiment apparatus for measuring HDC efficiency.

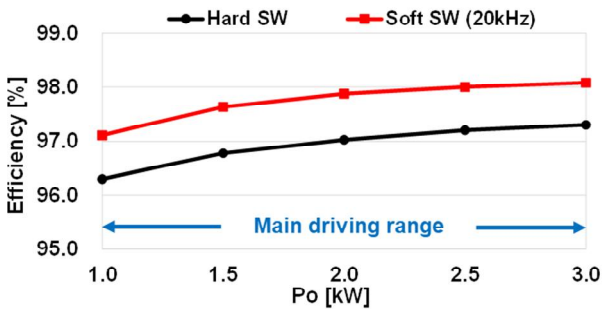


(a) $C_r=4.9nF$, $L_r=47\mu H$ (Ferrite) @3kW, 20kHz

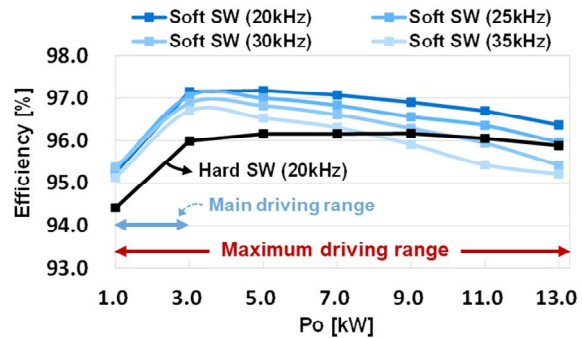


(b) $C_r=16nF$, $L_r=21\mu H$ (Ferrite) @13kW, 35kHz

Fig. 14. Experimental results of ZVT-PRC HDC.



(a) Design I (@ $V_L=240V$ to $V_H=360V$)



(b) Design II (@ $V_L=200V$ to $V_H=450V$)

Fig. 15. Efficiency of hard switching and soft switching according to the load.

그림 14 (a)는 Design I을 적용하여 3kW에서 20kHz로 실험한 파형이며 14 (b)는 Design II를 적용하여 13kW에서 35kHz로 실험한 파형을 나타낸다. 그림 15(a)는 Design I을 적용하여 1~3kW에서 소프트 스위칭 기법과 하드스위칭 기법의 효율 비교 곡선을 나타내며 그림 15(b)는 Design II를 적용하여 35kHz까지 스위칭 주파수를 상승시켰을 때의 소프트 스위칭 기법과 하드스위칭 기법의 효율 비교를 나타낸다. 입력 240V 출력 360V 조건에서 Design I을 적용한 설계하였을 때, 3kW에서의 효율은 98.08%이며, 1~3kW에서의 평균 하드스위칭 효율 대비 ZVT-PRC의 효율이 0.82% 높은 것을 확인하였다. 입력 200V 출력 450V 조건에서 Design II를 적용하여

전 부하 영역에서 구동한 경우, 20kHz 구동 시 3kW에서 효율은 95.25%로, 주 운전영역인 1~3kW에서는 하드스위칭 대비 평균 효율이 1.00% 증가한 것을 확인하였다. 반면에, 스위칭 주파수를 35kHz까지 증가시킨 경우, 주 운전영역에서는 하드스위칭 대비 평균 효율이 0.71% 증가하였지만, 9kW 이후부터는 하드스위칭 보다 효율이 평균 0.52% 감소하는 것을 확인하였다. 결론적으로, Design I, II를 이용해 설계하였을 때 20kHz로 구동 시, 전반적으로 효율이 상승하였고, Design II를 적용하였을 때 스위치의 발열을 고려하여 35kHz까지 스위칭 주파수를 상승시켰다. 따라서 FCEV의 전력밀도의 상승 및 인덕터 부피 절감으로 인한 단가 절감을 기대할 수 있다.

5. 결 론

본 논문에서는 기존 HDC에 적용 가능한 소프트 스위칭 토폴로지를 선정하고 설계 목적에 따라 자세한 손실 분석을 통해 최적 설계 방안을 제안한다. 이 설계 방안은 최적 L_r , C_r 값을 도출하기 위해 추가 손실과 손실저감 요소를 분석한다. 최종적으로 실제 FCEV용 HDC에 선정된 ZVT-PRC 회로를 적용하여 최적 설계 방안의 적합성을 검증하였다. Design I의 경우, 1~3kW에서 하드스위칭 대비 평균 0.82% 증가하였으며, Design II의 경우, 메인스위치와 보조 스위치의 발열을 고려하여 35kHz까지 증가시켰다. 결론적으로, Design I 적용 시, FCEV의 효율 상승을 통한 연비개선을 기대할 수 있으며 Design II 적용 시에는 스위칭 주파수 상승을 통한 단가 절감을 기대할 수 있다.

References

- [1] X. Jiang, X. Wen, and H. Xu, "Study on isolated full bridge converter in FCEV," in *Proc. 7th International Power Engineering Conference, Singapore(Ch)*, Vol. 2, pp. 827-830, Dec. 2005.
- [2] U. Mumtahina and P. Wolfs, "A comparison study between series resonant and zero-voltage-resonant-transition DC-DC converters," in *2015 Australasian Universities Power Engineering Conference, 2015 Australasian Universities 2015*, pp. 1-6, Sep. 2015.
- [3] M. K. Kim, D. G. Woo, B. K. Lee, N. J. Kim, and J. S. Kim, "Loss analysis of power conversion equipment for efficiency improvement," *The Transactions of the Korean Institute of Power Electronics*, Vol. 19, No. 1, pp. 80-90, Feb. 2014.
- [4] R. J. Wai and R. Y. Duan, "High-efficiency bidirectional converter for power sources with great voltage diversity," *IEEE Trans. Power Electron.*, Vol. 22, No. 5, pp. 1986-1996, Sep. 2007.
- [5] L. S. Yang and T. J. Liang, "Analysis and implementation of a novel bidirectional DC-DC converter," *IEEE Trans. Ind. Electron.*, Vol. 59, No. 1, pp. 422-434, Jan. 2012.
- [6] J. Zhang, R. Y. Kim, and J. S. Lai, "High-power density design of a soft-switching high-power bidirectional DC-DC converter," in *Proc IEEE Power Electron. Spec. Conf.*, Vol. 2, pp. 1-7, 2006.
- [7] K. H. Chao and C. H. Huang, "Bidirectional DC-DC soft-switching converter for stand-alone photovoltaic power generation systems," *IET Power Electron.*, Vol. 7, No. 6, pp. 1557-1565, Jun. 2014.
- [8] N. Lecic, A. C. M. Kuniyil, and G. Stojanovic, "Characterization of ferrite materials used as a core for multi-phase coupled inductors," *Electrical and Power Engineering(EPE), 2014 International Conference and*

Exposition on, pp. 917-920, Oct. 2014.

- [9] H. Sato and T. Shimizu, "Study on an accurate iron loss calculation method considering the non-uniformity of the magnetic flux density," *Proc. IEEE Energy Conversion Congress and Exposition(ECCE) 2015*, Sep. 2015.



김소영(金素英)

1993년 7월 1일생. 2017년 명지대 전기공학과 졸업. 2017년~현재 성균관대 대학원 전자전기컴퓨터공학과 석사과정.



노태원(盧泰元)

1991년 10월 21일생. 2016년 성균관대 전자전기공학과 졸업. 2016년~현재 동 대학원 전자전기컴퓨터공학과 석박통합과정.



이재형(李在亨)

1991년 8월 7일생. 2016년 성균관대 전자전기공학과 졸업(학사). 2018년 동 대학원 전자전기컴퓨터공학과 졸업(석사). 2018년~현재 동 대학원 전자전기컴퓨터공학과 박사과정.



안정훈(安正熏)

1986년 1월 30일생. 2011년 성균관대 전자전기공학과 졸업(학사). 2013년 동 대학원 전자전기컴퓨터공학과 졸업(석사). 2018년 동 대학원 전자전기공학과 졸업(박사). 2018년~현재 동 대학원 박사 후 연구원.



이병국(李秉國)

1968년 12월 25일생. 1994년 한양대 전기공학과 졸업. 1996년 동 대학원 전기공학과 졸업(석사). 2001년 미국 Texas A&M University 전기공학과 졸업(공박). 2002년~2003년 Postdoctoral Research Associate, Texas A&M University. 2003년~2005년 한국전기연구원 산업전기연구단 전력전자그룹 선임연구원(팀장). 2006년~현재 성균관대 정보통신공학부 교수. 2004년~현재 IEEE Senior Member, IEEE VPPC2012 조직위원장. 2016년~현재 국제전기기술위원회(IEC) 적합성평가위원회(CAB) 이사. 당 학회 연구사업이사.