

## 균일하고 0 V에 가까운 Dirac 전압을 갖는 그래핀 전계효과 트랜지스터 제작 공정

박홍휘 · 최무한 · 박홍식<sup>+</sup>

### Fabrication of Graphene Field-effect Transistors with Uniform Dirac Voltage Close to Zero

Honghwi Park, Muhan Choi, and Hongsik Park<sup>+</sup>

#### Abstract

Monolayer graphene grown via chemical vapor deposition (CVD) is recognized as a promising material for sensor applications owing to its extremely large surface-to-volume ratio and outstanding electrical properties, as well as the fact that it can be easily transferred onto arbitrary substrates on a large-scale. However, the Dirac voltage of CVD-graphene devices fabricated with transferred graphene layers typically exhibit positive shifts arising from transfer and photolithography residues on the graphene surface. Furthermore, the Dirac voltage is dependent on the channel lengths because of the effect of metal-graphene contacts. Thus, large and nonuniform Dirac voltage of the transferred graphene is a critical issue in the fabrication of graphene-based sensor devices. In this work, we propose a fabrication process for graphene field-effect transistors with Dirac voltages close to zero. A vacuum annealing process at 300 °C was performed to eliminate the positive shift and channel-length-dependence of the Dirac voltage. In addition, the annealing process improved the carrier mobility of electrons and holes significantly by removing the residues on the graphene layer and reducing the effect of metal-graphene contacts. Uniform and close to zero Dirac voltage is crucial for the uniformity and low-power/voltage operation for sensor applications. Thus, the current study is expected to contribute significantly to the development of graphene-based practical sensor devices.

**Keywords:** CVD-graphene, Dirac voltage, Electrical uniformity, Annealing process

#### 1. 서 론

탄소원자들의  $sp^2$  결합을 통해 2차원 상에서 단일층으로 형성된 그래핀은 화학적으로 매우 안정할 뿐만 아니라, 우수한 물리적/전기적 특성을 가지고 있어서 이를 다양한 분야에 활용하기 위한 연구가 활발히 진행되고 있다[1-6]. 화학기상증착(CVD)을 통해 금속 표면에 다결정 그래핀을 합성하는 방법이 개발된 후, 대면적의 그래핀을 다양한 기판에 전사하여 소자로 제작하는 것이 가능해져서 다양한 연구들이 더욱 보편적으로 진행되고 있다[7]. 특히, 그래핀은 표면 대비 체적비율(surface-to-volume

ratio)이 무한대에 가깝고, 이중 기판과 집적이 매우 용이하며, gate 전압에 따라 electron과 hole의 농도를 쉽게 조절할 수 있는 전기적 특성을 가지고 있기 때문에 차세대 센서소재로 많은 주목을 받고 있고, 현재 이를 활용한 다양한 그래핀 센서소자가 개발되고 있다[8-12].

그러나, copper(Cu) 혹은 nickel(Ni)과 같은 금속 표면에 합성된 그래핀을 전자소자로 제작하기 위해서는 실리콘 혹은 절연체 기판으로 그래핀을 전사하는 과정이 필요하고, 전사된 그래핀 위에 원하는 패턴을 형성하기 위해서는 photolithography 공정 또한 필수적으로 요구된다. 이러한 전사 및 패턴형성 과정에서 유기물기반 잔여물들이 불가피하게 그래핀 표면에 남게 되고, 이는 그래핀을 원하지 않게 p-type으로 doping시키는 원인이 된다[13-16]. 이러한 유기 잔여물들은 그래핀의 polarity가 n-type에서 p-type으로 전환하기 위해 필요한 Dirac 전압을 일반적으로 20~30 V로 크게 이동시키는 문제를 야기시킨다. 이는 그래핀의 polarity와 전기전도도 변화를 이용하는 전자소자로 제작할 경우, 구동을 위해 매우 큰 gate 전압이 요구된다는 것을 의미한다. 또한, 공정에서 기인하는 그래핀 표면 잔여물들은 그 위치와 양이 불규칙하게 형성되므로 제작된 소자들 간의 Dirac

경북대학교 전자공학부(School of Electronics Engineering, Kyungpook National University)  
80 Daehakro, Bukgu, Daegu, 41566, Korea  
<sup>+</sup>Corresponding author: [hpark@ee.knu.ac.kr](mailto:hpark@ee.knu.ac.kr)  
(Received: May. 18, 2018, Revised: May. 23, 2018, Accepted: May. 29, 2018)

This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

전압의 편차 또한 매우 크게 나타나게 된다. 사물인터넷(IOT) 기반 차세대 스마트 기기/시스템을 위한 신뢰성이 높고 저전력 구동이 가능한 센서 소자들의 개발이 현재 매우 중요한 기술적 이슈이기 때문에 이러한 그래핀 소자의 높은 Dirac 전압과 그 편차를 해결하기 위한 효과적인 제작 기술의 개발은 매우 중요하다.

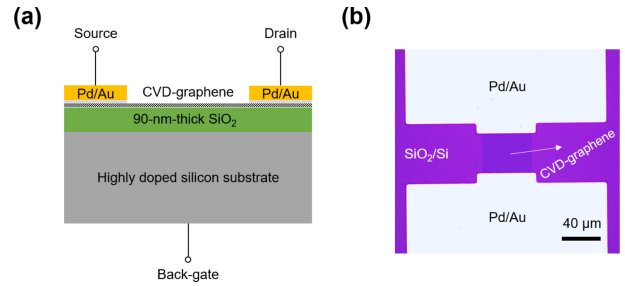
본 논문에서는 0 V 근처의 Dirac 전압을 가지는 그래핀 전계 효과 트랜지스터(graphene field-effect transistor, GFET) 제작을 위한 효과적이고 간편한 공정기술을 제안한다. 우리는 SiO<sub>2</sub>/Si 기판에 전사된 그래핀을 이용하여 GFET을 제작하고 300 °C 온도에서 진공 annealing공정을 수행하여 열처리 공정이 Dirac 전압의 크기와 편차를 줄이는데 어떠한 효과가 있는지 확인하였다. 또한 Dirac 전압의 크기가 GFET channel length에 영향을 받는다는 것을 실험적으로 확인하였고, 본 연구에서 제안하는 진공 열처리 공정이 이러한 channel length에 의한 Dirac 전압의 편차를 제거하는데 효과가 있음을 확인하였다. 또한, 진공 열처리 공정이 Dirac 전압의 크기와 편차와 함께 GFET 소자의 중요한 특성 중 하나인 electron과 hole의 mobility에 미치는 영향도 실험적으로 확인하였다.

## 2. 연구 방법

### 2.1 그래핀 합성 및 전사

본 연구에서는 다결정 그래핀 합성을 위해 널리 사용되는 화학기상증착(CVD) 기법을 이용하여 25 μm 두께를 가지는 Cu foil(Alfa-Aesar, 순도 99.8%) 위에 단일층 그래핀을 형성하였다. 가장 먼저 표면이 깨끗하게 처리된 Cu foil을 CVD furnace 내부로 위치시키고 furnace 안 내부 온도를 1050°C로 가열하였다. 그 후, Ar과 H<sub>2</sub>를 각각 570, 100 sccm을 흘려주어 표면 Cu 원자들의 재결합 및 재배열을 통해 Cu foil의 표면 거칠기를 감소시키고, 표면의 불순물과 산화물을 제거하였다. 이러한 annealing 과정을 1시간 진행한 후, 그래핀 합성을 위하여 annealing 과정과 동일한 Ar/H<sub>2</sub>조건에 CH<sub>4</sub>를 2 sccm 추가하여 1050 °C에서 3시간동안 그래핀을 합성하였고, furnace 내부의 압력은 2 Torr로 고정하였다. 그래핀 합성이 완료된 후, Ar을 제외한 모든 가스들을 차단하고 가열되었던 furnace 내부온도를 상온으로 서서히 냉각시켰다. 이렇게 합성된 다결정 그래핀의 결정크기는 UV/ozone 산화처리 기법을 이용하여 평가하였고[17], scanning electron microscopy (SEM)로 확인한 그래핀의 평균 결정 크기는 대략 6~7 μm 정도였다.

Cu foil 위에 성장된 CVD-그래핀을 전자소자로 제작하기 위해 90 nm 두께의 SiO<sub>2</sub>가 성장된 Si 기판으로 그래핀을 전사하였다. 본 전사공정을 위해 우리는 기존에 그래핀 전사를 위해 널리 사용되는 PMMA기반 wet 전사방법을 이용하였다[18]. 가장 먼저, PMMA 용액(MicroChem, 495 A4)을 그래핀이 성장된



**Fig. 1.** (a) A schematic and (b) optical microscope image of graphene field-effect transistor (GFET) fabricated with a graphene layer transferred on SiO<sub>2</sub>/Si substrate. The channel length of the GFETs varies from 2 to 200 μm.

Cu foil 위에 도포한 후 spin coater를 이용하여 1000 rpm으로 60초간 코팅하였고, 상온에서 12시간가량 curing하였다. 완전히 curing된 PMMA 층의 두께는 대략 300 nm정도였고, 구리 호일 뒷면에 성장된 그래핀은 O<sub>2</sub> plasma 처리(30 W, 30 mTorr, 3 min)를 통해 제거하였다. 그 후, 0.1 M로 희석된 ammonium persulfate 수용액을 이용하여 6시간동안 Cu를 완전히 제거하였고, DI water를 이용하여 반복적으로 PMMA/그래핀 stack을 rinse하여 ammonium persulfate 수용액 및 기타 오염 물질들을 그래핀으로부터 제거하였다. 우리는 충분히 rinse된 PMMA/그래핀 stack을 SiO<sub>2</sub>(90-nm)/Si 기판으로 전사하였고, 진공 챔버 내부에서 물기가 모두 사라질 때까지 6시간 가량 건조시켰다. 전사 후, PMMA는 80°C로 가열된 acetone을 이용하여 3시간동안 제거하였고, IPA rinse와 N<sub>2</sub> blowing을 순차적으로 진행하여 최종적으로 소자제작을 위한 그래핀 샘플을 얻을 수 있었다.

### 2.2 그래핀 전계효과 트랜지스터(GFET) 제작

Dirac 전압 및 carrier mobility와 같은 그래핀의 전기적인 특성들의 균일성을 평가하기 위해 우리는 SiO<sub>2</sub>(90-nm)/Si 기판에 전사된 그래핀 샘플 위에 다양한 channel length(2~200 μm)를 가지는 그래핀 전계효과 트랜지스터(graphene field-effect transistor, GFET)를 제작하였다. 먼저, 전사된 그래핀 샘플에 photolithography 공정을 이용하여 patterning을 진행하고 palladium(Pd)과 gold(Au)를 각각 차례대로 20 nm, 50 nm를 증착한 후, lift-off를 통해 source/drain 금속 전극을 형성하였다. 그래핀 channel 영역 또한 photolithography 공정을 이용하여 patterning 한 후, O<sub>2</sub> plasma 처리(30 W, 30 mTorr, 90 s)를 통해 후속으로 형성하였다. Fig. 1. (a)는 본 연구에 사용된 GFET의 단면도를 나타내고, (b)는 실제 제작된 그래핀 소자의 대표 optical microscope image를 나타낸다. Fig. 1.에서 확인할 수 있듯이 고농도로 doping된 실리콘 기판은 back-gate로 활용하였고, source/drain contact은 Pd(20-nm)을 사용하여 형성하였다.

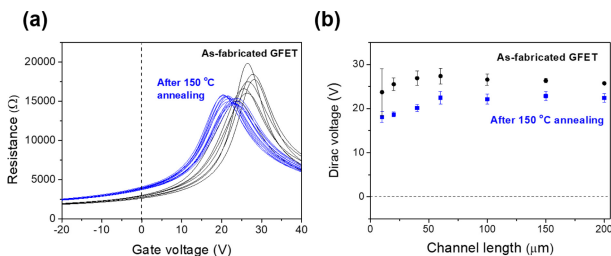
### 2.3 전기특성평가

전사된 그래핀 샘플에 제작된 그래핀 전계효과 트랜지스터 (GFET)의 전기적 특성은 probe station (MSTECH M6VC, South Korea)과 semiconductor parameter analyzer (Agilent 4156C, USA)를 이용하여 진공환경( $\sim 10^{-7}$  Torr)에서 평가하였다.

### 3. 결과 및 고찰

Fig. 2. (a)는 전사된 그래핀 위에 제작된 GFET의 gate 전압에 따른 저항의 변화를 보여주는 그래프이며 동일한 소자 면적을 가지는 13개의 소자들의 대표 측정결과를 중첩하여 나타내었다. 여기서 검정선으로 표시된 그래프는 소자제작이 완료된 후, 어떠한 후속처리과정없이 바로 측정한 결과를 나타내고, 이미 잘 알려진 바와 같이 Dirac 전압의 위치가 20 ~ 30 V 가량 positive 방향으로 이동되어 있는 것을 확인할 수 있다. 이는 전사공정 중 발생한 PMMA 잔여물의 영향[13-15], 그래핀 표면과 반응한 수분에 의한 영향[19], SiO<sub>2</sub> 층과 그래핀 사이 상호작용 등에 의해 p-type으로 고농도 doping된 것을 의미한다. 이러한 특성은 상대적으로 저전력/저전압을 요구하는 센서소자로 그래핀을 활용하고자 할 때 심각한 문제가 될 수 있으며, 특히 균일하지 않은 Dirac 전압의 분포는 소자 특성의 균일도 측면에서 더욱 더 큰 문제가 된다. 따라서 우리는 일차적으로 그래핀 표면에 붙어있는 수분을 제거하기 위해 150 °C 로 진공환경에서 annealing 과정을 수행하였고, 이에 따라 특성이 달라진 transfer 곡선들은 Fig. 2. (a)의 파란선으로 표시하였다. 비록 18 ~ 20 V 근처로 Dirac 전압이 이동했으나, 여전히 p-type doping이 되어있고 분포 역시 균일하지 않은 것을 확인할 수 있었다.

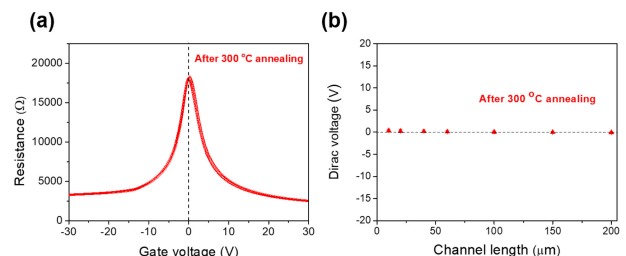
우리는 그래핀 소재를 센서로 활용하기 위해 가장 큰 문제가 되는 이러한 불균일한 Dirac 전압의 분포를 좀 더 상세히 조사하기 위해 channel length별로 Dirac 전압의 위치를 살펴보고, Fig. 2. (b)에 150°C annealing 공정 전후 channel length에 따른 평균 Dirac 전압과 그 편차를 나타내었다. 두 가지 경우 모



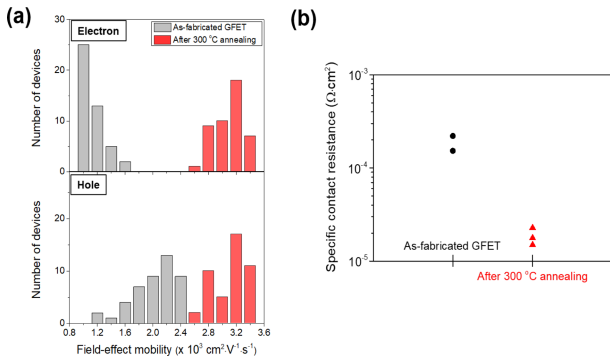
**Fig. 2.** (a) Plots of resistance versus back-gate voltage ( $V_G$ ) of GFETs fabricated without an annealing process (black lines) and with 150°C annealing process (blue lines). (b) A variation of the Dirac voltage ( $V_{Dirac}$ ) distributions according to the channel lengths of GFETs before and after 150°C annealing process.

두 channel length가 짧아질수록 Dirac 전압이 점점 낮아지는 것을 확인할 수 있었고, 특히 검정선으로 표시된 소자제작 직후 그래핀의 Dirac 전압은 channel length에 따라 달라질 뿐만 아니라, 단일 channel length 안에서도 큰 편차를 보였다. 이러한 문제는 150°C annealing을 통해 소폭 개선이 되지만, channel length에 따라 Dirac 전압이 변화하는 현상은 여전히 그대로 유지되었다. 이러한 현상의 원인은 channel length와 그래핀/금속 contact의 상관관계로부터 유추할 수 있다. 금속전극 아래에 존재하는 그래핀은 금속(Pd)의 영향으로 channel에 존재하는 그래핀과 energy 분산 특성이 달라지게 되고, 이로 인해 금속(Pd) 아래의 그래핀은 n-type doping 특성을 가지게 된다[20]. 이 때, channel length가 줄어들게 되면 자연스럽게 contact이 차지하는 비율은 증가하게 되고, 그래핀 소자의 전체 Dirac 전압은 contact의 영향으로 인해 점점 낮아지면서 결국 channel length가 변화함에 따라 Dirac 전압이 달라지는 문제가 발생하게 된다 [Fig. 2. (b)].

그래핀이라는 소재를 저전력/저전압 구동이 가능하며 재현성 있는 동작특성을 가지는 센서소자로 활용하기 위해서는 앞서 언급한 문제들을 시급히 해결해야 한다. 즉, PMMA 잔여물 등으로 인해 positive 방향으로 이동한 Dirac 전압을 0 V 근처에 위치할 수 있도록 해야 하고, channel length에 따른 Dirac 전압의 분포가 균일해야 하며 더 나아가 단일 channel length 안에서의 Dirac 전압 편차도 매우 작아야 한다. 우리는 이러한 문제들을 해결하기 위해 그래핀 소자를 제작한 후, 바로 300 °C에서 annealing 공정을 진행하여 전사공정 중 발생한 PMMA 잔여물이 효과적으로 제거될 수 있는지[21], 그래핀과 금속(Pd) 사이 contact 저항이 낮아지는지를 살펴보았다[22]. Fig. 3. (a)는 300 °C annealing 공정 후 gate 전압에 따른 그래핀 저항의 변화를 보여주는 그래프이며, 앞선 결과들과 마찬가지로 동일한 소자 면적을 가지는 13개의 소자들의 대표 측정결과를 중첩하여 나타내었다. 여기서 우리는 그래핀의 대표적인 p-type dopant 역할을 하는 PMMA 잔여물이 제거되어 Dirac 전압이 0 V 근처로 모두 이동한 것을 알 수 있었다. 또한, Fig. 4. (b)에 확인할 수 있듯이 contact 특성이 annealing 전 대비 10배 이상 향상 되어 channel length에



**Fig. 3.** (a) An overlapped resistance plots as a function of the back-gate voltage ( $V_G$ ) of 13 GFETs fabricated with an annealing process at 300°C. (b) variation of the Dirac voltage ( $V_{Dirac}$ ) distributions according to the channel lengths of the GFETs. The result shows the Dirac voltages are near 0 V without a channel-length dependence.



**Fig. 4.** (a) Histogram of the distribution of carrier mobility for electrons (top) and holes (bottom) of as-fabricated GFETs and GFETs annealed at 300°C. (b) Improvement of the specific contact resistance between graphene and palladium (Pd) contact by the annealing process 300°C.

따라 Dirac 전압의 변화가 거의 존재하지 않았고 [Fig. 3. (b)], 더 나아가 단일 channel length 안에서도 편차가 거의 없이 Dirac 전압이 모두 0 V 근처에 위치하였다. 따라서, 앞서 언급한 문제들은 300°C annealing 과정을 통해 한번에 해결할 수 있음을 본 결과들을 통해 검증하였다.

우리는 300°C annealing 공정이 Dirac 전압과 더불어 그래핀의 carrier mobility에도 영향을 미치는 것을 또한 확인할 수 있었다. 그래핀 전사 및 소자 제작 과정 후, 그래핀 표면에 존재했던 PMMA와 PR 잔여물 및 수분 등은 carrier transport 중에 scattering을 유발하는 원인이 될 수 있는데, Fig. 4. (a) 에서 알 수 있듯이 이러한 scattering 요소들이 300°C annealing을 통해 제거되어 electron과 hole 의 field-effect mobility가 각각 평균 2000(202%), 1076(56%) cm<sup>2</sup>·V<sup>-1</sup>·s<sup>-1</sup> 가량 증가하였다[21]. 특히, 300°C annealing 후 electron과 hole의 mobility가 거의 비슷한 ambipolar transport 특성을 가지기 때문에 그래핀 기반 센서소자의 활용범위를 크게 넓힐 수 있을 것으로 예상된다. 또한, 우리는 소자의 transconductance( $g_m$ ) 특성으로부터 field-effect mobility를 계산하였기 때문에 [수식(1)], 소자의 contact 영역에서 일어나는 drain 전압 강하의 영향이 추출된 carrier mobility 값에 그대로 반영되어 실제 수치보다 낮게 평가되었을 것으로 예상하였다.

$$\mu_{FE} = \frac{g_m L}{C_{ox} W V_D} \quad (1)$$

따라서, 소자의 contact 저항 감소가 carrier mobility 증가에 또한 크게 기여했을 것으로 판단하고, 300 °C annealing 공정 전 후 소자의 specific contact 저항의 수치를 비교하였더니, Fig. 4. (b)에 나타난 것처럼 annealing 공정 후 10배 이상 그 수치가 감소한 것을 확인할 수 있었다. 높은 carrier mobility 수치는 센서 소자의 고속동작을 결정하는 매우 중요한 지표임을 고려하였을 때, 본 연구의 이러한 mobility 상승 효과는 매우 고무적인 결과로 볼 수 있다.

## 4. 결 론

본 논문에서는 그래핀을 센서소자로 활용할 때 문제가 되던 높고 불균일한 Dirac 전압 문제를 해결할 수 있는 매우 간단하고 효과적인 그래핀 전계효과 트랜지스터 제작 공정 기술을 제안하였다. 우리는 소자 제작 후, 300°C annealing을 통하여 전사 및 photolithography 공정 중에 발생한 잔여물들을 제거하여 Dirac 전압을 0 V 근처로 모두 이동시켰고, 금속-그래핀 contact 효과로 인해 channel length에 따라 Dirac 전압의 위치가 변하는 문제 또한 annealing을 통해 해결하여 궁극적으로 매우 균일한 Dirac 전압의 분포를 얻을 수 있었다. 더 나아가, 300°C annealing 효과는 소자의 고속동작을 위해 중요한 지표인 carrier mobility를 증가시키는데도 큰 기여를 하였고, 그래핀 소자의 ambipolar 특성도 크게 개선시켰다. 이러한 결과로부터 우리는 본 논문에서 제안한 공정 기술이 균일하고 저전력/고속 동작이 가능한 그래핀 기반 센서소자 제작에 매우 중요한 공정 단계로 자리잡을 것으로 기대한다.

## 감사의 글

이 성과물은 산업통상자원부 ‘산업전문인력역량강화 사업’의 재원으로 한국산업기술진흥원(KIAT) (2018년 센서산업 고도화를 위한 첨단센서 전문인력 양성사업, 과제번호: P0001018)과 교육부 재원의 한국 연구재단(NRF) 기초연구사업(2015R1D1A1A01060861)의 지원을 받아 수행된 연구임.

## REFERENCES

- [1] K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, I. V. Grigorieva, and A. A. Firsov, “Electric field effect in atomically thin carbon films”, *Science*, Vol. 306(5966), pp. 666-669, 2004.
- [2] A. K. Geim and K. S. Novoselov, “The rise of graphene”, *Nat. Mater.*, Vol. 6, pp. 183-191, 2007.
- [3] K. S. Novoselov, V. I. Fal’ko, L. Colombo, P. R. Gellert, M. G. Schwab, and K. Kim, “A roadmap for graphene”, *Nature*, Vol. 490, pp. 192-200, 2012.
- [4] Y. -M. Lin, C. Dimitrakopoulos, K. A. Jenkins, D. B. Farmer, H. -Y. Chiu, A. Grill, and P. Avouris, “100-GHz transistors from wafer-scale epitaxial graphene”, *Science*, Vol. 327(5966), pp. 662, 2010.
- [5] R. M. Westervelt, “Graphene nanoelectronics”, *Science*, Vol. 320(5874), pp. 324-325, 2008.
- [6] M. Liu, X. Yin, E. U. -Avila, B. Geng, T. Zentgraf, L. Ju, F. Wang, and X. Zhang, “A graphene-based broadband optical modulator”, *Nature*, Vol. 474, pp. 64-67, 2011.
- [7] X. Li, W. Cai, J. An, S. Kim, J. Nah, D. Yang, R. Piner, A. Velamakanni, I. Jung, E. Tutuc, S. K. Banerjee, L.

- Colombo, and R. S. Ruoff, "Large-area synthesis of high-quality and uniform graphene films on copper foils", *Science*, Vol. 324(5932), pp. 1312-1314, 2009.
- [8] F. Schedin, A. K. Geim, S. V. Morozov, E. W. Hill, P. Blake, M. I. Katsnelson, and K. S. Novoselov, "Detection of individual gas molecules adsorbed on graphene", *Nat. Mater.*, Vol. 6, pp. 652-655, 2007.
- [9] Y. Dan, Y. Lu, N. J. Kybert, Z. Luo, and A. T. C. Johnson, "Intrinsic response of graphene vapor sensors", *Nano Lett.*, Vol. 9(4), pp. 1472-1475, 2009.
- [10] H. Yoon, D. Jun, J. Yang, Z. Zhou, S. Yang, and M. M. -C. Cheng, "Carbon dioxide gas sensor using a graphene sheet", *Sens. Actuators B Chem.*, Vol. 157(1), pp. 310-313, 2011.
- [11] R. Pearce, T. Iakimov, M. Anderson, L. Hultman, A. L. Spetz, and R. Yakimova, "Epitaxially grown graphene based gas sensors for ultra sensitive NO<sub>2</sub> detection", *Sens. Actuators B Chem.*, Vol. 155(2), pp. 451-455, 2011.
- [12] F. Xia, T. Mueller, Y. -M. Lin, A. V. -Garia, and P. Avouris, "Ultrafast graphene photodetector", *Nat. Nanotechnol.*, Vol. 4, pp. 839-843, 2009.
- [13] J. -H. Chen, M. Ishigami, C. Jang, D. R. Hines, M. S. Fuhrer, and E. D. Williams, "Printed graphene circuits", *Adv. Mater.*, Vol. 19(21), pp. 3623-3627, 2007.
- [14] T. Lohmann, K. Klitzing, and J. H. Smet, "Four-terminal magneto-transport in graphene p-n junctions created by spatially selective doping", *Nano Lett.*, Vol. 9(5), pp. 1973-1979, 2009.
- [15] W. H. Lee, J. Suk, J. Lee, Y. Hao, J. Park, J. W. Yang, H. -W. Ha, S. Murali, H. Chou, D. Akinwande, K. S. Kim, and R. S. Ruoff, "Simultaneous transport and doping of CVD-grown graphene by fluoropolymer for transparent conductive films on plastic", *ACS Nano*, Vol. 6(2), pp. 1284-1290, 2012.
- [16] M. Ishigami, J. H. Chen, W. G. Cullen, M. S. Fuhrer, and E. D. Williams, "Atomic structure of graphene on SiO<sub>2</sub>", *Nano Lett.*, Vol. 7(6), pp. 1643-1648, 2007.
- [17] D. L. Duong, G. H. Han, S. M. Lee, F. Gunes, E. S. Kim, S. T. Kim, H. Kim, Q. H. Ta, K. P. So, S. J. Yoon, S. J. Chae, Y. W. Jo, M. H. Park, S. H. Chae, S. C. Lim, J. Y. Choi, and Y. H. Lee, "Probing graphene grain boundaries with optical microscopy", *Nature*, Vol. 490, pp. 235-239, 2012.
- [18] X. Li, Y. Zhu, W. Cai, M. Borysiak, B. Han, D. Chen, R. D. Piner, L. Colombo, and R. S. Ruoff, "Transport of large-area graphene films for high-performance transparent conductive electrodes", *Nano Lett.*, Vol. 9(12), pp. 4359-4363, 2009.
- [19] Y. Yang and R. Murali, "Binding mechanisms of molecular oxygen and moisture to graphene", *Appl. Phys. Lett.*, Vol. 98(12), 093116(1)-093116(3), 2011.
- [20] S. -J. Han, Z. Chen, A. A. Bol, and Y. Sun, "Channel-length-dependent transport behaviors of graphene field-effect transistors", *IEEE Electron Device Lett.*, Vol. 32(6), pp. 812-814, 2011.
- [21] A. Pirkle, J. Chan, A. Venugopal, D. Hinojos, C. W. Magnuson, S. McDonnell, L. Colombo, E. M. Vogel, R. S. Ruoff, and R. M. Wallace, "The effect of chemical residues on the physical and electrical properties of chemical vapor deposited graphene transferred to SiO<sub>2</sub>", *Appl. Phys. Lett.*, Vol. 99(12), pp. 122108(1)-122108(3), 2011.
- [22] W. S. Leong, C. T. Nai, and J. T. L. Thong, "What does annealing do to metal-graphene contacts?", *Nano Lett.*, Vol. 14(7), pp. 3840-3847, 2014.