

무접합 이중 게이트 MOSFET에서 문턱전압 추출

정חק기^a

군산대학교 전자공학과

Extraction of Threshold Voltage for Junctionless Double Gate MOSFET

Hak Kee Jung^a

Department of Electronic Engineering, Gunsan National University, Gunsan 54150, Korea

(Received November 21, 2017; Revised January 3, 2018; Accepted January 12, 2018)

Abstract: In this study, we compared the threshold-voltage extraction methods of accumulation-type JLDG (junctionless double-gate) MOSFETs (metal-oxide semiconductor field-effect transistors). Threshold voltage is the most basic element of transistor design; therefore, accurate threshold-voltage extraction is the most important factor in integrated-circuit design. For this purpose, analytical potential distributions were obtained and diffusion-drift current equations for these potential distributions were used. There are the ϕ_{\min} method, based on the physical concept; the linear extrapolation method; and the second and third derivative method from the $I_d - V_g$ relation. We observed that the threshold-voltages extracted using the maximum value of TD (third derivatives) and the ϕ_{\min} method were the most reasonable in JLDG MOSFETs. In the case of 20 nm channel length or more, similar results were obtained for other methods, except for the linear extrapolation method. However, when the channel length is below 20 nm, only the ϕ_{\min} method and the TD method reflected the short-channel effect.

Keywords: Junctionless, Double gate MOSFET, Threshold voltage, Linear extrapolation

1. 서론

트랜지스터에서 문턱전압은 트랜지스터의 온/오프를 결정하는 중요한 요소로서 트랜지스터 설계 시 가장 먼저 결정해야 하는 값이다. 기존의 MOSFET에서 문턱전압은 약반전에서 강반전으로 동작형태가 전환되는 게이트 전압으로 정의하며 정량적으로는 산화막과 채널 계면의 표면전위 ϕ_s 가 채널 내부의 페르미전위 ϕ_F 의 2배가 될 때의 게이트 전압을 구하여 사용하였다. 이와 같은 정의는 공핍형(depletion mode)과 증식형

(enhancement mode) MOSFET 또는 NMOSFET와 PMOSFET에 대하여 공히 사용할 수 있다. 그러나 트랜지스터의 채널 길이가 10 nm 이하로 감소하면서 문턱전압 이하 영역에서의 단채널 효과가 트랜지스터 동작에 심각한 영향을 미치게 되었으며 이를 해결하기 위하여 개발된 다중게이트 MOSFET의 경우, 채널 전체가 완전 결핍(fully depleted) 상태에서 동작하므로 전술한 바와 같이 강반전에서의 문턱전압 정의에 대한 새로운 연구가 진행되고 있다 [1]. 기존의 접합형 이중 게이트 MOSFET는 채널 길이가 짧아지면서 채널과 소스/드레인 영역을 다른 형태로 도핑시키기 어려워지고 있으며 소스/드레인 영역과 채널 경계 면에서 급격한 도핑분포의 변화 때문에 공정의 어려움을 겪고 있다. 이를 해결하기 위하여 개발된 소자가 무접합 이중 게이트 MOSFET이다. 무접합 소자의 경우 채널과 소스/

a. Corresponding author; hkjung@kunsan.ac.kr

드레인 영역을 동일한 형태의 동일한 도핑농도로 제작함으로써 경계 면에서 발생할 수 있는 급격한 도핑분포의 변화를 피할 수 있으므로 공정이 용이한 장점을 가진다. 본 논문에서는 이러한 연구에 부응하기 위하여 축적형 무접합 이중 게이트(accumulation junctionless double gate, AJLDG) MOSFET에서 가장 합리적으로 문턱전압을 구하는 방법에 대하여 고찰하고자 한다.

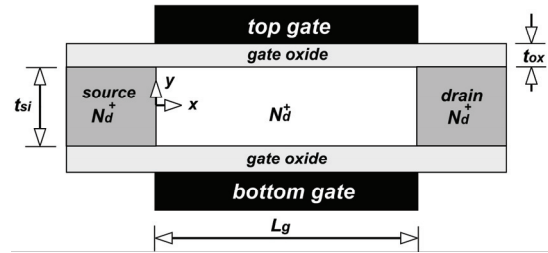


Fig. 1. Sectional diagram of accumulation junctionless double gate (AJLDG) MOSFET.

2. 실험 방법

Ortiz-Conde 등은 기존의 MOSFET에서 문턱전압을 구하는 방법에 대하여 발표하였으며 Garcia-Sanchez 등은 진성반도체를 채널로 사용한 MOSFET에 대한 문턱전압에 대하여 논문을 발표하였다 [2,3]. Jiang 등은 무접합 이중 게이트 MOSFET에서 채널 내 전위의 최소값이 $\phi_{min} = 0$ 일 때, 게이트 전압을 문턱전압으로 정의하여 전송특성을 해석하였다 [4]. 본 연구에서는 광범위하게 사용되고 있는 문턱전압 추출 방법을 AJLDG MOSFET에 대하여 적용하여 장단점을 비교하고자 한다. 비교를 위하여 사용된 문턱전압 추출 방법은 다음과 같다. ① 가장 물리적인 개념이 적용된 $\phi_{min} = 0$ 을 이용하는 ϕ_{min} 방법, ② 드레인전류 (I_d)-게이트전압 (V_g) 특성에서 외삽법(extrapolation method)을 이용하는 선형외삽(linear extrapolation, LE) 방법, ③ $I_d - V_g$ 특성의 2차 미분(second derivartives, SD)의 최댓값 추출 방법, ④ $I_d - V_g$ 특성의 3차 미분(third derivartives, TD)의 최댓값 추출 방법, ⑤ $I_d - V_g$ 특성의 대수 값에 대한 2차 미분(logarithmic second derivartives, LSD)의 최솟값 추출 방법, ⑥ $I_d - V_g$ 특성의 대수 값에 대한 외삽선이 실제 전류 값과 5%의 오차를 보일 때 게이트 전압을 문턱전압으로 정의하는 매칭 포인트(match-point, MP) 방법 등을 이용하여 구한 문턱전압 값들을 비교 고찰할 것이다.

3. 결과 및 고찰

3.1 무접합 이중 게이트 MOSFET의 문턱전압 추출

그림 1에 본 논문에서 사용한 AJLDG MOSFET의 구조를 도시하였다. 그림 1에서 알 수 있듯이 소스/드레인 영역과 채널 영역이 동일한 도핑 형태를 가지며

도핑농도도 거의 동일한 값을 사용하였다. 본 연구에서는 $N^{++} = 10^{20}/cm^3$ 와 $N^+ = 10^{19}/cm^3$ 의 값을 사용하였다. 이와 같은 구조의 AJLDG MOSFET의 경우, 게이트 전압이 0 V일 때, 게이트 단자와 채널 간의 일함수 차이에 의하여 채널은 완전 결핍 상태가 되어 트랜지스터는 오프 상태가 될 것이고, 게이트 전압을 증가시키면 완전 결핍 상태에서 부분 결핍 상태로 채널이 변화하면서 트랜지스터는 온 상태가 될 것이다. 이때의 전압이 문턱전압인 것이다. 평탄전압 이상으로 게이트 전압을 증가시키면 채널은 축적상태로 접어들게 될 것이다. 이와 같은 특성을 가진 AJLDG MOSFET의 경우 문턱전압을 결정하기 위한 방법으로서 가장 물리적인 개념을 가진 이론은 전술한 ϕ_{min} 방법이다. 이는 채널 내 최저 전위 값이 0이 될 때의 게이트 전압을 문턱전압으로 정의하는 방법으로서 이때 채널 내 전자농도는 도핑농도에 비하여 무시할 수 있을 정도로 작아 완전 결핍상태로 볼 수 있기 때문이다. 즉, AJLDG MOSFET의 경우, 문턱전압은 완전 결핍상태에서 부분 결핍 상태로 전환되는 순간의 게이트 전압인 것이다.

문턱전압을 구하는 방법은 이와 같이 최소 전위를 이용하는 방법뿐만 아니라 $I_d - V_g$ 특성을 이용하는 방법도 널리 사용되고 있다. 이 중 가장 보편적인 방법이 그림 2(a)에 도시한 바와 같은 선형 외삽법이다. 이 방법에서는 그림 2(a)에서 EL로 표시한 $I_d - V_g$ 특성에 대한 외삽선이 x축과 만나는 점을 문턱전압으로 정의한다. 그러나 이 방법은 이동도 및 기생저항 등에 큰 영향을 받는다는 단점이 있다.

그림 2(b)에 표시한 방법은 매칭포인트 방법으로서 대수로 표기한 $I_d - V_g$ 관계를 이용하여 외삽선(EEL)을 구하고 EEL에 의한 I_d 값이 실제 I_d 값과 5%의 차이를 보일 때 게이트 전압을 문턱전압으로 정의하는 방법이다. 기존 MOSFET의 경우 약반전에서 강반전으로 변화할 때의 게이트 전압을 문턱전압으로 정의하고 있

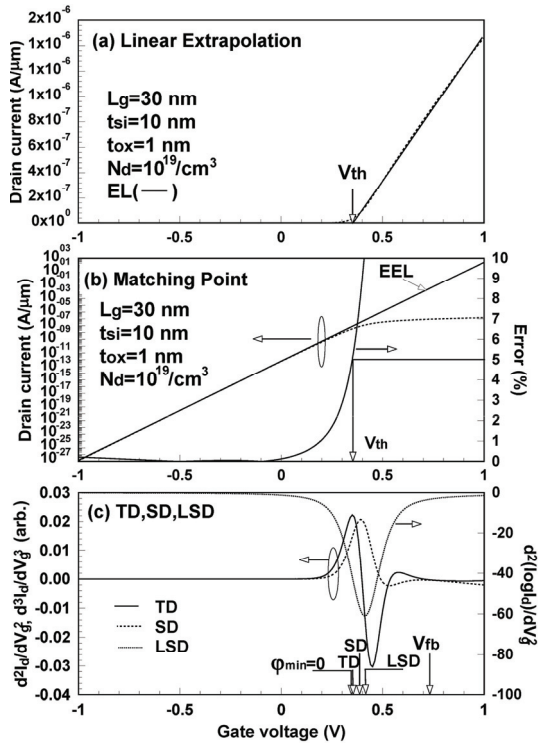


Fig. 2. Various methods to obtain threshold voltage of junctionless double gate (JLDG) MOSFET. (a) Linear extrapolation method, (b) matching point method, and (c) method by derivatives of second and third and logarithmic second derivative. Dotted line in (a) and (b) denotes $I_d - V_g$ characteristics.

는바, AJLDG MOSFET의 경우 적용이 가능한지에 대하여 관찰할 것이다.

그림 2(c)에는 $I_d - V_g$ 관계의 미분 값을 이용하는 문턱전압 추출법을 도시하였다. SD 방법은 전달컨덕턴스 g_m 의 게이트 전압에 대한 변화율 즉, dg_m/dV_g 의 최댓값을 구하고 해당하는 게이트 전압을 문턱전압으로 정의하는 방법이다. 이는 문턱전압을 기준으로 온/오프가 결정될 것이며 이로 인하여 $I_d - V_g$ 특성에서 구하는 $g_m = dI_d/dV_g$ 값이 문턱전압에서 최대가 되는 점을 이용하는 방법이다. 다른 방법은 TD 방법으로서 SD 방법으로 구해진 곡선을 한 번 더 미분하여 구한 곡선의 최댓값을 구하고 이에 해당하는 게이트 전압을 문턱전압으로 정의하는 방법이다. 이 방법은 Wong 등에 의하여 제안된 방법으로써 채널 크기에 무관하게 사용할 수 있으며 MP 방법과 잘 일치하는 것을 발표하였다 [5].

마지막으로 본 논문에서 비교하고자 하는 방법이 LSD 방법이다. 이는 TCR (transconductance-to-current ratio)

방법 [6]으로도 잘 알려져 있으며 $d^2 \ln I_d / dV_g^2$ 값의 최솟값을 구하는 방법이다. 본 논문에서는 전술한 방법을 이용하여 AJLDG MOSFET에 대한 문턱전압을 채널 크기 및 산화막 두께 변화에 대하여 고찰하고 나노구조 MOSFET에 합당한 문턱전압 추출 방법을 도출하고자 한다.

이를 위하여 $I_d - V_g$ 특성은 다음과 같은 확산-표동 전류식을 이용하였다 [4].

$$I_d = \frac{qW\mu_n n_i kT \left[1 - \exp\left(-\frac{qV_d}{kT}\right) \right]}{\int_0^{L_g} \frac{dx}{\int_{-\frac{t_{si}}{2}}^{\frac{t_{si}}{2}} \exp\left(\frac{q\phi(x,y)}{kT}\right) dy}} \quad (1)$$

여기서 $\phi(x,y)$ 는 그림 1의 AJLDG MOSFET의 채널 내 전위 분포를 나타낸다. Ding 등은 N^+/P 접합에서의 전위분포를 유도하였으며 Ortiz-Conde 등은 N^{++}/N^+ 에 대한 전위분포를 유도하였다. 식 (1)에 포함된 값들에 대한 정의는 참고문헌에 표기되어 있다 [4,7].

그림 2(c)에서 알 수 있듯이 게이트 전압이 평탄전압 V_{fb} 에 도달하기 전에 트랜지스터의 문턱전압이 나타나는 것을 알 수 있다. 이는 평탄전압보다 큰 게이트 전압에서 트랜지스터가 축적상태로 동작하는 축적형 JLDG MOSFET이기 때문이다. 즉 평탄전압은

$$V_{fb} = \phi_m - (\chi_s + E_g/2 - \phi_F) \quad (2)$$

로서 본 논문에서 사용한 값은 게이트금속의 일함수 $\phi_m = 4.8$ V, 전자친화도 $\chi_s = 4.05$ V, 실리콘의 에너지 밴드 갭 $E_g = 1.12$ eV, N형 채널의 페르미전위는 $\phi_F = 0.026 \ln(N_D^+/n_i) = 0.54$ V이므로 $V_{fb} \approx 0.73$ V가 되는 것을 알 수 있다. 이 점은 SD 방법의 두 번째 최댓값과 일치하는 것을 알 수 있다 [8]. 그러므로 본 논문에서 사용한 식 (1)은 충분히 타당하다고 사료된다. 이와 같이 표현되는 $I_d - V_g$ 특성을 이용하여 상기에서 설명한 방법으로 구한 문턱전압을 비교·고찰할 것이다. 특히 채널 두께 및 산화막 두께를 파라미터로 하여 채널 길이 10 nm에서 60 nm까지 문턱전압을 구하여 비교함으로써 채널 길이에 따른 합당한 문턱전압 추출 방법에 대하여 고찰할 것이다.

3.2 AJLDG MOSFET의 문턱전압 추출

본 논문에서 사용한 식 (1)에 대한 타당성은 이미 참고문헌 [4]에서 입증하였으므로 식 (1)을 이용한 $I_d - V_g$ 특성을 사용하여 문턱전압을 추출할 것이다. 또한 채널 내 전위분포에서 $\phi(x,y)=0$ 의 조건을 이용한 ϕ_{min} 방법에 의하여 문턱전압을 구하여 비교할 것이다.

먼저 그림 3은 채널 길이가 10 nm에서 60 nm까지 변화하는 AJLDG MOSFET에 대한 문턱전압을 전술한 문턱전압 추출 방법에 의하여 구한 결과이다. 그림 3의 결과는 실리콘 두께가 10 nm, 산화막 두께가 1 nm이고 드레인 전압이 0.05 V일 경우에 대한 결과이다. 가장 물리적인 개념으로 정의된 ϕ_{min} 방법의 경우를 기준으로 $I_d - V_g$ 특성을 이용한 방법과 비교해 보면 20 nm 이상에서는 TD 방법이 ϕ_{min} 방법과 가장 유사한 결과를 얻을 수 있다는 것을 알 수 있다. 이는 참고문헌 [5]에도 서술한 바와 같이 $I_d - V_g$ 특성을 이용한 방법 중에 기타 방법과 비교하면 TD 방법이 가장 물리적인 현상을 기초로 하고 있다는 것을 알 수 있다. 다음으로는 MP 방법이 ϕ_{min} 방법으로 구한 문턱전압과 유사한 결과를 나타내고 있다. 그 외의 방법으로 구한 문턱전압은 20 nm 이상의 채널 길이에서 과대 추정되고 있다는 것을 관찰할 수 있다. 채널 길이가 감소하여 20 nm 이하가 되면 각 방법에 대한 특성으로 인하여 문턱전압 값이 크게 변화하고 있었다. 먼저 가장 큰 변화를 보이고 있는 방법은 LE 방법이다. 이는 전술한 바와 같이 이동도 및 기생저항에 큰 영향을 받고 있기 때문에 채널 길이가 감소하면 부적절한 방법으로 사료된다. 그러나 20 nm 이상이 채널 길이

에서는 다른 방법의 결과와 잘 일치하는 것을 그림 3에서 관찰할 수 있다. MP 방법과 SD 방법은 20 nm 이하 채널 길이 영역에서 문턱전압이 오히려 증가하는 결과를 나타내고 있다. 채널 길이가 짧아질수록 문턱전압 이하 영역에서 드레인 전류는 증가할 것이며 이로 인하여 문턱전압은 감소하게 될 것이다. 그러나 이 두 방법에서는 반대의 결과를 나타내고 있다. 이는 채널 길이가 짧아지면서 $I_d - V_g$ 특성이 급격히 변하기 때문에 발생하는 현상으로써 이 두 방법 또한 20 nm 이하 영역에서 사용하는 것은 적당치 않다는 것을 알 수 있다. LSD 방법은 그림 3에서 알 수 있듯이 채널 길이 변화에 대한 문턱전압 이동 현상을 전혀 반영할 수 없다는 것을 알 수 있다. 마지막으로 10 nm 이하 영역에서 TD 방법은 단채널 효과를 나타내나 ϕ_{min} 방법과 비교하면 과대 반영하고 있다는 것을 알 수 있다. 이와 같이 각 방법에 대한 특성이 있으며 채널 길이가 20 nm 이상에서는 대체적으로 만족할 만한 문턱전압을 유도할 수 있으나 20 nm 이하와 같이 짧은 채널 길이를 갖는 AJLDG MOSFET의 경우, 문턱전압 추출에 유의하여야 할 것이다.

이상과 같이 트랜지스터의 채널 크기에 따라 문턱전압 추출은 큰 영향을 받고 있었다. 실리콘 두께가 증가하여 채널 크기가 증가하였을 경우, 문턱전압 추출 방법 간의 비교를 위하여 그림 3과 비교하여 단지 실리콘 두께만 12 nm로 증가하였을 경우의 결과를 그림 4에 도시하였다. 그림 3과 그림 4를 비교하면 실리콘 두께가 증가하면 단채널 효과에 의하여 문턱전압이 감소하는 것을 관찰할 수 있다. 그러나 LE 방법은 실리콘 두께 증가 효과를 반영하지 못하고 있다는 것을 알

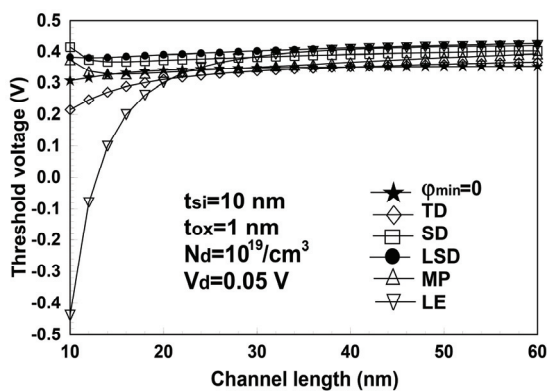


Fig. 3. Threshold voltages derived from various methods under given conditions in figure for $t_{si} = 10$ nm and $t_{ox} = 1$ nm.

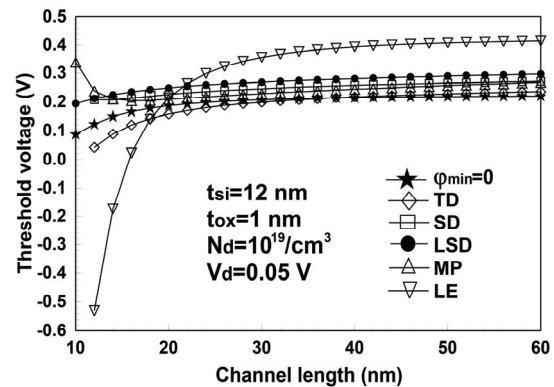


Fig. 4. Threshold voltages derived from various methods under given conditions in figure for $t_{si} = 12$ nm and $t_{ox} = 1$ nm.

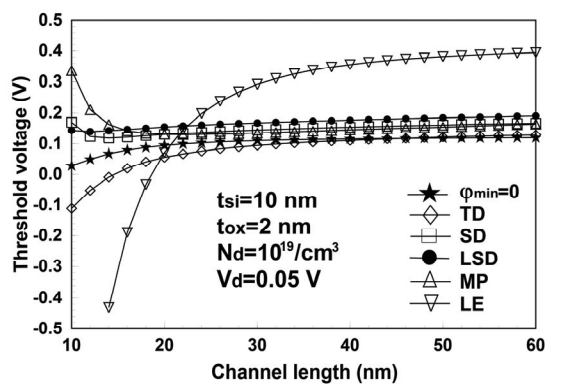


Fig. 5. Threshold voltages derived from various methods under given conditions in figure $t_{si} = 10$ nm and $t_{ox} = 2$ nm.

수 있다. 또한 그림 4에서 알 수 있듯이 LE 방법으로 구한 문턱전압이 타 방법에 의한 문턱전압과 비교하여 매우 다른 값을 보이고 있다. 이와 같이 LE 방법은 AJLDG MOSFET에서 문턱전압 추출을 위하여 사용하기 적당치 않다는 것을 관찰할 수 있다. 실리콘 두께를 증가시켜도 ϕ_{min} 방법과 TD 방법을 이용하여 추출한 문턱전압이 가장 유사한 것을 알 수 있다. 이는 두 방법이 물리적인 개념을 기본으로 추출한 문턱전압이기 때문이다. 두 방법 모두 단채널 효과에 의한 문턱전압 이동을 잘 보여주고 있었다. SD 방법, LSD 방법, MP 방법 등은 20 nm 이하 영역에서 단채널 효과를 제대로 반영하지 못하고 있다는 것을 관찰할 수 있다. 그러므로 가장 타당한 방법은 ϕ_{min} 방법과 TD 방법임을 알 수 있다.

산화막 두께는 게이트 전압의 제어능력을 채널에 전달시키는 중요한 요소이다. 그러므로 그림 3에서 단지 산화막 두께만 변화하였을 경우, 문턱전압의 변화 및 추출 방법에 대하여 고찰하기 위하여 그림 5에 산화막 두께를 2 nm로 증가시켰을 때 문턱전압을 도시하였다. 그림 5에서 알 수 있듯이 산화막 두께가 증가하면 전체적으로 문턱전압이 감소한다는 것을 관찰할 수 있다. 전술한 바와 같이 ϕ_{min} 방법과 TD 방법은 동일한 형태로 변화하고 있다는 것을 알 수 있다. 또한 LE 방법은 전 영역에서 문턱전압이 과대 추정되고 있다는 것을 관찰할 수 있다. 그림 3, 4와 그림 5를 비교해 보면 20 nm 이하의 채널 길이를 갖는 AJLDG MOSFET의 경우, 문턱전압 추출 방법에 따라 문턱전압이 매우 상이하게 나타나고 있다는 것을 관찰할 수 있다. SD, LSD, MP 방법의 경우 역시 단채널 효과에 의한 문턱

전압 이동효과를 제대로 반영하고 있지 못한 것을 알 수 있다. 20 nm 이하 영역에서 ϕ_{min} 방법과 TD 방법의 경우 추출한 문턱전압이 상이하다는 것을 알 수 있다. 물리적인 효과를 반영하였지만 ϕ_{min} 방법의 경우, $\phi_{min} = 0$ 에서 완전 결핍 상태는 아니기 때문에 약간의 오차가 발생할 수 있다는 것을 주시하라 [4]. 또한 TD 방법 역시 물리적인 개념을 토대로 개발되었으나 결핍 상태를 근사시키는 과정에서 약간의 오차가 있다는 것을 주시하라 [5]. 이상의 결과와 같이 AJLDG MOSFET의 경우, 문턱전압을 추출하는 방법에 따라 문턱전압에 차이가 발생하므로 정확한 문턱전압 정의를 위하여 보다 물리적인 개념이 적용된 모델이 개발되어야 할 것이다.

4. 결론

본 논문에서는 축적형 JLDG MOSFET의 해석학적 전위 분포와 확산-표동 전류방정식을 이용한 문턱전압 추출 방법에 대하여 비교·분석하였다. 비교한 문턱전압 추출 방법은 전위분포만을 이용하는 ϕ_{min} 방법과 $I_d - V_g$ 특성을 이용한 LE, SD, TD, LSD, MP 방법 등이다. 이를 위하여 포아송 방정식으로부터 유도한 전위 분포와 확산-표동 전류 방정식을 이용하여 유도된 $I_d - V_g$ 특성을 이용하였다. 결과적으로 LE 방법이 가장 부정확한 방법으로써 외삽선의 정확도에 따라 문턱전압의 변화가 크다는 것을 알 수 있었다. 타 방법의 경우 채널 길이가 20 nm 이상에서는 대체적으로 일치하는 문턱전압을 유도할 수 있었다. 특히 가장 물리적인 개념을 바탕으로 한 ϕ_{min} 방법과 TD 방법의 경우 매우 일치하는 결과를 추출할 수 있었다. 그러나 채널 길이가 감소하여 20 nm 이하가 되면 단채널 효과를 제대로 반영하지 못하여 LE 방법은 물론 SD, MP, LSD 방법 등은 부정확한 문턱전압을 추출하였다. 이상의 결과에서 알 수 있듯이 ϕ_{min} 방법과 TD 방법이 JLDG MOSFET의 문턱전압 추출을 위하여 가장 적당한 방법이라고 사료된다.

REFERENCES

- [1] R. D. Trevisoli, R. T. Doria, M. de Souza, and M. A. Pavanello, *Solid-State Electron.*, **90**, 12 (2013). [DOI: <https://>

- doi.org/10.1016/j.sse.2013.02.059]
- [2] A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, A. T. Barrios, J. J. Liou, and C. S. Ho, *Microelectron. Reliab.*, **53**, 90 (2013). [DOI: <https://doi.org/10.1016/j.microrel.2012.09.015>]
- [3] F. J. García-Sánchez, A. Ortiz-Conde, and J. Muci, *Microelectron. Reliab.*, **46**, 731 (2006). [DOI: <https://doi.org/10.1016/j.microrel.2005.07.116>]
- [4] C. Jiang, R. Liang, J. Wang, and J. Xu, *AIP Adv.*, **5**, 057122 (2015). [DOI: <https://doi.org/10.1063/1.4921086>]
- [5] J. S. Wong, J. G. Ma, K. S. Yeo, and M. A. Do, *Proc. Technical Proceedings of the 2001 International Conference on Modeling and Simulation of Microsystems* (Nano Science and Technology Institute, North Carolina, 2001) p. 534.
- [6] T. Rudenko, V. Kilchytska, M.K.M. Arshad, J. P. Raskin, A. Nazarov, and D. Flandre, *IEEE Trans. Electron Dev.*, **58**, 4180 (2011). [DOI: <https://doi.org/10.1109/TED.011.2168227>]
- [7] Z. Ding, G. Hu, J. Gu, R. Liu, L. Wang, and T. Tang, *Microelectron. J.*, **42**, 515 (2011). [DOI: <https://doi.org/10.1016/j.mejo.2010.11.002>]
- [8] D. Y. Jeon, S. J. Park, M. Mouis, M. Berthomé, S. Barraud, G. T. Kim, and G. Ghibaudo, *Solid-State Electron.*, **90**, 86 (2013). [DOI: <https://doi.org/10.1016/j.sse.2013.02.047>]