

# 이완 발진기의 면적 효율성과 주파수 안정성 향상을 위한 기생성분 효과 제거 기법연구

## A Study on Elimination Solution of Parasitic Effect to Improve Area Efficiency and Frequency Stability of Relaxation Oscillator

이 승 우\* · 이 민 웅\*\* · 김 하 철\*\*\* · 조 성 익†  
(Gil-Dong Hong · Ji-Me Il · Soon-Sin Lee · Young-Sil Jang)

**Abstract** - In order to generate a clock source with low cost and high performance in system on chip(SoC), a relaxation oscillator with stable output characteristics according to PVT(process, voltage and temperature) fluctuation require a low area and a low power. In this paper, we propose a solution to reduce the current loss caused by parasitic components in the conventional relaxation oscillator. Since the slew rate of the bias current and the capacitor are adjusted to be the same through the proposed solution, a relaxation oscillator with low area characteristics is designed for the same clock source frequency implementation. The proposed circuit is designed using the TSMC CMOS 0.18 $\mu$ m process. The Simulation results show that the relaxation oscillator using the proposed solution can prevent the current loss of about 279  $\mu$ A and reduce the total chip area by 20.8% compared with the conventional oscillator in the clock source frequency of 96 MHz.

**Key Words** : System on chip, Relaxation oscillator, Low area, Parasitic components, Clock source

### 1. 서 론

발진기는 전원이 인가된 상태에서 외부의 입력신호 없이 회로 자체의 동작에 의해 주기적인 특정 주파수 신호를 생성하는 회로 또는 장치로서 전자시스템에 필수적인 요소이다. 오늘날 대부분의 biomedical devices, portable mobile devices and wireless sensor networks 같은 전자시스템은 SoC화되어가기 때문에 클럭 발생기 역시 on-chip화가 되어야 한다. 다양한 종류의 클럭발생기 중 Crystal 발진기를 이용한 PLL은 구조상 On-chip화하기 어렵고, LC 발진기는 안정된 성능을 가지나 큰 면적과 추가적인 공정 과정이 필요하다는 단점이 있다. 저항(Resistor), 커패시터(Capacitor), 증폭기로 구성된 RC 발진기는 On-chip화가 가능하지만 큰 면적 때문에 저항을 외부소자로 대체하여 사용해야한다. 그러나 이완발진기(Relaxation oscillator)는 저전력, 저면적, cheap CMOS Digital process(on-chip BJT devices, MIM capacitors and area-inefficient inductors) 사용에 의한 저비용, PVT에 변동에 따른 우수한 출력주파수 특성을 보일 수 있기 때문에 On-chip 클럭소스로써 널리 연구되고 사용되어지고 있다[1-4].

현재 일반적으로 On-chip화 되고 있는 이완 발진기는 커패시터에 주기적으로 전류를 충전/방전 하는데 걸리는 시간, 즉 슬루율(slew rate= $I_{ref}/C$ )에 의하여 주파수(주기)인  $f_{osc}=I_{ref}/(2CV_{ref})$ 를 결정하는 구조로써 그 발진 주파수는 PVT 변동에 따른 바이어스 전류 변화에 일정하게 하고, 비교기, S-R latch를 통하여 충전/방전 시간을 조절함으로써 우수한 발진 주파수 특성을 얻는다. 그러므로  $V_{ref}$ 가 고정되어 있다면 슬루율을 결정하는 구성요소인  $I_{ref}$ 와 C값을 조절 가능한 구조로 설계함으로써 전력과 면적을 줄일 수 있다. 그러므로 본 논문에서는 전력과 면적에서 효율적인 특성을 갖는 CMOS(Complementary metal oxide semiconductor) 기반의 기존 이완 발진기 구조[5-6]에서 기생 성분에 의한  $I_{ref}$ 의 순간적인 증가를 방지할 수 있는 솔루션을 제안하여 슬루율에 의한 동일한 발진 주파수를 출력하는데 기생 성분에 의한 전력손실을 방지하고 칩 전체 면적을 줄이고자 한다.

본 논문의 구성은 다음과 같다. 2장 본론의 2.1장에서는 PVT 변동에 둔감한 기존 이완 발진기 구조와 특성을 설명하고, 2.2장에서는 이완 발진기의 전력손실 및 면적을 줄일 수 있는 방법을 제안하였으며, TSMC 0.18 $\mu$ m 공정을 기반으로 모의실험을 수행하였고 그 결과를 비교 분석한다. 그리고 3장에서 결론을 맺는다.

† Corresponding Author : Dept. of Electronic Engineering,  
Chonbuk National University, Korea.  
E-mail: sicho@jbnu.ac.kr

\* Dept. of Research Development, LDT Inc.

\*\* Dept. of Electronic Engineering, Chonbuk National University,  
Korea.

\*\*\*REPUBLIC OF KOREA NAVAL ACADEMY.

Received : November 2, 2017; Accepted : March 16, 2018

### 2. 본 론

#### 2.1 기존 이완 발진기

일반적으로 사용되는 이완 발진기는 일정한 바이어스 전류에

의해 커패시터를 충전하고 커패시터의 충전전압이 설정된 기준 전압을 초과할 때마다 주기적으로 방전하는 방식을 이용한다[5]. 그림 1은 일반형 이완 발진기를 개선한 기존 이완 발진기의 블록도를 나타내며, PVT에 둔감하도록 설계되었다. 일반형 이완 발진기에 사용되는 비교기의 바이어스 기준 전류와 스위칭 지연은 온도에 의존적이고 이때 발진 주파수는 바이어스 전류와 비교기 지연시간에 대한 함수이기 때문에 발진 주파수가 온도에 민감하다는 단점을 갖는다. 이러한 단점을 극복하기 위하여 그림 1과 같이 기존 이완 발진기로 개선되었다.

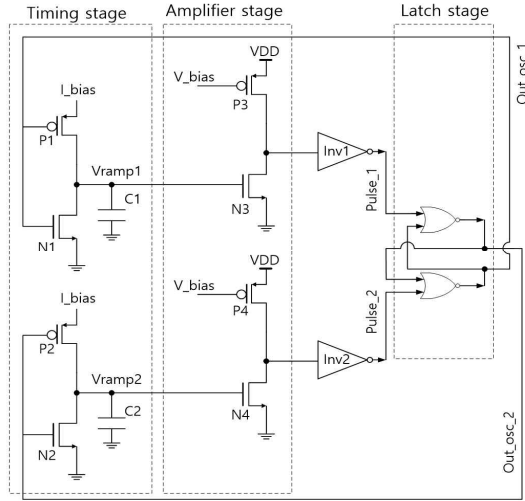


그림 1 기존 이완 발진기 회로도[6]  
 Fig. 1 Conventional relaxation oscillator circuit[6]

이 발진기는 PMOS 스위치, NMOS 스위치, 커패시터( $C=C_1=C_2$ )로 구성된 타이밍단과 비교기의 지연시간을 문제를 해결하기 위한 고속 CS(Common source) 증폭단 그리고 래치단으로 구성된다. 기존 이완 발진기는 완전 차동방식으로 타이밍단의 P1, P2는 C1, C2를 충전하고, N1, N2는 C1, C2를 각각 방전함으로써 램프 신호( $V_{ramp}=V_{ramp1}=V_{ramp2}$ )를 출력하고 식 1과 같이 램프신호 지연시간의 합은 발진 주파수를 결정한다. CS 증폭기단은 타이밍단의 램프신호를 입력으로 받아 래치단에 펄스신호를 제공하고 래치단은 발진 주파수를 갖는 클럭소스를 출력한다. 램프신호가 CS 증폭기와 래치단을 거쳐 발생하는 지연시간은  $T_{ramp}$ 에 비하여 매우 작기 때문에 발진 주파수에 거의 영향을 주지 않는다. 따라서 바이어스 전류는 식 2와 같으며, 식 3과 같이 발진 주파수는 바이어스 전압, 램프전압, 커패시터 값에 의해 결정된다[6-7].

$$T_{osc} \cong T_{ramp1} + T_{ramp2}, T_{ramp} = \frac{1}{2} T_{osc} \quad (1)$$

$$(\because T_{ramp1} = T_{ramp2} = T_{ramp})$$

$$C \frac{dV_{ramp}}{dT_{ramp}} = I_{bias} \quad (2)$$

$$f_{osc} = \frac{I_{bias}}{V_{ramp}} \frac{1}{2C} \quad (3)$$

이때 기존 이완 발진기는 금속형 커패시터를 사용하고 밴드갭 회로를 통하여 온도와 공급전압 변화에 영향이 없는 바이어스 전류와 램프전압을 제공하기 때문에 온도와 공급전압 변화에 둔감한 발진 주파수를 출력할 수 있다. 그러나, 스위칭 역할을 하는 CMOS의 공정변수 문턱전압은 최대 20%의 변화 폭을 갖기 때문에 공정에 따른 발진 주파수가 민감하다는 문제가 발생한다. 이 문제는 3-bit 디지털 트리밍 회로를 추가 적용하여 디지털 코드로 바이어스 전류를 조절 가능하도록 설계하였기 때문에 기존 이완 발진기는 PVT 변동에 둔감한 클럭소스 주파수를 출력할 수 있다[6].

## 2.2 제안하는 저면적 이완 발진기

### 2.2.1 제안하는 솔루션

기존 이완 발진기는 PVT 변동에 안정적인 발진 주파수를 얻을 수 있도록 설계되었지만 낮은 주파수의 클럭소스가 필요한 회로에 적용할 때 고정 바이어스 전류에서 발진 주파수를 결정하는 커패시터 값이 증가한다는 단점을 갖는다. 이는 칩의 면적과 연관되어 있기 때문에 저면적, 저전력 칩을 설계하는데 제한이 있다. 그림 2는 기존 이완 발진기 타이밍단의 P1의 기생 커패시터 성분을 보여주며 P1과 N1의 on/off에 따른 회로 연결 상태를 나타낸다. 이때 기생 성분에 의한 누설전류( $I_{Cp}$ ) 및 전체 바이어스 전류( $I_{Total\_bias}$ )는 식 (4), (5)와 같다. P1이 off이고 N1이 on일 때 총 기생 커패시터( $C_p$ )의 양단에 전압 차이가 발생하기 때문에  $C_p$ 가 충전되고 P1이 on, N1이 off가 되면 충전된 만큼의 전류가 순간적으로 C1에 더해지기 때문에 전류손실과 발진 주파수가 증가하는 현상이 발생한다[8-9]. 식 (5)와 같이 기존 이완 발진기의 고정 바이어스 전류의 순간적인 증가는 발진 주파수  $f_{osc} = I_{bias} / (2CV_{ramp})$ 는 증가뿐 만 아니라 안정적인 클럭소스 제공을 보장하기 어렵다. 따라서 안정된 낮은 발진 주파수를 구현하기 위해서는 커패시터의 용량을 증가시켜야하는 단점이 있다[6]. 그러므로 본 논문에서는 타이밍단의 스위칭 PMOS에서 발생하는 누설전류를 제거하고 램프신호를 안정적으로 출력함으로써 고정 바이어스 전류에서 특정 발진 주파수를 구현하는데 있어 커패시터의 면적을 줄이는 방법을 제안하였다.

$$I_{Cp} = C_p \frac{dV_{Cp}}{dt} \quad (4)$$

$$I_{Total\_bias} = I_{bias} + I_{Cp} \quad (5)$$

제안한 방법은 기존 이완 발진기의 발진 주파수를 출력하는 메커니즘은 같으나, 타이밍단에 방전용 NMOS( $N_{D1}$ ) 추가 적용하는 간단한 방법으로 전류손실을 막고 칩 면적을 줄일 수 있다. 그림 3은 제안한 방법이 적용된 이완 발진기 타이밍단의 기생 성분을 나타내며 P1, N1,  $N_{D1}$ 의 on/off에 상태에 따른 동작을 보여준다. 이는 P1이 off되고 N1이 on 상태일 때  $N_{D1}$ 이 on이 되어 바이어스 전류를 GND로 흘려보냄으로써 기생 커패시터 양단의 전압차이( $V_{Cp}$ )를 제거했기 때문에 전하가 충전되는 것을 방지하

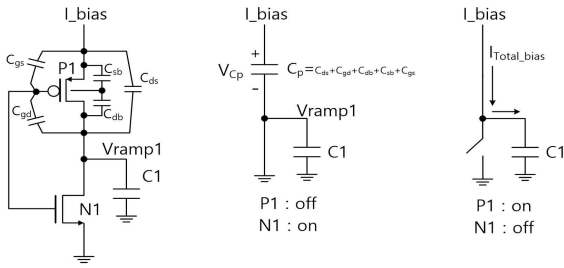


그림 2 기존 이완 발진기의 타이밍단 기생 커패시터와 연결 상태  
**Fig. 2** Parasitic capacitors and connected state of timing stage in conventional relaxation oscillator

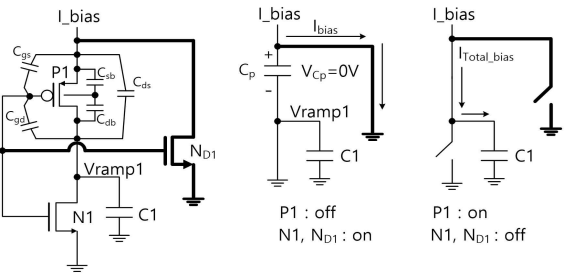


그림 3 제안하는 솔루션을 갖는 이완 발진기의 타이밍단 기생 커패시터와 연결 상태  
**Fig. 3** Parasitic capacitors and connected state of timing stage in relaxation oscillator with proposed solution

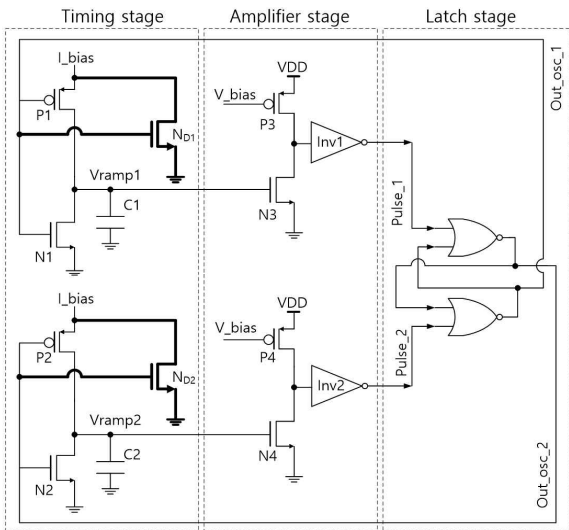


그림 4 제안하는 솔루션이 적용된 이완 발진기 회로도  
**Fig. 4** Relaxation oscillator circuit with proposed solution

는 역할을 한다.

따라서, 제안한 구조는 기생 성분에 의한 영향을 줄임으로써 식 (6)과 같이 고정 바이어스 전류가 증가하는 것을 방지하고 안정적인 발진 주파수를 얻을 수 있다[8-9].

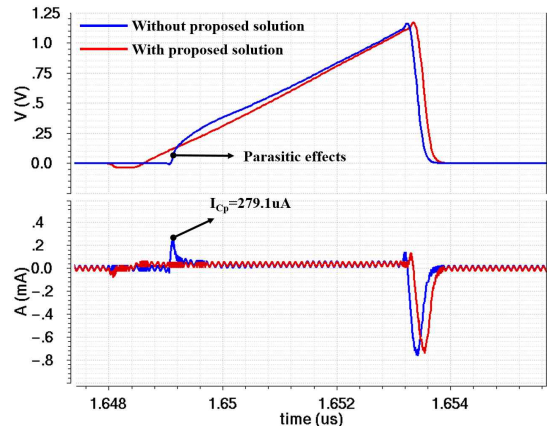


그림 5 제안하는 솔루션을 갖는 이완 발진기와 기존 발진기의 바이어스 전류 시뮬레이션

**Fig. 5** Total bias current simulations of relaxation oscillator with and without proposed solution

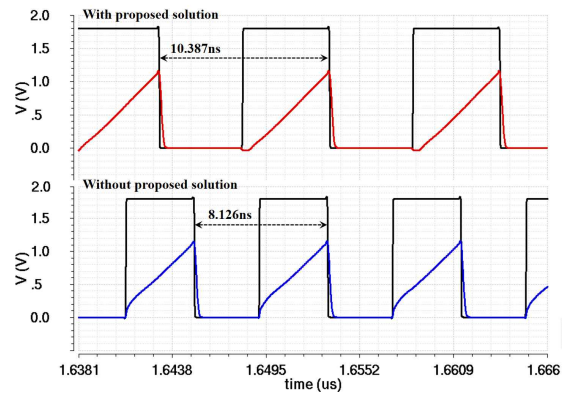


그림 6 제안하는 솔루션이 적용된 이완 발진기와 기존 발진기의 발진 주파수 오차 시뮬레이션

**Fig. 6** Oscillation frequency error simulations of relaxation oscillator with and without proposed solution

$$I_{Totalbias} = I_{bias} (\because V_{Cp} = 0, I_{Cp} = 0) \quad (6)$$

### 2.2.2 제안한 솔루션 적용된 이완 발진기 모의실험

앞장에서 논한 제안하는 방법에 대한 성능을 입증하기 위하여 Cadence 사의 spectre 툴을 사용하여 모의실험을 진행하였다. 그림 4는 제안한 솔루션이 적용된 이완 발진기의 전체 회로도를 나타내며 TSMC 0.18  $\mu\text{m}$  CMOS 공정에서 공급전압 1.8V를 인가하고 센서 신호처리용 클럭소스 주파수 96 MHz를 목표로 설계하였다. 제안한 솔루션 적용 전과 후의 결과를 비교하기 위하여 발진 주파수를 결정하는 고정 바이어스 전류 48.5 $\mu\text{A}$ , 발진 커패시터 (C1, C2) 146.7fF(8.51  $\mu\text{m} \times 8.51 \mu\text{m}$ )으로 동일한 조건에서 모의실험을 진행하였다.

먼저, 그림 5는 기생 성분에 의한 순간적인 바이어스 전류 증가에 대한 모의실험 결과로 기존 이완 발진기 구조는 타이밍단의 PMOS(P1, P2)가 off 시 기생 커패시터에 충전된 전하가 PMOS가 on으로 스위칭 되면서 발진 커패시터로 이동하기 때문에 순간적으로 279.1 $\mu$ A의 큰 전류가 흐르게 된다. 이 전류는 그림 6과 같이 커패시터의 충전시간을 변화시켜 발진주파수 오차를 야기하지만 제안한 구조에서는 PMOS(P1, P2)가 off되었을 때 NMOS(N<sub>D1</sub>, N<sub>D2</sub>)를 통하여 기생 커패시터 양단의 전압차이를 제거하였

기 때문에 순간적인 전류손실을 방지할 수 있다.

그림 7은 동일한 조건에서 제안한 솔루션 적용 전 후의 발진 주파수 FFT(Fast Fourier Transform)를 수행한 결과로 적용 후 기생 성분에 의한 영향을 제거함으로써 주파수가 증가하는 문제를 해결하였다. 기존 이완 발진기의 경우 고정 바이어스 전류에서 96 MHz의 클럭소스를 구현하기 위해서는 발진 커패시터(C1, C2)의 용량을 증가시켜야한다. 이는 이완 발진기에서 낮은 발진 주파수를 필요로 할수록 커패시터가 차지하는 면적의 비중이 증가하기 때문에 칩 전체 면적에 직접적인 영향을 끼친다. 본 논문에서는 그림 8과 같이 실제 레이아웃을 통하여 그 면적을 비교하였다[10]. 그림 8은 고정 바이어스 전류에서 96MHz의 클럭소스를 구현할 때 이완 발진기의 전체 칩 면적을 나타내며 기존 이완 발진기의 발진 커패시터를 195.9fF까지 증가시켜야 하기 때문에 제안한 솔루션이 적용될 때 기존 전체 칩 면적의 20.8%까지 줄일 수 있다는 결론에 도달하였다.

표 1에 본 논문에서 제안하는 솔루션에 대한 모의실험 결과를 정리하였으며 제안된 솔루션을 적용한 이완 발진기는 기생 성분에 의한 발진 주파수의 영향을 극복하였기 때문에 저면적으로 96 MHz의 안정적인 클럭소스를 제공할 수 있을 것이다.

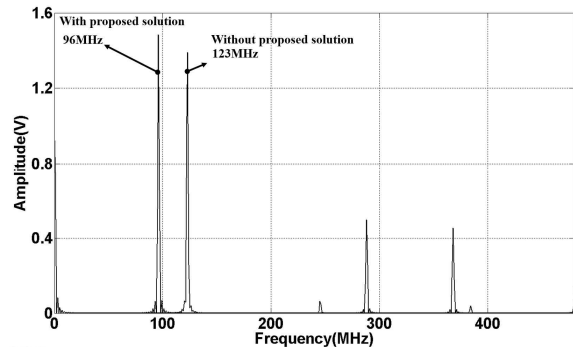


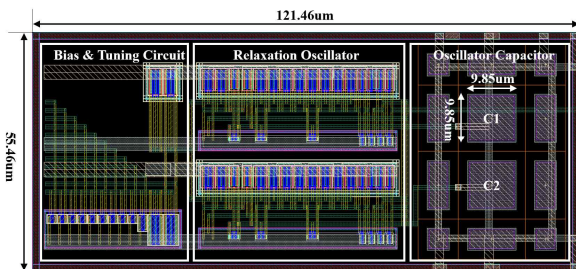
그림 7 146.7fF의 발진 커패시터(8.51 $\mu$ m $\times$ 8.51 $\mu$ m)를 갖는 제안하는 이완 발진기와 기존 이완 발진기의 FFT 시뮬레이션 결과

Fig. 7 FFT results of proposed and conventional relaxation oscillators with oscillator capacitor of 146.7fF(8.51 $\mu$ m $\times$ 8.51 $\mu$ m)

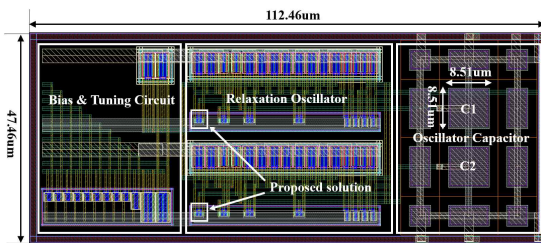
표 1 제안하는 이완 발진기와 기존 이완 발진기 시뮬레이션 결과

Table 1 Simulation results of relaxation oscillator with proposed solution

	Conventional circuit [6]	Proposed circuit
Process [ $\mu$ m]	TSMC 0.18	TSMC 0.18
Supply voltage [V]	0.18	0.18
Bias current [ $\mu$ A]	48.5	48.5
Clock source [MHz]	96	96
Oscillator capacitor value [fF]	195.9	146.7
Oscillator capacitor area [ $\mu$ m <sup>2</sup> ]	9.85 $\times$ 9.85	8.51 $\times$ 8.51
Total area [ $\mu$ m <sup>2</sup> ]	121.46 $\times$ 55.46	112.46 $\times$ 47.46
Betterment proportion [%]	20.8	



(a)



(b)

그림 8 클럭 소스 96MHz 구현을 위한 이완 발진기 레이아웃 사이즈 (a)기존 이완 발진기 (b)제안하는 이완 발진기

Fig. 8 Layout of relaxation oscillator for clock source 96MHz (a)without proposed solution (b)with proposed solution

### 3. 결 론

본 논문에서는 저전력, 저면적, 저비용으로 PVT에 변동에 따른 안정된 발진 주파수 특성을 보장할 수 있는 기존 이완발진기로부터 기생 성분에 의한 전류손실을 제거함으로써 발진 주파수 에러를 줄이고 칩 전체 면적을 줄일 수 있는 솔루션을 제안한다. 제안된 솔루션을 적용한 이완 발진기는 동일한 클럭소스 구현시 불필요한 전류손실을 줄임으로써 기존 이완 발진기에 비해 칩 전체 면적을 20.8% 줄일 수 있다. 그러므로 제안된 이완 발진기는 SoC에서 전류손실에 의한 오류 없이 저면적 특성을 갖는 안정된 클럭소스로 사용될 것으로 기대된다.

## References

- [1] T. OShaughnessy, "A CMOS, self calibrating, 100MHz RC-oscillator for ASIC applications," Proc. IEEE ASIC Conf. and Exhibit, pp. 279-282, September 1995.
- [2] F. Sebastiano, L. J. Breems, K. A. A. Makinwa, S. Drago, D. M. W. Leenaerts, and B. Nauta, "A low-voltage mobility-based frequency reference for crystal-less ULP radios," IEEE J. Solid-State Circuits, vol. 44, no. 7, pp. 2002-2009, July 2009
- [3] Y. Tokunaga, S. Sakiyama, A. Matsumoto, and S. Dosho, "An on-chip CMOS relaxation oscillator with voltage averaging feedback," IEEE J. Solid-State Circuits, vol. 45, no. 6, pp. 1150-1158, June 2010.
- [4] A. Lahiri, P. Badrathwal, N. Jain and K. Chatterjee, "A 0.5V supply, 49nW band-gap reference and crystal oscillator in 40nm CMOS" 2017 IEEE Custom Integrated Circuits Conference (CICC), pp. 1-4, July 2017.
- [5] Y. Hsuan, and S.I. Liu, "A submicrowatt 1.1MHz CMOS relaxation oscillator with temperature compensation," IEEE J. Solid-State Circuits, vol. 60, no. 12, pp. 837-841, December 2013.
- [6] I. Taha and M. Mirhassani, "A temperature compensated relaxation oscillator for SoC implementations", 2014 IEEE 12th International New Circuits and Systems Conference (NEWCAS), pp. 373-376, June 2014.
- [7] V. Ivanov, R. Brederlow, J. Gerder, "An Ultra Low Power Bandgap Operational at Supply from 0.75V," IEEE J. Solid-State Circuits, vol. 47, no. 7, pp. 1515-1532, July 2012.
- [8] B. Razavi, Design of Analog CMOS Integrated Circuits, New Edition, Boston:McGraw-Hill, 2000.
- [9] K. J. Hsiao, "A 1.89nW/0.15V Self-Charged XO for Real-Time Clock Generation", 2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC), pp. 298-299, March 2014.
- [10] R. Jacob Baker, CMOS: Circuit Design, Layout, and Simulation, 3rd Edition, Hoboken:John Wiley and Sons Ltd, 2010.

## 저 자 소 개



### 이 승 우 (Seung-Woo Lee)

2004년 원광대학교 전자공학과 졸업(박사).  
2007년~현재 쉐일디티 수석연구원 근무.  
E-mail : nicelw@nate.com



### 이 민 웅 (Min-Woong Lee)

2014년 전북대학교 전자공학과 졸업(석사).  
2014~현재 전북대학교 전자공학과 박사과정.  
한국원자력연구원 근무.  
E-mail : minwoong@kaeri.re.kr



### 김 하 철 (Ha-Chul Kim)

1999년 경북대학교 전자공학과 졸업(박사).  
1993년~현재 해군사관학교 전기전자공학과 교수.  
E-mail : khachul@navy.ac.kr



### 조 성 익 (Seong-Ik Cho)

1994년 전북대학교 전기공학과 졸업(박사).  
1996~2004년 하이닉스 반도체 근무. 2004년~현재 전북대학교 전자공학과 교수.  
E-mail : sicho@jbnu.ac.kr