

P(VDF-TrFE) 유기물 강유전체를 활용한 질화갈륨 네거티브 커패시턴스 전계효과 트랜지스터

Investigation of GaN Negative Capacitance Field-Effect Transistor Using P(VDF-TrFE) Organic/Ferroelectric Material

한 상 우*, 차 호 영*

Sang-Woo Han*, Ho-Young Cha*

Abstract

In this work, we developed P(VDF-TrFE) organic/ferroelectric material based metal-ferroelectric-metal (MFM) capacitors in order to improve the switching characteristics of gallium nitride (GaN) heterojunction field-effect transistors (HFET). The 27 nm-thick P(VDF-TrFE) MFM capacitors exhibited about 60 ~ 96 pF capacitance with a polarization density of 6 $\mu\text{C}/\text{cm}^2$ at 4 MV/cm. When the MFM capacitor was connected in series with the gate electrode of GaN HFET, the subthreshold slope decreased from 104 to 82 mV/dec.

요 약

본 논문에서는 P(VDF-TrFE) 유기물 강유전체 기반 metal-ferroelectric-metal (MFM) capacitor 와 차세대 반도체 물질인 질화갈륨 반도체를 활용한 네거티브 커패시턴스 전계효과 트랜지스터를 제작 및 분석 하였다. 27 nm의 두께의 P(VDF-TrFE) MFM 커패시터의 분극지수는 4 MV/cm에서 6 $\mu\text{C}/\text{cm}^2$ 값을 나타내었으며 약 65 ~ 95 pF의 커패시턴스 값을 나타내었다. 강유전체의 커패시턴스와 전계효과 트랜지스터의 커패시턴스 매칭을 분석하기 위해 제작된 P(VDF-TrFE) MFM 커패시터는 GaN 전계효과 트랜지스터의 게이트 전극에 집적화 되었으며 집적화되기 전 104 mV/dec 의 문턱전압 이하 기술기에서 82 mV/dec 값으로 개선된 효과를 보였다.

Key words : Negative capacitance, NCFET, Ferroelectric, GaN, Gallium Nitride.

1. 서론

* School of Electronic and Electrical Engineering,
Hongik University

★ Corresponding author

E-mail:hcha@hongik.ac.kr, Tel:+82-2-320-3062

※ Acknowledgment

This work was supported by NRF of Korea under Grant 2015R1A6A1A03031833 and 2012M3A7B4035274 and Material Component Development Program of MOTIE/KEIT (10080736). Manuscript received Mar. 9, 2018; revised Mar. 15, 2018 ; accepted Mar. 16, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Si 기반 CMOS 로직 반도체 기술은 1960년대부터 성공적인 스케일다운 엔지니어링을 통해 지속적인 동작 주파수, 성능, 집적도, micro processor unit (MPU)의 가격경쟁력 향상이 실현되어 왔다. 그러나 현재 CMOS기술은 크게 두 가지의 기술장벽으로 인해 높은 전력소모를 야기하는 기술 한계에 직면해 있는 실정이다[1]. 첫 번째는 개별 트랜지스터의 일정한 온-전류를 유지하기 위해 일정 값 이하로 공급전압(V_{DD})을 감소시킬 수 없는 어려움이며 두 번째는 온-오프 스위칭 비율특성(I_{on}/I_{off})을 열화 시키는 트랜지스터의 누설전류 증가이다.

이러한 전력소모의 증가는 열 발생을 급증시키는 현상을 발생시키며 이를 통해 다시 동작주파수 및 성능이 제한되어 MPU의 성능향상을 저해하는 요소가 된다.

문턱전압이하기울기(subthreshold slope, $S.S.$)는 트랜지스터의 전류를 10배 증가시키기 위해 인가해야 하는 게이트 전압의 증가분을 의미하며 $S.S.$ 가 개선 될 경우 위 두 가지의 문제점을 같이 해결할 수 있는 궁극적인 해결 방안이 될 수 있다[2]. $S.S.$ 는 수식 1과같이 표현할 수 있으며 m factor와 n factor로 분리될 수 있다.

$$S.S. = \frac{\partial \Psi_S}{\partial (\log_{10} I_D)} \frac{\partial V_G}{\partial \Psi_S} = \frac{K_B T}{q} \ln 10 \frac{\partial V_G}{\partial \Psi_S} \quad (1)$$

여기서 Ψ_S 는 표면전위 (surface potential), I_D 는 드레인 전류(drain current), V_G 는 게이트 전압 (gate voltage), K_B 는 볼츠만상수(Boltzmann constant), T 는 절대온도, q 는 전자의 단위 전하를 나타낸다. n factor($\partial \Psi_S / \partial (\log_{10} I_D)$)는 드레인 전류변화에 따른 표면전위의 변화를 의미하며 트랜지스터의 채널 전도 메커니즘을 표현한다. 일반적인 MOSFET의 경우 전자의 thermionic injection 기반의 물리적 동작 특성을 가지며 n factor는 $(K_B T/q) \ln 10$ 으로 표현 될 수 있고 300K에서 60mV/dec의 상수값을 가진다. m factor ($\partial V_G / \partial \Psi_S$)는 트랜지스터의 body factor로 트랜지스터의 게이트 전압과 표면전위의 변화량의 비를 표현하며 일반적인 MOSFET에서 표면전위는 SiO_2 혹은 다른 절연막의 유전율로 인해 게이트 전압보다 작은 값을 가지게 되어 m factor는 1보다 작아질 수 없다. 위와 같은 이유로 $S.S.$ 의 이론값은 60 mV/dec로 제한되며 최근 발표된 Intel의 10나노 기술은 이론적 한계 값에 다다른 70 mV/dec의 값을 가지고 있는 실정이다[3].

60 mV/dec의 이론적 한계를 극복하기 위해 대표적으로 터널링 전계효과 트랜지스터(TFET)[2] 기술과 impact ionization MOSFET (IMOS)[4] 기술이 발표되고 있으나 TFET 기술은 낮은 구동 전류, 복잡한 process flow, TFET를 위한 회로 layout 수정 필요 등의 단점을 가지고 있으며 IMOS 기술은 impact ionization을 구현하기 위한 높은 게이트 전압의 필요, 신뢰성 등의 단점을 가지고 있다.

네거티브 커패시턴스 전계효과 트랜지스터 (NCFET) 기술은 강유전체를 게이트 절연막으로 활용하는 기술이다. 강유전체의 분극현상으로 인해

발생하는 커패시턴스의 비선형성은 게이트로 인가된 전압을 증폭시켜 더 큰 표면전위 값을 제공하며 이를 통해 m factor ($\partial V_G / \partial \Psi_S$)는 1이하로 낮아질 수 있다. 뿐만 아니라 NCFET 기술을 활용할 경우 기존 FET의 누설전류 특성을 그대로 가져감과 동시에 높은 온 전류를 적용 할 수 있는 장점을 가진다.

2016년 실험적으로 네거티브 커패시턴스가 측정된 이후[5, 6], P(VDF-TrFE), PZT, BaTiO₃, (Hf, Zr)O₂ 등의 여러 강유전체를 활용한 네거티브 커패시턴스의 측정 연구가 활발하게 진행되고 있는 실정이며 P(VDF-TrFE) 강유전체 물질은 공정 과정의 간단함과 본질적으로 뛰어난 분극현상을 가짐으로 인해 NCFET 특성을 구현 및 분석하기 적합한 물질로 주목받고 있다.

본 논문에서는 NCFET 기술을 구현하기 위해 강유전체 물질인 P(VDF-TrFE)물질을 절연막으로 활용한 metal-ferroelectric-metal (MFM) 커패시터를 제작하였으며 위 MFM 커패시터를 차세대 반도체 물질로 주목받고 있는 질화갈륨 기반 이중접합 전계효과 트랜지스터(GaN HFETs)에 적용하여 NCFET의 특성을 분석 하였다.

II. 본론

1. P(VDF-TrFE)기반 MFM 커패시터

(P(VDF-TrFE)) 유기물 강유전체는 polyvinylidene fluoride (PVDF) 와 trifluoroethylene (TrFE)의 공중합체(copolymer) 물질로써 그림1과 같이 일반적으로 α 상의 결정구조를 가진다. α 상 결정구조는 고진공 상태에서의 열처리를 통해 강한 분극성을 갖는 β 상으로의 변형이 가능하며 PVDF의 조성 비율이 높을수록 우수한 분극특성을 가진다.

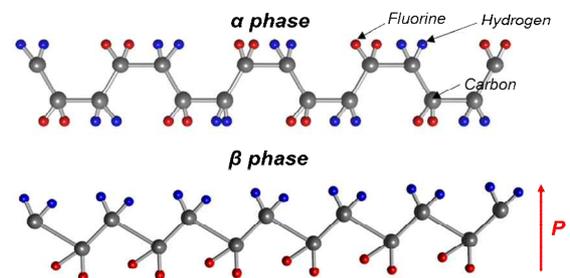


Fig. 1. The crystal structures of P(VDF-TrFE) copolymer.
그림 1. P(VDF-TrFE) 공중합체 물질의 격자구조

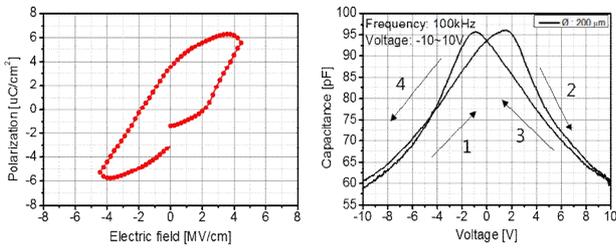


Fig. 2. (a) P-E and (b) C-V characteristic of P(VDF-TrFE) MFM capacitor.

그림 2. (a) P(VDF-TrFE) MFM 커패시터의 P-E 및 (b) C-V 특성

본 실험에서는 상업적으로 광범위하게 사용되는 P(VDF_{0.75}-TrFE_{0.25})의 합성비율을 사용하여 실험을 진행하였다. 먼저 MFM 커패시터의 하부전극을 형성하기 위해 석영기판에 200 nm의 TiN를 RF sputtering을 통해 증착하였다. P(VDF-TrFE)강유전체 층을 형성하기 위해 methyl ethyl ketone (MEK)용매에 1 wt% 농도로 용해시킨 용액을 활용하였으며 P(VDF-TrFE)의 완전한 용해를 위해 60°C의 온도에서 2시간 교반을 진행하였다. 제작된 용액은 TiN 하부전극 위에 1500 rpm, 30 sec 조건의 스핀코팅 공정을 통해 코팅되었으며 27 nm 두께의 P(VDF-TrFE)박막은 β상 결정화를 위해 140°C에서 2시간동안 결정화 열처리되었다. 상부전극을 형성하기 위해 sample 전면에 100 nm의 Al 금속을 증착하였으며 포토 리소그래피를 통해 상부전극의 패턴을 형성 후 Al etchant 용액을 통해 잔여 Al 금속을 습식식각 하였다.

제작된 지름 200 μm의 MFM 커패시터는 그림 2(a)와 같이 4 MV/cm의 전계에서 약 6 μC/cm²의 잔류분극-전계 특성을 보였다. 그림 2(b)는 MFM 커패시터의 커패시턴스-전압 (C-V) 특성으로 커패시터의 강유전성을 뒷받침 한다. 강유전체 기반 커패시터의 경우 양전극에 인가된 전압에 의해 격자구조의 쌍극자 모멘트가 변화하여 C-V 특성이 butterfly 형상을 띄게 된다. 제작된 MFM 커패시터는 100kHz의 주파수에서 60~96 pF의 커패시턴스 특성을 보였다.

2. 질화갈륨기반 전계효과트랜지스터

질화갈륨(GaN)은 본질적으로 넓은 에너지 밴드갭(3.4 eV)을 가짐으로 인해 Si기반 MOSFET에 비해 낮은 누설전류 높은 항복전압을 가지며

AlGaN/GaN 이중접합의 강한 분극현상으로 인해 이차원전자가스(2DEG)를 형성하여 높은 전자 가속도와 이동을 가진다. GaN HFET를 저전력 반도체로 활용할 경우 높은 I_{on}/I_{off} 스위칭 비율을 가지는 고성능의 NCFET를 제작 가능하다.

본 실험에서는 Si(111)기판위에 성장된 AlGaN/GaN 에피 구조를 사용하였으며 에피는 10.2 nm의 in-situ SiN_x박막을 가지며 순차적으로 3.8 nm의 GaN cap 층, 23.8 nm의 Al_{0.23}Ga_{0.77}N 장벽층 514 nm의 GaN 채널층 ~4.5 μm의 버퍼층 그리고 Si(111)기판의 구조를 가진다.

먼저 오믹전극 형성을 위해 AlGaN층을 10 nm 남기고 Cl₂, BCl₃ 가스 기반 건식식각을 통해 식각하였으며 Si/Ti/Al/Mo/Au (5/20/60/25/50 nm)의 다중 금속층을 e-gun evaporator를 통해 증착 후 N₂ 분위기에서 780°C, 1분 열처리 공정을 진행하였다. 각각 소자와의 isolation을 위해 active영역을 제외한 부분을 200 nm 식각하였으며 normally-off 동작을 위해 gate 전극 하부 부분의 AlGaN층을 식각하였다. 22 nm의 SiO₂ 절연막을 PECVD 방식을 통해 증착하였으며 Mo/Au (20/200 nm)의 다중 금속층을 증착하여 Gate 전극을 형성하였다. 마지막으로 게이트 전극과 절연막의 interface 특성을 향상시키기 위해 O₂ 분위기에서 400°C, 10분 조건의 열처리를 진행하였다.

제작된 GaN HFET는 10 μm의 채널 폭을 가지며 각각 3 μm, 2 μm, 3 μm의 L_{SG} , L_G , L_{GD} 를 가진다. 그림 3(a)는 제작된 GaN HFET의 전달특성을 나타내며 약 2 V (at 1 μA/mm)의 문턱전압과 함께 104 mV/dec의 S.S. 특성을 보였다. 그림 3(b)는 GaN HFET의 C-V 특성을 나타내며 이때 최대 MOS 커패시턴스는 430 fF이었다.

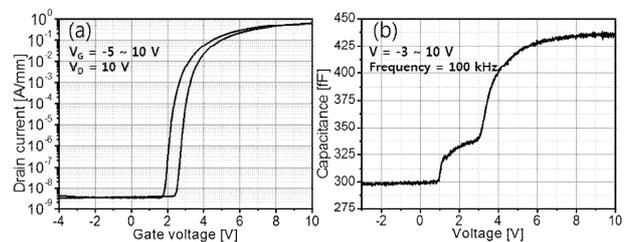


Fig. 3. (a) Transfer and (b) C-V characteristic of GaN HFETs.

그림 3. (a) GaN HFET의 전달특성 및 (b) C-V 특성

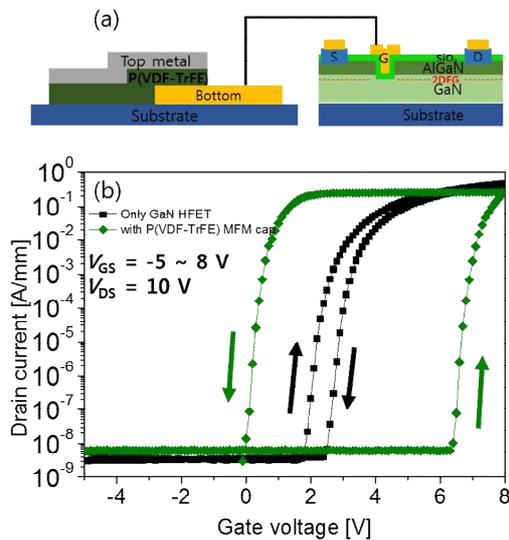


Fig. 4. (a) Cross section view and (b) transfer characteristics of a P(VDF-TrFE) MFM capacitor and a GaN HFET based NCFET

그림 4. (a) P(VDF-TrFE) MFM 커패시터와 GaN HFET 기반 NCFET의 단면도 및 (b) 전달특성

3. P(VDF-TrFE) MFM 커패시터와 GaN MOS-HFET의 집적화

최종적으로 NCFET 특성을 구현하기 위해 그림 4(a)와 같이 P(VDF-TrFE) MFM 하부전극과 GaN 기반 FET의 게이트 전극을 직렬로 상호연결하였다. 그림 4(b)는 MFM 커패시터가 연결된 GaN HFET의 전달특성을 나타낸다. P(VDF-TrFE)의 강유전체 스위칭 특성으로 인해 FET의 히스테리시스 특성이 시계방향에서 반시계 방향으로 변화함을 확인하였으며 이때 S.S. 특성은 기존 104mV/dec에서 82mV/dec로 개선되었다. GaN HFET를 활용함으로써 인해 비교적 높은 10 V의 V_{DD} 에서도 $\sim 6 \times 10^{-9}$ A/mm의 off-state 누설전류 값을 유지하는 것을 확인 할 수 있었다.

III 결론

본 논문에서는 P(VDF-TrFE) 강유전체 MFM 커패시터를 GaN HFET에 적용한 NCFET 구현을 통해 S.S.특성을 개선하였다. P(VDF-TrFE) 기반 커패시터를 GaN HFET에 적용한 결과 S.S. 특성이 104 V/dec에서 82mV/dec 로 개선된 것을 확인하였으며 비록 이론적 한계치인 60mV/dec 이하의

S.S. 특성을 가지진 못하고 히스테리시스 특성이 증가하는 것을 확인하였지만 S.S. 특성은 좀 더 높은 분극성을 가진 HfO_2 혹은 PZT 강유전체를 적용할 경우 더욱 개선된 특성을 얻을 수 있을 것이라 기대되며 비교적 높은 히스테리시스 특성은 MFM 커패시터와 GaN 기반 FET의 게이트 전극간의 상호접속 방식을 모노리식 집적화를 통해 구현할 경우 더욱 감소할 것으로 기대된다.

References

- [1] K. Rupp, "40 Years of Microprocessor Trend Data," <https://www.karlrupp.net/2015/06/40-years-of-microprocessor-trend-data/>
- [2] A. M. Ionescu and H. Riel, "Tunnel field-effect transistors as energy-efficient electronic switches," *Nature*, vol. 479, no. 7373, pp. 329-337, 2011. DOI:10.1038/nature10679
- [3] C. Auth et al., "A 10nm High Performance and Low-Power CMOS Technology Featuring 3rd Generation FinFET Transistors, Self-Aligned Quad Patterning, Contact over Active Gate and Cobalt Local Interconnects," *Proceeding of the 2017 IEEE International Electron Devices Meeting*, pp. 29.1.1-29.1.4, 2017. DOI:10.1109/IEDM.2017.8268472
- [4] U. Abelein et al., "Improved Reliability by Reduction of Hot-Electron Damage in the Vertical Impact-Ionization MOSFET (I-MOS)," *IEEE Electron Device Lett.*, vol. 28, no. 1, pp. 65-67, 2007. DOI:10.1109/LED.2006.887629
- [5] J. Jo et al., "Negative Capacitance in Organic/Ferroelectric Capacitor to Implement Steep Switching MOS Devices," *Nano Lett.*, Vol. 15, no. 7, pp. 4553-4556, 2015. DOI:10.1021/acs.nanolett.5b01130
- [6] A. I. Khan, et al., "Negative capacitance in a ferroelectric capacitor," *Nature Materials*, vol. 14, pp. 182-186, 2015. DOI:10.1038/nmat4148