

Ga₂O₃와 4H-SiC Vertical DMOSFET 성능 비교 Performance Comparison of Vertical DMOSFETs in Ga₂O₃ and 4H-SiC

정의석*, 김영재**, 구상모**★

Eui Suk Chung*, Young Jae Kim**, Sang-Mo Koo**★

Abstract

Gallium oxide (Ga₂O₃) and silicon carbide (SiC) are the material with the wide band gap (Ga₂O₃-4.8~4.9 eV, SiC-3.3 eV). These electronic properties allow high blocking voltage. In this work, we investigated the characteristic of Ga₂O₃ and 4H-SiC vertical depletion-mode metal-oxide-semiconductor field-effect transistors. We demonstrated that the blocking voltage and on-resistance of vertical DMOSFET is dependent with structure. The structure of Ga₂O₃ and 4H-SiC vertical DMOSFET was designed by using a 2-dimensional device simulation (ATLAS, Silvaco Inc.). As a result, 4H-SiC and Ga₂O₃ vertical DMOSFET have similar blocking voltage (Ga₂O₃-1380 V, SiC-1420 V) and then when gate voltage is low, Ga₂O₃-DMOSFET has lower on-resistance than 4H-SiC-DMOSFET, however, when gate voltage is high, 4H-SiC-DMOSFET has lower on-resistance than Ga₂O₃-DMOSFET. Therefore, we concluded that the material of power device should be considered by the gate voltage.

요 약

산화갈륨 (Ga₂O₃)과 탄화규소 (SiC)는 넓은 밴드 갭 (Ga₂O₃-4.8~4.9 eV, SiC-3.3 eV)과 높은 임계전압을 갖는 물질로서 높은 항복 전압을 허용한다. 수직 DMOSFET 수평구조에 비해 높은 항복전압 특성을 갖기 때문에 고전압 전력 소자에 많이 적용되는 구조이다. 본 연구에서는 2차원 소자 시뮬레이션 (2D-Simulation)을 사용하여 Ga₂O₃와 4H-SiC 수직 DMOSFET의 구조를 설계하였으며, 항복전압과 저항이 갖는 trade-off에 관한 파라미터를 분석하여 최적화 설계하였다. 그 결과, 제안된 4H-SiC와 Ga₂O₃ 수직 DMOSFET 구조는 각각 ~1380 V 및 ~1420 V의 항복 전압을 가지며, 낮은 게이트 전압에서의 Ga₂O₃-DMOSFET이 보다 낮은 온-저항을 갖고 있지만, 게이트 전압이 높으면 4H-SiC-DMOSFET가 보다 낮은 온-저항을 갖을 수 있음을 확인하였다. 따라서 적절한 구조와 gate 전압 rating에 따라 소자 구조 및 gate dielectric 등에 대한 심화 연구가 요구될 것으로 판단된다.

Key words : Ga₂O₃, 4H-SiC, Vertical DMOSFET, Simulation, Blocking voltage, On-resistance

*Dept. of Electronic Engineering, Sogang University

**Dept. of Electronic Materials Engineering, Kwangwoon University

★ Corresponding author

E-mail : smkoo@kw.ac.kr, Tel: +82-2-940-5763

※ Acknowledgment

This work was supported by the NRF (2015R1D1A1A01056596 and 2015K1A3A1A59074209), the KERI Primary Research Program of MSIP/NST (No. 17-12-N0101-35), Korea Electric Power Corporation (R17XA05-60), the KETEP Energy Education Program (No. 20174010201290), and Industrial Technology Innovation Program (10080321) of MOTIE.

Manuscript received Jan. 10, 2018; revised Mar. 11, 2018; accepted Mar. 12, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

최근 에너지 절감에 대한 관심도가 높아지면서 혁신적인 전력 절감을 할 수 있는 파워 디바이스에 대한 요구가 높아지고 있다. 이러한 상황에서 현재 실리콘 (Silicon)을 소재로 한 전력소자가 물성의 한계에 도달함에 따라 Si를 대체할 수 있는 전력소자용 소재에 대한 연구가 활발히 진행되고 있다. [1,2]

탄화규소 (4H-SiC)나 산화갈륨 (Ga₂O₃)과 같은 넓은 에너지 밴드 갭을 가진 반도체 재료 (4H-SiC의 $E_g=3.3$ eV, Ga₂O₃의 $E_g=4.8$ eV)가 고전압-저손실의 파워 디바이스의 실현을 기대할 수 있어 주목을 끌고 있다. 특히 Ga₂O₃은 SiC에 비해 더 큰 밴드 갭 (band gap)을 가지고 있어, 고전압, 저손실 등 더욱 뛰어난 디바이스 특성을 기대할 수 있다. 또한, 간편한 성장법에 의해 단결정 기판을 만들 수 있다는 산업적 측면에서 유리한 특징을 가지고 있다. 그러나 4H-SiC의 경우 세계 각국에서 활발하게 연구 개발이 진행되고 있는 반면에 Ga₂O₃는 높은 재료적 잠재력에도 불구하고 지금까지의 연구 개발은 거의 진행된 바가 없는 상태이다 [3]

Table 1. Physical properties at 300k of Si, 4H-SiC, GaN and Ga₂O₃

표 1. Si, 4H-SiC, GaN and Ga₂O₃의 물리적 특성 (300K)

unit	Si	4H-SiC	GaN	Ga ₂ O ₃
E_g (eV)	1.1	3.3	3.4	4.8-4.9
ϵ_r	11.7	9.7	9.0	10
E_B (MV/cm)	0.3	2.5	3.3	8
μ_e (cm ² /Vs)	1,400	1,000	1,200	300

본 연구에서는 시뮬레이션을 이용하여 Ga₂O₃ DMOSFET 소자의 최적화 구조를 설계하고 이와 동일한 구조의 4H-SiC DMOSFET 소자와 항복 전압, 온-저항 등의 디바이스 특성을 비교하여 분석해보았다.

II. 본론

1. 실험 방법

가. 시뮬레이션에서의 Ga₂O₃ 물질특성 정의

본 연구에서는 Ga₂O₃ DMOSFET 구조를 설계하기 위해 Silvaco사의 Devedit과 Deckbuild tool을 사용하였다. 위의 tool의 경우 Ga₂O₃의 물질특성이 정의되어 있지 않아 Ga₂O₃ DMOSFET 구조를 설계하기 전 Ga₂O₃의 물질특성을 정의하기 위해 Ga₂O₃ MOSFET소자의 I_D - V_D 의 측정값과 동일한 구조의 시뮬레이션을 통해 측정값과 [4]과 시뮬레이션의 결과가 유사한 값이 나오도록 물질 파라미터를 정의하였다. Ga₂O₃의 경우 ZnO계열 소재와 마찬가지로 p-type도핑이 형성이 용이하지 않음이 알려져 있어 Mg 등을 이용하는 방법을 포함하여 여러 실험이 시도되고 있으나 대부분 deep level을 형성하게 된다. [5,6]

본 논문에서는 설계상 이상적인 conduction을 가정하여 유효 p-type 도핑레벨을 가정하였다.

나. Ga₂O₃-DMOSFET 최적화 구조 설계

본 연구에서는 Ga₂O₃ DMOSFET 구조를 설계하기 위해 Silvaco사의 Devedit과 Deckbuild tool을 사용하여 그림 2의 구조로 DMOSFET을 1400 V 정도의 항복 전압과 적절한 온-저항을 가지도록 설계하였다. N-epi의 도핑농도와 두께, 채널을 형성하는 P-well의 도핑농도와 두께가 항복 전압과 온-저항의 가장 큰 영향을 미치는 중요한 요소이고 채널의 길이와 JFET영역의 변화가 항복 전압과 온-저항에 끼치는 영향은 미미했다. 또한 문턱 전압의 경우 산화막의 두께와 P-well의 도핑농도에 의해 결정되었다. 이러한 요소를 고려하여 그림 2의 구조로 DMOSFET을 설계하였으며 세부 사항은 다음과 같다.

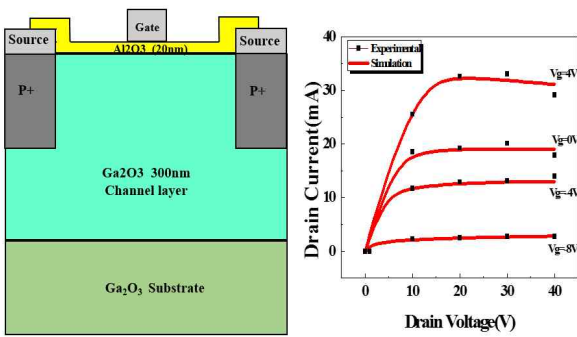


Fig. 1. Cross section of Ga₂O₃ MOSFET and Simulated I_D-V_D curve compared with experimental data
 그림 1 Ga₂O₃ MOSFET의 단면과 시뮬레이션 I_D-V_D곡선과 측정값 비교

n-substrate 영역을 $1 \times 10^{19} \text{ cm}^{-3}$ 으로 도핑하고 두께 $2.5 \mu\text{m}$ 로 형성하고 이 위에 $2 \times 10^{16} \text{ cm}^{-3}$ 의 낮은 도핑농도를 가지는 N-epi층의 두께를 $6.0 \mu\text{m}$ 로 형성하였다. 채널영역을 형성하는 P-well의 경우 도핑농도를 $5 \times 10^{17} \text{ cm}^{-3}$, 두께를 $0.4 \mu\text{m}$, 채널 길이를 $3 \mu\text{m}$ 로 형성한 후, n+와 p+의 도핑농도를 각각 $5 \times 10^{19} \text{ cm}^{-3}$, 두께를 $0.2 \mu\text{m}$ 로 고려하였다. 또한 N_{JFET}의 경우 도핑농도를 각각 $5 \times 10^{16} \text{ cm}^{-3}$, 길이를 $4.0 \mu\text{m}$ 로 하고 게이트 산화막의 두께는 50 nm 로 하여 시뮬레이션을 진행하였다.

4H-SiC DMOSFET의 경우에도 이와 동일한 구조로 설계하여 두 DMOSFET의 특성을 비교하였다.

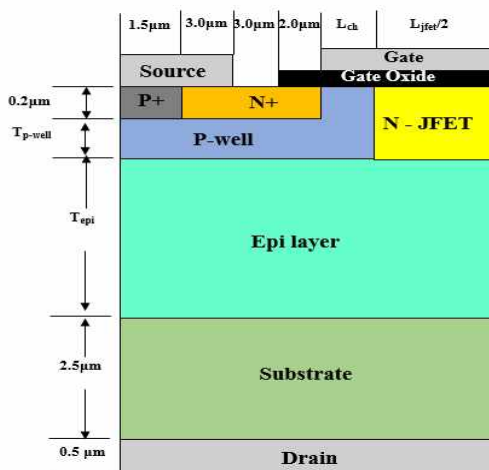


Fig. 2. Cross section of the Ga₂O₃-DMOSFET and 4H-SiC DMOSFET
 그림 2 Ga₂O₃-DMOSFET과 4H-SiC DMOSFET의 단면

2. 결과 및 고찰

DMOSFET소자 제작 시, 동일 구조에서 Ga₂O₃와 SiC를 이용하였을 때의 각각의 특성을 비교하였다. DMOSFET소자의 항복전압에 큰 영향을 미치는 요소인 N-epi의 도핑농도는 $2 \times 10^{16} \text{ cm}^{-3}$ 로 두께는 $6.0 \mu\text{m}$ 로 하였으며, P-well의 도핑농도는 $5 \times 10^{17} \text{ cm}^{-3}$ 로 두께는 $0.4 \mu\text{m}$ 로 하여 시뮬레이션을 진행하였다.

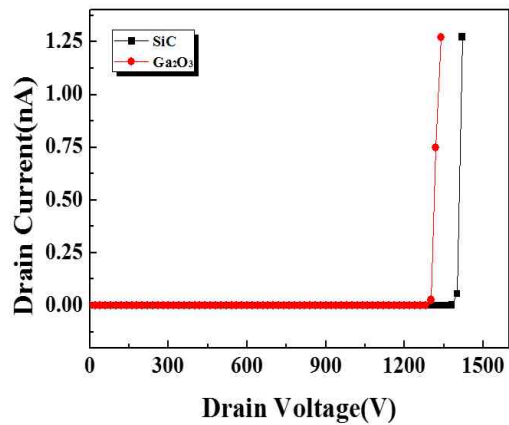


Fig. 3. Blocking voltage of the Ga₂O₃ DMOSFET (V_B = 1380 V) and 4H-SiC DMOSFET (V_B = 1420 V)
 그림 3. Ga₂O₃ DMOSFET (V_B = 1380 V)과 4H-SiC DMOSFET (V_B = 1420 V)의 항복전압

그 결과 그림 3에서 보이는 것과 같이, Ga₂O₃ DMOSFET 소자와 SiC DMOSFET소자의 항복전압 (V_B)은 각각 1380 V와 1420 V로 유사한 것을 볼 수 있었다. Ga₂O₃와 SiC의 물리적 성질 중 에너지 밴드 갭(E_g)을 비교해보면 Ga₂O₃의 경우 에너지 밴드 갭은 4.8~4.9 eV SiC의 경우 3.3 eV로 Ga₂O₃의 에너지 밴드 갭이 1.5 배가량 더 크기 때문에 Ga₂O₃ DMOSFET의 항복전압이 더 클 것으로 예상되었으나 시뮬레이션 결과 두 소자의 항복전압은 유사하게 측정되었다. 이러한 결과가 나온 이유는 에너지 밴드 갭 이외의 다른 특성에 대한 연구가 추가적으로 진행되어야 할 것으로 사료된다.

본 실험에서는 문턱전압에 큰 영향을 미치는 요소인 P-well의 도핑농도를 $5 \times 10^{17} \text{ cm}^{-3}$ 로 하였으며 또한 산화막의 두께는 50 nm 로 하여 시뮬레이션을 진행하였다. 그 결과 그림 4에서 보이는 것과 같이, Ga₂O₃ DMOSFET 소자와 4H-SiC DMOSFET소자의 문턱 전압 (V_{th})은 각각 5.5 V와

9.5 V로 SiC소자의 경우가 Ga₂O₃소자의 경우보다 2 배가량 큰 것을 볼 수 있었다.

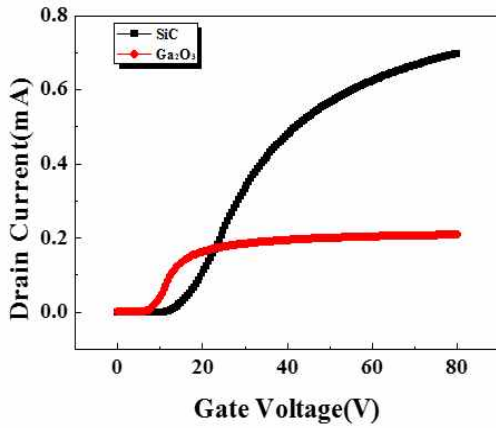


Fig. 4. Threshold voltage of the Ga₂O₃ DMOSFET ($V_{th} = 5.5$ V) and 4H-SiC DMOSFET ($V_{th} = 9.5$ V) at $V_D = 10$ V

그림 4. Ga₂O₃ DMOSFET ($V_{th} = 5.5$ V) 및 4H-SiC DMOSFET ($V_{th} = 9.5$ V)의 문턱전압 ($V_D = 10$ V)

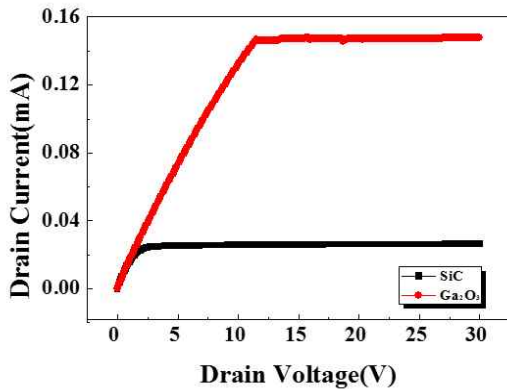


Fig. 5. I_D - V_D curve Ga₂O₃ DMOSFET and 4H-SiC DMOSFET at $V_G = 15$ V

그림 5. I_D - V_D 곡선 Ga₂O₃ DMOSFET 및 4H-SiC DMOSFET ($V_G = 15$ V)

또한 그림 4를 통해 V_G 가 작을 경우 Ga₂O₃소자의 전류가 SiC소자 전류보다 큰 반면에 V_G 가 충분히 큰 경우 SiC 소자의 전류가 Ga₂O₃소자 전류보다 큰 것을 확인할 수 있었다. 이에 착안하여 본 실험에서는 V_G 가 작은 경우와 큰 경우로 나누어 두 소자의 특성을 V_G 를 15 V로 하여 시뮬레이션 해본 결과 그림 5와 같은 I_D - V_D 그래프를 얻었으며 이때 Ga₂O₃ DMOSFET의 온-저항은 $35.66 \text{ m}\Omega \cdot \text{cm}^2$ 4H-SiC DMOSFET의 온-저항은 $55.86 \text{ m}\Omega \cdot \text{cm}^2$ 로 SiC의 경우가 Ga₂O₃의 1.5 배

큰 것을 알 수 있었으며 이로 인해 FOM에 비례하는 $V_B^2/R_{ON,SP}$ 값은 Ga₂O₃의 경우 (53.40 MW/cm^2)가 SiC의 경우 (36.10 MW/cm^2)보다 1.5 배 큰 것을 알 수 있었다.

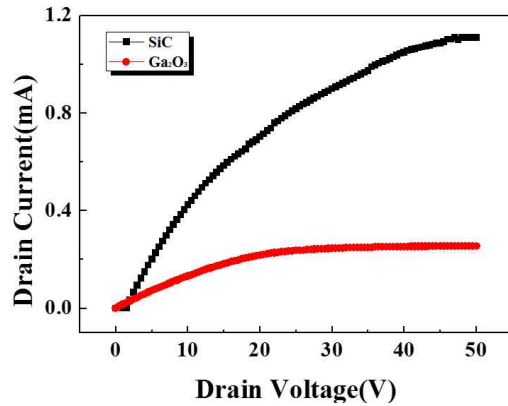


Fig 6. I_D - V_D curve Ga₂O₃ DMOSFET and 4H-SiC DMOSFET at $V_G = 30$ V

그림 6. I_D - V_D 곡선 Ga₂O₃ DMOSFET 및 4H-SiC DMOSFET ($V_G = 30$ V)

V_G 를 30 V로 하여 시뮬레이션 해본 결과 그림 6와 같은 I_D - V_D 그래프를 얻었으며 이때 Ga₂O₃ DMOSFET의 온-저항은 $47.76 \text{ m}\Omega \cdot \text{cm}^2$, 4H-SiC DMOSFET의 온-저항은 $14.33 \text{ m}\Omega \cdot \text{cm}^2$ 로 Ga₂O₃의 경우가 SiC의 3.5 배 큰 것을 알 수 있었으며 이로 인해 FOM에 비례하는 $V_B^2/R_{ON,SP}$ 값은 SiC의 경우 (140.71 MW/cm^2)가 Ga₂O₃의 경우 (39.87 MW/cm^2)보다 3.5 배 큰 것을 알 수 있었다. 이는 V_G 의 값이 충분히 큰 경우 SiC의 전자 이동도 ($1,000 \text{ cm}^2/\text{Vs}$)가 Ga₂O₃의 전자 이동도 ($300 \text{ cm}^2/\text{Vs}$)보다 3.5 배 크기 때문으로 해석할 수 있다.

III 결론

본 연구에서는 1400 V급의 Ga₂O₃ DMOSFET 소자를 설계하여 이와 동일한 구조를 가지는 SiC DMOSFET 소자와 동작 특성을 비교 분석하였다. 동일한 구조를 가질 때 Ga₂O₃ DMOSFET 소자의 항복전압과 SiC DMOSFET 소자의 항복전압이 거의 유사한 것을 확인하였다. 문턱전압의 경우는 Ga₂O₃ DMOSFET은 5.5 V, SiC DMOSFET은 9.5 V로 SiC의 경우가 Ga₂O₃ 보다 약 2 배 정도 큰 것을 확인할 수 있었다. 온-저항 및 드레인

전류의 경우는 게이트 전압에 따라 특성이 달라지는 것을 볼 수 있었는데 게이트 전압이 작을 경우 SiC 소자의 온-저항이 Ga₂O₃소자에 비해 크고 흐르는 전류량도 더 적은 것을 확인할 수 있었다. (V_G = 15 V일 때 SiC 의 경우가 Ga₂O₃의 1.5 배) 반면에 게이트 전압이 클 경우 Ga₂O₃소자의 온-저항이 SiC 소자에 비해 크고 흐르는 전류량도 더 적은 것을 확인할 수 있었다. (V_G = 30 V일 때 Ga₂O₃의 경우가 SiC의 3.5 배) 제안된 구조의 경우, 게이트 전압의 크기에 따라 적절한 소자 구조와 소재에 적합한 설계가 필요하며, gate dielectric 및 doping의 선택이 매우 중요할 것으로 판단된다.

References

- [1] L. A. Franks, B. A. Brunett, R. W. Olsen, D. S. Walsh, G. Vizkelethy, J. I. Trombka, B. L. Doyle, R. B. James, "Radiation damage measurements in room-temperature semiconductor radiation detectors," *Nucl. Inst Meth A*, 428, 95, 1999.DOI:10.1016/S0168-9002(98)01585-X
- [2] H. Morkoç, S. Strite, G. B. Gao, M. E. Lin, B. Sverdlov, and M. Burns, "Large band gap SiC, III V nitride, and II VI ZnSe based semiconductor device technologies," *Journal of Applied Physics* 76, 1363, 1994.DOI:10.1063/1.358463
- [3] M. Higashiwaki, K. Sasaki, A. Kuramata, T. Masui, and S. Yamakoshi, "Gallium oxide (Ga₂O₃) metal-semiconductor field-effect transistors on single-crystal β-Ga₂O₃ (010) substrates," *Appl. Phys. Lett.* 100, 013504 Issue 1, 2012.DOI:10.1063/1.3674287
- [4] M. Higashiwaki, K. Sasaki, T. Kamimura, M. H. Wong, D. Krishnamurthy, A. Kuramata, T. Masui, and S. Yamakoshi, "Depletion-mode Ga₂O₃ metal-oxide-semiconductor field-effect transistors on β-Ga₂O₃ (010) substrates and temperature dependence of their device characteristics," *Appl. Phys. Lett.* 103, 123511, 2013.DOI:10.1063/1.4821858
- [5] Y. P. Qian, D. Y. Guo, X. L. Chu, H. Z.

Shi, W. K. Zhu, K. Wang, X. K. Huang, H. Wang, S. L. Wang, P. G. Li, X. H. Zhang, W. H. Tang, "Mg-doped p-type β-Ga₂O₃ thin film for solar-blind ultraviolet photodetector," *Materials Letters* 209, 558-561, 2013.DOI: 10.1016/j.matlet.2017.08.052

[6] D. Guo, X. Qin, M. Lv, H. Shi, Y. Su, G. Yao, S. Wang, C. Li, P. Li, and W. Tang, "Decrease of Oxygen Vacancy by Zn-Doped for Improving Solar-Blind Photoelectric Performance in β-Ga₂O₃ Thin Films," *Electron. Materials Letter* 13, 6, 483-488, 2017.DOI: 10.1007/s13391-017-7072-y

BIOGRAPHY

Eui Suk Chung (Member)



2012 : BS degree in Department of Electronic Engineering, Sogang University

Young Jae Kim (Member)



2018 : BS degree in Department of Electronic Materials Engineering, Kwangwoon University,

Sang-Mo Koo (Member)



1993 : BS degree in Electrical Engineering, Korea University.

1997 : MS degree in Engineering Material Physics, KTH University.

2003 : PhD degree in Electronics, KTH University.

2003-2006 : National Institute of Standards and Technology (NIST)

2006-2011 : Assistant Professor Kwangwoon University, Seoul, Korea

2014.9 - : Full Professor, Kwangwoon University, Seoul, Korea