

# SCR 기반 고감내 특성을 갖는 기생 PNP BJT 삽입형 새로운 ESD 보호회로에 관한 연구

## A Study on a New ESD Protection Circuit with Parasitic PNP BJT Insertion Type with High Robustness Characteristics Based on SCR

채 희 국\*, 도 경 일\*, 서 정 윤\*, 서 정 주\*, 구 용 서\*

Hee-Guk Chae\*, Kyoung-Il Do\*, Jeong-Yun Seo\*, Jeong-Ju Seo\*, Yong-Seo Koo\*

### Abstract

In this paper, we propose a new PNP bipolar insertion type ESD protection circuit with improved electrical characteristics than the existing ESD protection circuits SCR and LVTSCR. The proposed circuit has 8.59V trigger voltage which is about 9V lower than that of the conventional SCR, and the parasitic PNP has one more operation and high robustness characteristics. For the practical design of the proposed ESD protection circuit, the holding voltage was increased by increasing the base length of the parasitic PNP while increasing the variable L. To verify the electrical characteristics of the proposed device, Synopsys T-CAD simulator was used.

### 요 약

본 논문에서는 기존 ESD 보호회로인 SCR, LVTSCR 보다 향상된 전기적 특성을 갖는 새로운 PNP 바이폴라 삽입형 ESD 보호회로를 제안한다. 제안된 회로는 기존 SCR에 대비하여 약 9V 낮은 8.59V의 트리거 전압을 가지고, 기생 PNP가 하나 더 동작하면서 높은 감내특성을 갖는다. 또한 제안된 ESD 보호회로의 실제 설계 적용을 위해 변수 L을 늘리면서 기생 PNP의 베이스 길이를 늘려 홀딩전압을 증가시켰다. 제안된 소자의 전기적 특성 검증을 위해 Synopsys사의 T-CAD 시뮬레이터를 사용하였다.

*Key words* : ESD, LVTSCR, Trigger Voltage, Holding Voltage, SCR

---

\* Dept. of Electronics Engineering, DanKook University

★ Corresponding author

e-mail: chae309@naver.com, tel: 031-8005-3625

※Acknowledgment

Manuscript received Mar. 10, 2018; revised Mar. 22, 2018 ; accepted Mar. 24, 2018

This work was supported by the Ministry of Trade, Industry & Energy (10065137, “Boosted Class-DG Audio Power Amplifier with Embedded ADC for Mobile Speaker Protection”) and by the KIAT grant funded, Industry&Energy (N045000003, HRD Program for Intelligent semiconductor Industry)

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited

## I. 서론

전자부품이나 전자제품 등의 생산 및 조립 과정이나 사용 중 혹은 생산 과정 중에 있는 소자에 있는 정전하가 어떠한 상황에 순간적으로 방전 되어 탑재되어 있는 집적회로를 파괴하는 현상을 ESD(ElectroStatic Discharge)라고 한다[1]. 현대의 반도체 산업의 발전에 따라 많은 전자제품들의 소형화를 이루었으며, 또한 고집적화로 인하여 고성능화 까지 이루어 내고 있다. 이러한 기술의 발달로 인해 집적회로는 매우 높은 집적도를 갖게 되었다. 하지만 그로 인해 필연적으로 게이트 산화막의 두께는 얇아졌으며, 접합 깊이 또한 매우 감소되었는데 그에 따라 ESD 현상에 따른 집적회로의 파괴는 점점 증가하고 있다. 여러 통계에 따르면 EOS/ESD에 의한 집적회로의 손상은 전체손상 원인 중에 30% 정도를 차지하고 있다. 또한 이 현상에 의한 공정상 손실 등은 매년 수백만 달러에 이르고 있다[2][3].

이러한 손실과 피해를 줄이기 위해서 ESD 현상을 방지하여 Core IC를 보호하기 위한 ESD 보호회로에 대한 연구는 지속적이고 굉장히 다방면으로 진행되고 있다. ESD 보호회로로 대표적인 소자로는 GGNMOS(Gate-Grounded NMOS)와 SCR(Silicon-Controlled-Rectifier), LVTSCR(Low Voltage Triggering SCR) 등이 있다. GGNMOS는 CMOS 공정과의 호환성이 용이하며 가장 대표적인 ESD 보호회로로써 널리 쓰이고 있다. 하지만 드레인 전계 집중효과에 따른 낮은 ESD 감내 특성을 보이므로 ESD 감내특성을 위해서는 면적 효율적인 측면에서 단점을 지닌다[4]. 반면 SCR은 NPN/PNP의 기생 바이폴라 트랜지스터 정제환(Positive Feedback)에 의해 동작하기 때문에 GGNMOS와 비교하여 보았을 때 월등히 높은 전류 구동 능력을 지닌다. 또한 각 웰(Well)간의 Avalanche Breakdown으로 인한 트리거 동작으로 높은 감내 특성을 갖는다. 하지만 저농도 Avalanche Breakdown에 의한 약 19V 정도의 높은 트리거 전압을 지니게 되는 단점을 갖는다[5]. Core IC의 산화물 파괴 전압보다 트리거 전압이 높으면 Core IC를 ESD로부터 보호할 수 없다. 또한 Double Avalanche Injection에 따른 1.5V 정도의 낮은 홀딩 전압 특성으로 Latch-up 문제를

발생시키게 된다. 이와 같이 트리거 전압이 너무 높고 홀딩전압이 너무 낮기 때문에 SCR만으로는 실제 Core IC를 보호하는 ESD 보호회로로 쓰이기에는 매우 부적합하다[6]. 좀 더 보완된 소자인 LVTSCR은 기존 SCR 구조에 NMOS를 삽입하여 웰 간에서 Avalanche Breakdown이 일어나게 하지 않고 N+영역과 P웰간의 Avalanche Breakdown으로 인한 트리거 동작으로 낮은 트리거 전압을 갖는다.

따라서 본 논문에서는 하나의 기생 바이폴라를 더 동작시키는 구조적인 변경을 통하여 기존 SCR, LVTSCR 보다 트리거 전압 및 홀딩전압 특성을 개선하고 향상된 ESD 감내 특성을 지니는 ESD 보호회로를 제안한다. 검증을 위해 Synopsys社의 T-CAD Simulator를 이용하여 제안된 소자의 전기적인 특성을 분석하였다. 또한 기존 SCR과의 I-V 특성 비교를 통해 제안된 소자가 기존 SCR보다 개선된 전기적 특성을 갖는 것을 확인하였다.

## II. 본론

### 1. 기존 ESD 보호회로

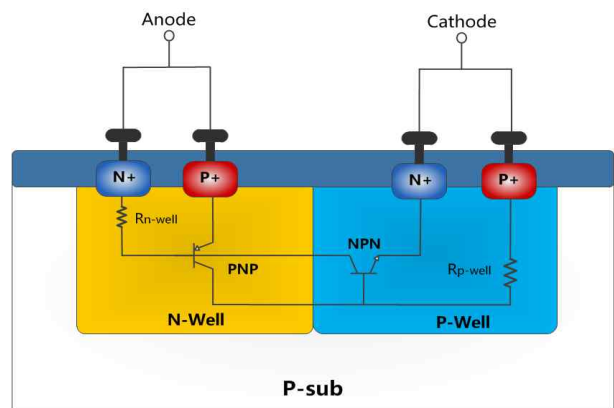


Fig. 1. Cross sectional view of the conventional SCR  
그림 1. 일반적인 SCR의 단면도

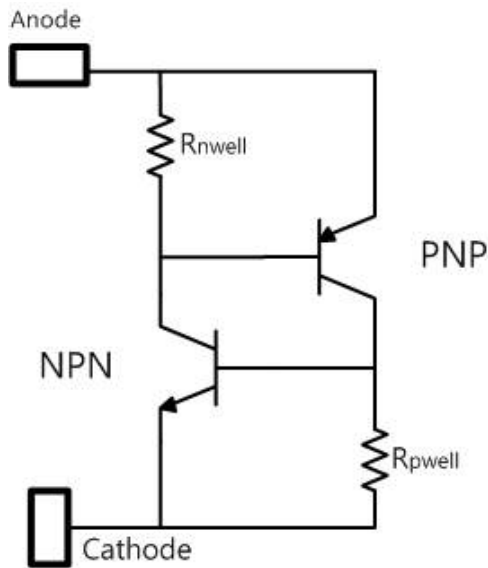


Fig. 2. Equivalent circuit of the conventional SCR  
 그림 2. 일반적인 SCR의 등가회로

일반적인 SCR의 단면도와 등가회로가 그림 1과 그림 2에 나와있다. SCR은 그림에 나타난 바와 같이 기생 NPN/PNP구조가 공존하는 구조이다. 그림 2의 등가회로에서 보듯이 Turn-on 시에 두 개의 바이폴라가 정궤환 동작을 이루며 회로 내부에 방전 경로를 형성하여 ESD 전류를 방전시킨다. SCR의 동작원리는 다음과 같다.

Anode 단에 ESD 현상이 발생하게 되어 N웰과 P웰 사이의 임계전압 값을 넘어서게 되면 Avalanche Breakdown 현상이 발생한다. 이 현상이 발생하면 공핍층 내에서 Electron-Hole Pair(EHP)가 발생하며 생성된 캐리어들에 의해 전류가 생성된다. 먼저 홀 전류가 P웰의 내부에 있는 내부저항에 흐르면서 전압강하가 발생하게 된다. 이때 P웰 전압이 P웰에 있는 N+영역과 이루고 있는 다이오드 Turn-on 전압보다 높아지면 Lateral NPN 바이폴라가 Turn-on 된다. 또한 E 생성된 전자는 N웰의 내부에 있는 내부저항에 흐르면서 전압강하를 일으킨다. 이때 N웰 전압이 N웰에 있는 P+영역과 이루고 있는 다이오드 Turn-on 전압보다 높아지게 되면 Lateral PNP 바이폴라가 Turn-on 된다. 이 두 개의 기생 NPN/PNP 바이폴라는 서로가 서로에게 베이스 전류를 제공하면서 정궤환 동작 상태를 유지하게 되는데, 이를 Latch Mode 라한다. 이를 통하여 ESD 전류의 방전 경로를 형성하여 방전시킨다.

Latch 동작으로 인하여 높은 전류 구동능력을 갖지만, 웰 간의 Breakdown 현상으로 Turn-on이 되기 때문에 19V 정도의 높은 트리거 전압을 갖는다.

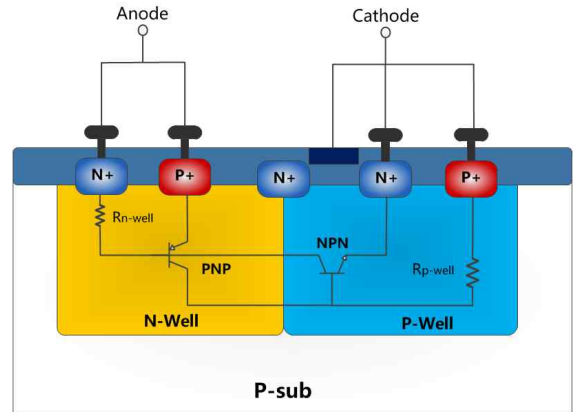


Fig. 3. Cross sectional view of the LVTSCR  
 그림 3. LVTSCR의 단면도

SCR의 높은 트리거 전압을 보완하기 위해서 LVTSCR이 고안되었다. LVTSCR은 SCR에 GGNMOS 구조가 삽입된 구조이다. GGNMOS의 N+영역을 N웰과 P웰의 사이에 위치하게 하고 이 영역에서 Avalanche Breakdown이 일어나게 유도하는 것이 LVTSCR의 가장 큰 특징이다. N+영역으로 인하여 Avalanche Breakdown의 임계전압이 낮아지게 되고 이는 트리거 전압의 감소를 유도한다[7][8].

하지만 LVTSCR은 MOSFET 구조 삽입에 의한 gate oxide 영역의 형성에 따라 상대적으로 낮은 감내특성을 갖는다.

2. 제안된 ESD 보호회로

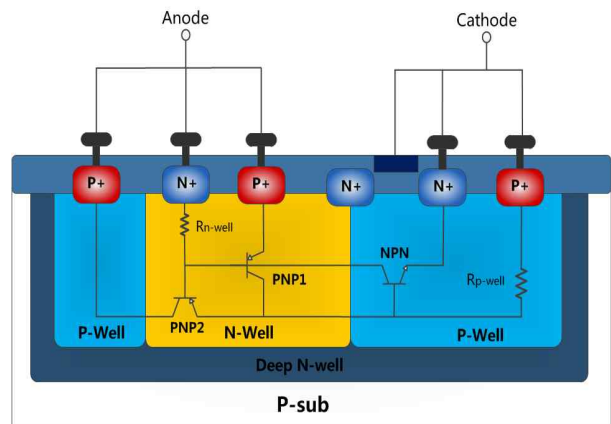


Fig. 4. Cross sectional view of the proposed device  
 그림 4. 제안된 소자의 단면도

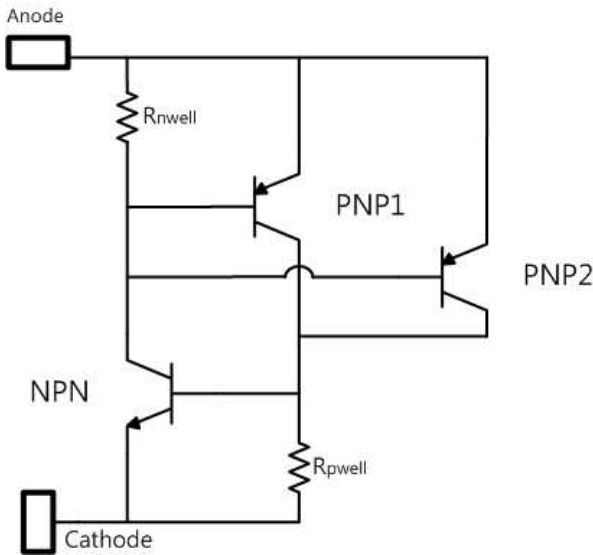


Fig. 5. Equivalent circuit of the proposed device  
그림 5. 제안된 소자의 등가회로

LVTSCR은 낮은 홀딩 특성 및 감내특성 에서 단점이 있다. 본 논문에서는 이 두 단점을 보완하는 새로운 구조의 ESD 보호회로가 제안된다. 그림 4와 그림 5는 제안된 ESD 보호회로를 나타낸다. 제안된 ESD 보호회로의 동작원리는 다음과 같다.

LVTSCR의 왼편에 P웰 영역과 P+영역을 추가하여 Anode단에 연결한다. Anode 단에 ESD 현상이 발생하게 되어 N웰과 P웰간의 N+영역과 P웰 사이의 임계 전압 값을 넘어서게 되면 그 부분에서 Avalanche Breakdown 현상이 발생한다. 이 현상이 발생하면 Electron-Hole Pair(EHP)가 발생한다. 이후 생성된 홀은 P웰의 내부 저항에 흐르면서 전압강하를 일으키게 되고, 이때 P웰 전압이 P웰에 있는 N+영역과 이루는 다이오드 Turn-on 전압보다 높아지면 Lateral NPN 바이폴라가 Turn-on 된다. 또한 생성된 전자는 N웰에 흐르며 전압강하를 일으키게 되며, 이때 N웰 전압이 N웰에 있는 P+영역과 이루고 있는 다이오드의 Turn-on 전압보다 높아지게 되면 Lateral PNP가 Turn-on 된다. 여기서 새로운 소자에 추가적으로 형성되어 있는 P+영역과 P웰 부분으로 인해 하나의 PNP가 더 Turn-on 하게 된다. 이 3개의 기생 바이폴라는 서로가 서로에게 베이스 전류를 제공하면서 정제한 동작 상태를 유지하게 되며, 이를 통하여 ESD 전류의 방전 경로를 형성

하며 방전시킨다.

LVTSCR보다 기생 PNP 트랜지스터가 하나 더 Turn-on 하는 구조이기 때문에, ESD 전류 방전 경로가 늘어 감내 특성이 향상된 특징을 가진다. 또한 Anode와 연결된 P웰로 인하여 Cathode단으로 전류가 흐르는 것을 방지하기 위하여 Deep-N 웰을 추가하였다.

### 3. 시뮬레이션 결과

본 논문에서는 각 ESD 보호회로의 특성을 검증하기 위하여 Synopsys社의 T-CAD Simulator를 이용하였다. 그림 6과 표 1은 제안된 ESD 보호회로와 일반적인 SCR 및 LVTSCR 과의 I-V특성을 시뮬레이션한 결과이다.

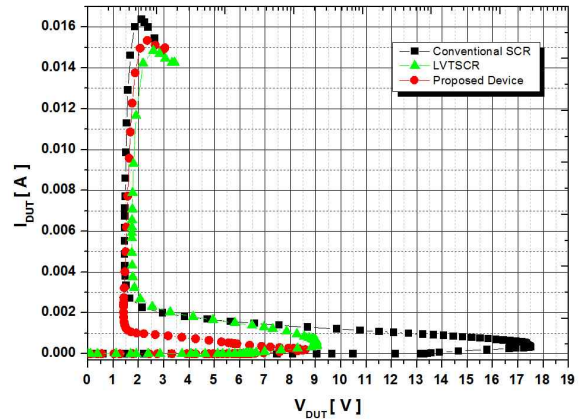


Fig. 6. I-V characteristic simulation result  
그림 6. I-V 특성 시뮬레이션 결과

Table 1. I-V characteristic simulation result  
표 1. I-V 특성 시뮬레이션 결과

|                  | Trigger Voltage[V] | Holding Voltage[V] |
|------------------|--------------------|--------------------|
| Conventional SCR | 17.49              | 1.46               |
| LVTSCR           | 9.04               | 1.72               |
| Proposed Device  | 8.59               | 1.42               |

시뮬레이션 결과, 일반적인 SCR의 트리거 전압은 17.49V 로 높았다. 반면에 제안된 ESD 보호회로의 트리거 전압은 8.59V 로 약 9V 정도가 낮은 것을 확인하였다.

제안된 ESD 보호회로는 일반적인 SCR 보다 트리거 전압이 낮기 때문에 Core IC에 적용이 가능

하나, 여전히 홀딩 전압이 낮기 때문에 홀딩 전압의 증가가 필요하다. 따라서 기생 NPN/PNP 바이폴라 중 PNP의 베이스 영역인 N웰의 길이를 늘려 홀딩 전압을 올리는 효과를 통해 홀딩 전압을 높일 필요가 있다. 베이스 길이를 늘리게 되면 베이스에서 재결합되는 홀의 개수가 많아지기 때문에 PNP 바이폴라의 이득( $\beta$ )이 줄어들게 되어 홀딩 전압이 올라간다. 그림 7은 PNP의 베이스 길이가 되는 N웰을 늘리기 위해 변수 L을 표시한 그림이며, 그림 8과 표 2는 변수 L을 변화시켜 가며 시뮬레이션 한 결과이다. 여기서 변수 L은 N웰에서의 N+ floating 영역으로 베이스 길이를 늘려주어 홀딩 전압을 높여주는 변수이다.

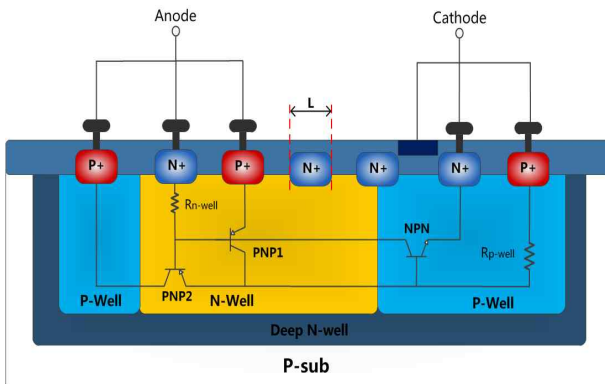


Fig. 7. Variation(L) to increase holding voltage of proposed protection device.

그림 7. 제안된 보호회로의 홀딩 전압을 높이기 위한 변수 L

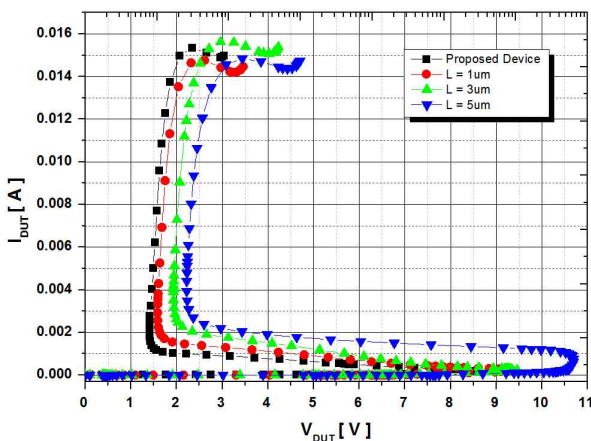


Fig. 8. Simulation result of I-V characteristics according to variation of proposed device

그림 8. 제안된 소자의 변수 L에 따른 I-V 특성 시뮬레이션 결과

Table 2. Electrical characteristics according to design parameters(L).

표 2. 설계변수 L에 따른 전기적 특성

| Variation Factor L [ $\mu\text{m}$ ] | Trigger Voltage[V] | Holding Voltage[V] |
|--------------------------------------|--------------------|--------------------|
| 1                                    | 9.33               | 1.58               |
| 3                                    | 9.45               | 1.93               |
| 5                                    | 10.61              | 2.26               |

시뮬레이션 결과, 변수 L을 늘려갈수록 기생 PNP의 베이스 길이가 증가하면서 홀딩 전압이 증가하는 것을 확인하였다.

또한 제안된 ESD 보호회로의 너비(Width)에 따른 감내 특성을 확인하기 위하여 각 너비에 따른 HBM 8k 시뮬레이션을 수행하였으며, 그림 9와 표 3은 그에 따른 시뮬레이션 결과이다.

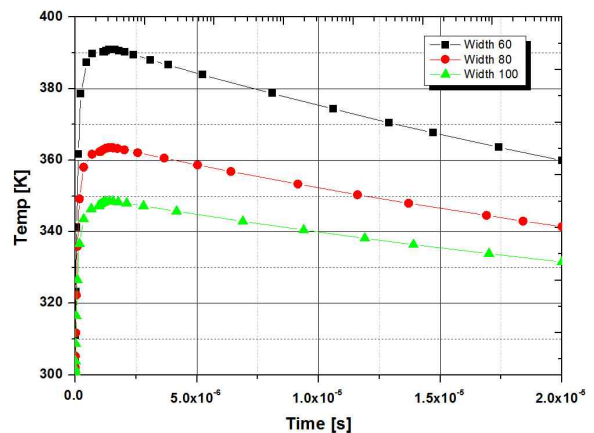


Fig. 9. Simulation temperature characteristics according to the width of the proposed device

그림 9. 제안된 소자의 너비에 따른 시뮬레이션 온도 특성

Table 3. Simulation temperature characteristics according to the width of the proposed device

표 3. 제안된 소자의 너비에 따른 시뮬레이션 온도 특성

| Width [ $\mu\text{m}$ ] | Peak Temperature [K] |
|-------------------------|----------------------|
| 60                      | 390.91               |
| 80                      | 363.52               |
| 100                     | 348.55               |



시뮬레이션 결과, 높은 피크 온도를 가지게 되면 그만큼 전류를 빠르게 방전하지 못하여 피크 온도가 높다고 말할 수 있다. 즉, 피크 온도가 높을수록 감내특성이 저하 된다. 제안된 소자의 너비가 증가할수록 면적이 늘어나게 되고 ESD 전류가 효과적으로 방전될 수 있기 때문에, 너비(Width)가 증가할수록 피크 온도가 낮아지는 것을 확인하였다.

### III. 결론

본 논문에서는 기존의 SCR, LVTSCR의 구조적인 변경을 통하여서 감내특성 향상과 트리거 전압을 낮춘 구조를 제안하였다. 제안된 ESD 보호회로는 SCR의 높은 트리거 전압을 낮추기 위하여 N웰과 P웰 사이에 N+영역을 삽입하였으며 그로인해 일반적인 SCR보다 약 9V 낮은 8.59V의 트리거 전압을 가짐을 확인하였다. 또한 LVTSCR의 좌측에 P웰과 P+영역을 Anode단에 추가하여 기생 PNP 바이폴라를 형성함으로써 LVTSCR보다 높은 감내특성을 가짐을 확인하였다. 또한 변수 L을 늘리면서 기생 바이폴라의 이득( $\beta$ )을 낮추어 홀딩전압을 높여 실제 설계에 적용이 가능하게 하였다. 따라서 제안된 ESD 보호회로는 기존의 ESD 보호회로보다 더 나은 전기적 특성을 갖는다.

### References

[1] Hyun-Young Kim, "A Study on the Electrical Characteristic of SCR-based Dual-Directional ESD Protection Circuit According to Change of Design Parameters" *j.inst.Korean.electr.electron.eng*, vol.19, no.2, pp.265-270, 2015.DOI : 10.7471/ikeee.2015.19.2.265

[2] Albert Z. H. Wang, *On-Chip ESD Protection for Integrated Circuits 2nd ed*, Springer, 2002.

[3] M.D. Ker and C.C. Yen, "Investigation and Design of On-Chip Power-Rail ESD Clamp Circuits Without Suffering Latch up-Like Failure During System-Level ESD Test," *IEEE J.*

*Solid-State Circuits*, vol.43, no.11, pp. 2533- 2545. 2008.DOI: 10.1109/JSSC.2008.2005451

[4] C. Russ, K. Bock, M. Rasras, I. D. Wolf, G.Groeseneken, and H. E. Maes, "Non-uniform triggering of gg-nMOSs investigated by combined emission microscopy and transmission line pulsing," *in Proc. EOS/ESD Symp.*, pp.177-186, 1998, DOI : 10.1109/EOSESD.1998.737037

[5] J.Y. Lee "Analysis of SCR, MVSCR, LVTSCR With I-V Characteristic and Turn-On-Time," *j.inst.Korean.electr.electron.eng*, vol.20, no.3, pp.295-398, 2016.DOI: 10.7471/ikeee.2016.20.3.295

[6] O. Quittard, Z. Mrcarica, F. Blanc, G. Notermans, T. Smedes, and H.van Zwol, "ESD protection for high-voltage CMOS technologies," *EOS/ESD Symp*, pp.77-86, 2006, DOI : 10.1109/EOSESD.2006.5256797

[7] V. Vashchenko, A. Concannon, M. ter Beek, P. Hopper, "High holding voltage cascode LVTSCR structures for 5.5-V tolerant ESD protection clamps," *IEEE Trans. on Device and Materials Reliability*, vol.4, no.2, pp.273-280, 2004.DOI:10.1109/TDMR.2004.826584

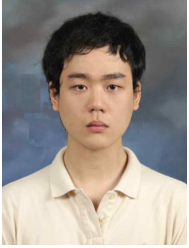
[8] A Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads," *IEEE Electron Device Lett.*, vol.12, no.1, pp. 21-22, 1991.DOI: 10.1109/55.75685

### BIOGRAPHY

Hee-Guk Chae (Student Member)



2017 : BS degree in Electrical Engineering, DanKook University.  
2017 ~ : MS degree in Electronics and Engineering, DanKook University.

**Kyoung-II Do** (Student Member)

2016 : BS degree in Electrical Engineering, SeoKyeong University.

2016 ~ : Unified course of the master's and the doctor's in Electronics and Engineering, DanKook University.

**Jeong-Yun Seo** (Student Member)

2017 : BS degree in Electrical Engineering, DanKook University.

2017 ~ : MS degree in Electronics and Engineering, DanKook University.

**Jeong-Ju Seo** (Student Member)

2018 : BS degree in Electrical Engineering, DanKook University.

2018 ~ : MS degree in Electronics and Engineering, DanKook University.

**Yong-Seo Koo** ( Member)

1981 : BS degree in Electronics Engineering, Sogang University.

1983 : MS degree in Electronics Engineering, Sogang University.

1992 : Ph.D degree in Electronics Engineering, Sogang University.

Current research interest : integrated circuit, micro processor