

3 용액공정 기반 금속산화물 반도체를 이용한 전기화학적 트랜지스터 소재 기술

글_홍기현 교수 | 충남대학교 신소재공학과

1. 서론

최근 사물인터넷 기술이 미래 성장 동력으로 부각되면서 유연 전자소자와 이를 제조하기 위한 대면적/저비용 공정 기술에 대한 관심이 급증하고 있다. 이를 위해 기존 실리콘 소재를 대체할 수 있는 차세대 반도체 소재 개발의 필요성이 대두되어 전세계적으로 관련 연구가 진행되고 있다. 대표적인 실리콘 대체 소재로 양자점, 고분자, 탄소나노튜브, 그래핀, 전이금속 디칼코게나이드 소재 및 금속 산화물 반도체 소재가 활발히 연구 진행 중에 있고 이들 개별 소재들이 가지는 고유특성을 활용하여 다양한 어플리케이션 창출이 가능할 것으로 예상된다 [1-4].

여러 소재들 중에서 금속산화물은 높은 전하 이동도와 가시광선 영역에서의 광투과도, 우수한 화학적/기계적 안정성 특성으로 인해 투명 스위칭 소자, 고해상도 디스플레이용 백플

레인(backplane), 유연 전자소자 등으로의 적용 가능성이 높은 유망 소재로 평가받고 있으며 대표적으로 ZnO, In₂O₃, SnO₂ 등의 소재들에 관한 활발한 연구가 진행 중에 있다 [5-7]. 특히 ZnO(산화아연)의 경우 직접 밴드갭을 가지는 투명 반도체 소재로 전하 이동도가 우수하고 (1~20 cm²/V·s), 300°C 이하의 저온공정이 가능하여 박막 트랜지스터 및 complementary 회로, 압전 제너레이터 등으로 사용이 가능하다 [5,8,9]. 또한 ZnO는 제조 공정의 자유도가 높은 편인데 실제로 RF 스퍼터링, 레이저 증착법, 전자선 증착법, 원자층 증착법과 같은 진공 공정 기술과 스핀코팅, 딥코팅(dip-coating), 스프레이코팅, 인쇄공정과 같은 습식 공정 모두 사용이 가능한 것으로 알려져 있다.

진공 공정의 경우에는 정확한 화학 정량(stoichiometry)과 높은 결정성을 가진 우수한 품질의 ZnO 박막을 얻을 수 있는 장점이 있으며 실제 스퍼터링이나 원자층 증착법을 이용

한 ZnO를 트랜지스터의 채널층으로 사용할 경우 $10 \text{ cm}^2/\text{V} \cdot \text{s}$ 이상의 고 이동도 스위칭 소자를 만들 수 있다 [10]. 하지만 이와 같은 진공 공정은 고가의 설비비용이 필요하고 진공 분위기에 도달한 후 유지하기 위한 시간이 오래 걸리며 레이저 증착법의 경우에는 대면적 균일 공정이 어렵기 때문에 박막형성을 위한 제조비용의 효율성이 떨어지는 문제점을 안고 있다.

이와 같은 문제점들을 해결하기 위해 ZnO precursor(전구체) 용액을 이용한 습식 공정 기술이 제안되었다. 대표적인 습식공정 기술인 스프인코팅이나 딥코팅의 경우 고가의 코팅 설비 없이 비교적 간편하게 대면적 ZnO 성막이 가능하며 그라비어(gravure), 잉크젯, 에어로졸젯 프린팅의 경우 마스크링이나 식각 공정 없이 직접적인 패턴형성이 가능하여 공정 단계를 줄일 수 있고 버려지는 소재의 양을 최소화할 수 있어 공정 효율성이 매우 높은 편이다 [11,12]. 하지만 습식 공정으로 ZnO를 형성할 경우에는 박막의 결정성 확보를 위해 200°C 이상의 열처리 공정이 별도로 필요하며 실제로 용액 공정으로 형성된 박막을 이용하여 트랜지스터를 제작한 결과 전하 이동도가 $\sim 5 \text{ cm}^2/\text{V} \cdot \text{s}$ 수준으로 낮아지는 문제점이 보고되고 있다. 따라서 습식공정으로 형성하는 ZnO 소재의 경우 향후 공정온도를 낮추고 결정성을 높이며 트랜지스터의 성능(전하 이동도, 구동 전압, ON/OFF비 등)을 개선하는 연구가 필요한 실정이다.

현재 논문에서 보고되고 있는 ZnO 트랜지스터의 경우 주로 Si 웨이퍼에 형성된 SiO_2 를 게

이트 절연막으로 이용하게 된다. 하지만 SiO_2 의 경우 유전상수가 ~ 3.9 로 높지 않기 때문에 소자의 정전용량이 감소하여 구동전압이 높아지고 전류밀도가 감소하게 된다. 또한 SiO_2 는 유연성이 부족하여 유연 전자소자에 적용이 제한된다. 이와 같은 문제점들을 해결하기 위해 다양한 게이트 절연막 소재들이 제안되어 연구가 진행 중에 있으며 대표적으로 HfO_2 , Al_2O_3 와 같은 High-k 소재와 PMMA와 CYTOP과 같은 고분자 박막 소재, 그리고 PEO/ LiClO_4 , 이온성 액체와 같은 전해질 소재들이 트랜지스터의 게이트 절연막으로 사용되어 소자의 성능을 개선하고 있다 [13-16].

본고에서는 용액공정과 전해질 게이트 절연막을 이용한 전기화학적 ZnO 트랜지스터 구현에 관한 최근 연구 결과를 소개하고자 한다. 먼저 전해질 게이트 절연막이 포함된 전기화학적 트랜지스터의 구동 원리를 알아보고 기존 전계효과 소자와의 장/단점을 비교할 것이다. 다음으로 인쇄기술로 형성된 금속산화물(ZnO) 전기화학적 트랜지스터 소재/소자/공정 기술들을 소개하고 최근 에너지/디스플레이/전자 소재 분야에서 이슈가 되고 있는 하이브리드 페로브스카이트 소재 활용 기술을 소개하고자 한다. 마지막으로 전기화학 트랜지스터의 상용화 지연 요소(bottle-neck 기술) 및 기술적 이슈들에 관해서 논의 할 예정이다.

2. 전기화학적 트랜지스터 구동 원리

전기화학적 트랜지스터(electrochemical transistors; ECTs)는 박막 트랜지스터의 일종으로 게이트 절연막으로 전해질 소재를 사용한 트랜지스터 소자로 정의된다 [17]. (경우에 따라서는 전해질 게이트 트랜지스터(electrolyte gated transistors, EGTs)라고 명명하기도 한다.) 소자의 구조는 일반적인 박막 트랜지스터와 유사한데, 소스(source; S), 드레인(drain; D), 게이트(gate; G) 전극과 반도체 채널층으로 구성되어 있으며 게이트 절연막으로는 polyelectrolyte, 이온성액체, 물 등의 전해질이 사용된다(그림 1).

일반적인 박막 트랜지스터의 드레인 전류(I_D)는 다음의 관계식에 따르게 된다.

$$I_D = \frac{L}{W} C(V_G - V_T)\mu V_D$$

W: 채널 길이, L: 채널 폭, C: 정전용량(캐패시턴스),

V_G : 게이트 전압, V_T : 문턱 전압, μ : 전하 이동도, V_D : 드레인 전압

따라서 트랜지스터의 드레인 전류를 증가시키고 구동전압을 낮추기 위해서는 높은 캐패시턴스를 가지는 게이트 절연막 소재가 필수적이다.

대표적인 무기 절연막 소재인 SiO_2 를 게이트 절연막으로 사용한 산화물 반도체 트랜지스터의 경우, 정전용량은 약 $0.035\sim 0.1 \mu\text{F}/\text{cm}^2$ 로 형성되며 (100~300 nm 두께 기준) 소자는 약 10~50 V의 높은 구동전압을 나타내게 된다 [18,19]. 일반적인 배터리의 출력 전압영역(1.2~12 V)을 고려할 경우 이는 매우 높은 수치로 향후 플렉서블, 모바일 전자기기로의 적용을 위해서는 구동전압을 낮추는 노력이 필요하다.

전해질은 용매에 녹아 이온전도가 가능한 전기화학적 소재로 이를 게이트 절연막으로 사용하여 트랜지스터를 제작한 전기화학적 트랜지스터의 게이트와 드레인 전극에 전압을 인가하게 되면 그림 1에 도시한 것처럼 음이온은 게이트/전해질 계면으로, 양이온은 반도체/전해질 계면으로 모이게 된다. (산화물 반도체,

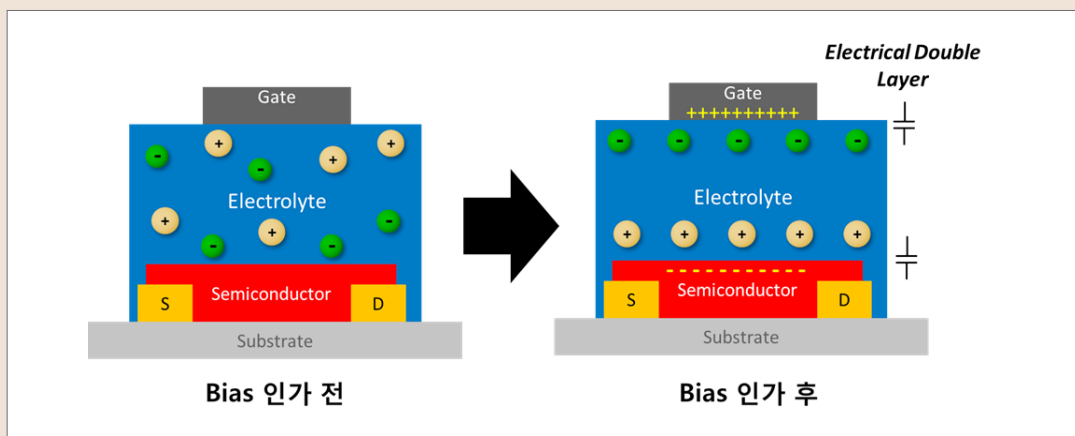


그림 1 ▶ 전기화학적 트랜지스터의 구조와 구동 원리.

n -채널 트랜지스터 기준) 이렇게 형성된 전하/이온층은 수 nm 이하의 매우 얇은 두께를 가지며 이를 전기이중층(electrical double layer, EDL) 이라고 명명한다. 이처럼 EDL은 두께가 매우 얇기 때문에 실제 소자의 정전용량을 크게 증가시키는 효과가 발생하게 되고 이를 이용하여 금속 산화물 반도체 트랜지스터를 제작하게 되면 수~수십 $\mu\text{F}/\text{cm}^2$ 의 높은 정전용량을 확보할 수 있다. 이와 같은 수치는 앞서 언급한 SiO_2 를 사용한 소자 대비 수십~수백배 증가한 수치이다. 따라서 전해질을 게이트 절연막으로 사용하여 high capacitance EDL을 형성하게 되면 소자의 구동전압을 크게 낮출 수 있어 현재까지 보고되고 있는 전기화학적 트랜지스터는 대부분 1~5 V 이내의 낮은 구동전압 특성을 나타내고 있다 [16,20].

또한 EDL은 전해질의 양쪽 계면에서 형성되기 때문에 전해질 게이트 절연막의 두께에 무관한 특성을 가진다. 즉 기존 SiO_2 나 high-k 소재들이 높은 정전용량을 가지기 위해서 박막의 두께를 nm 수준까지 낮추는 노력이 필요한데 비해 ($C = \epsilon_r \epsilon_0 A/d$, ϵ_0 : 진공의 유전율, ϵ_r : 게이트 절연막의 유전상수, A : 게이트 절연막의 면적, d : 게이트 절연막의 두께) 전해질을 사용할 경우 수십 μm 에서 수백 μm 의 두께로도 높은 정전용량의 유지가 가능하다. 이는 nm 수준의 두께 조절이 어려운 인쇄 공정이나 용액 코팅 공정 적용이 가능하며 대면적-저비용 트랜지스터 제조를 위한 공정의 자유도를 크게 높일 수 있음을 의미한다 [21].

3. 이온젤을 이용한 ZnO 트랜지스터

3.1 이온젤 전해질 소재

전기화학적 트랜지스터의 전해질 소재로는 이온성 액체가 사용이 가능하다. 이온성 액체는 비대칭적인 크기를 가지는 양이온과 음이온으로 구성된, 높은 이온 전도도 (1~10 mS/cm) 특성을 가지는 액체 상태의 전해질 소재이다. 따라서 이온성 액체를 전기화학적 산화물 트랜지스터에 사용할 경우 2 V이하의 낮은 구동전압과 5 cm^2/Vs 이상의 우수한 전하 이동도를 얻을 수 있다. 하지만 이 경우 전해질 소재가 액체이기 때문에 집적 공정이 불가능하고 유연 소자를 만들기 어려우며 이온성 액체의 누수 방지를 위한 정밀 패키징 공정이 요구되는 문제점들이 존재한다. 따라서 이와 같은 문제점들을 해결하기 위해 고체 상태의 poly-electrolyte(고분자 전해질) 소재를 이용한 연구가 제안되었다. 고분자 전해질은 크게 용매가 포함되지 않은 고체 고분자 전해질과 가소화된 고분자 전해질로 구분이 가능하며 이온성 액체와는 달리 고체상태의 박막이나 벌크로 제조가 가능하여 전자소자에 적용할 경우 집적공정이 가능하며 별도의 패키징 공정 없이 유연 소자를 구현할 수 있는 장점이 있다. 하지만 고분자 전해질의 경우 이온의 사이즈가 매우 크고 형상이 복잡하여 이온 전도도가 불량한 문제점을 나타내고 있는데, 일반적인 고분자 전해질의 이온 전도도는 ~0.01 mS/cm 수준으로 측정되며 이는 앞서 언급한 이온성 액

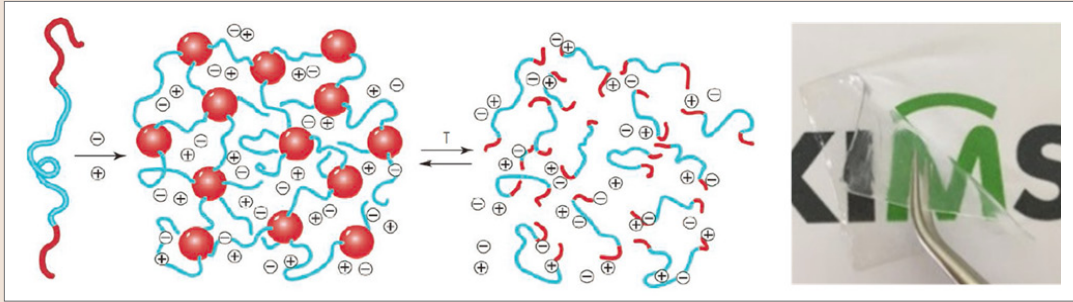


그림 2 ▶ 이온젤의 구조와 투명 이온젤 사진 [22].

체 대비 1/100 수준으로 낮은 편이다.

따라서 전기화학적 트랜지스터의 상용화를 위해서는 이온 전도도가 우수하고 기계적 강도가 확보된 신규 전해질 소재의 개발이 필수적이며 다양한 신규 소재들 중 이온젤 소재가 우수한 물리적 특성으로 인해 많은 연구가 진행 중에 있다. 이온젤은 지지체 고분자와 이온성 액체를 blending 하여 형성한 고체 전해질 소재의 일종이다(그림 2). 상온에서 형성된 이온젤은 1 MPa 이상의 우수한 기계적 강도를 유지하면서도 1~10 mS/cm의 높은 이온전도도 특성을 나타내게 된다.

따라서 이와 같은 이온젤을 전기화학적 트랜지스터의 게이트 절연막으로 사용할 경우 고성능의 유연전자 소자 구현을 기대할 수 있다.

3.2 이온젤 기반 ZnO 트랜지스터

그림 3(a)는 이온젤 전해질을 게이트 절연막으로 사용한 ZnO 트랜지스터의 구조를 나타내고 있다 [23]. 기판 소재로는 유연하고 열적 안정성이 높은 폴리이미드(polyimide) 필름을 선택하였다. 소스와 드레인 전극으로는 전기전도도가 높고 안정성이 우수한 Au를 사용하였

다. Au 전극은 일반적인 photolithography 공정을 이용하여 형성하였고 채널 길이와 간격은 $W/L = 500/25 \mu\text{m}$ 로 디자인 하였다. 이렇게 형성된 S-D 전극 표면에 트랜지스터의 채널층으로 사용할 ZnO를 코팅하였다. ZnO 코팅을 위해 ZnO 파우더를 암모니아수에 녹인 전구체 용액을 사용하였으며 정밀한 패턴 형성을 위해

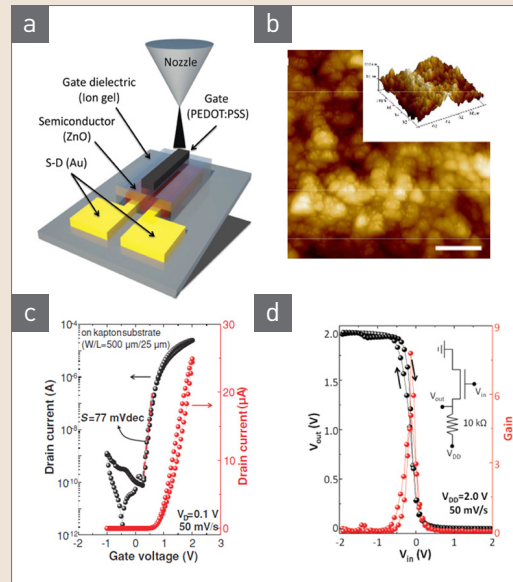


그림 3 ▶ (a) ZnO와 이온젤을 이용한 전기화학적 트랜지스터의 구조 및 인쇄 공정 모식도, (b) ZnO 채널층의 AFM 이미지, (c) ZnO 트랜지스터의 transfer curve, (d) ZnO 트랜지스터를 이용하여 제작한 inverter의 스위칭 특성 [23].

에어로졸 젯 프린팅 공정을 사용하였다. 에어로졸 젯 프린팅은 프린팅하고자 하는 잉크 용액을 초음파 transducer로 진동 시켜 발생하는 aerosol mist를 인쇄하는 공정 기술로 다양한 점도를 가지는 잉크의 정밀 패턴 형성이 가능한 장점이 있다.

에어로졸 젯 공정으로 인쇄된 ZnO 패턴의 결정질 박막 형성을 위해 대기 중에서 열처리를 진행하였으며 열처리 온도는 폴리이미드의 변형 한계 온도인 250°C에서 1시간 동안 진행하였다. 그림 3(b)는 이렇게 형성된 ZnO 채널층의 원자힘현미경(atomic force microscopy; AFM) 사진으로 void 영역 없이 치밀한 조직의 smooth한 ZnO 표면이 형성되었음을 확인할 수 있다 (RMS: 15.1 nm). 형성된 ZnO 표면에 이온젤 잉크를 역시 에어로졸 젯 프린팅 공정을 이용하여 형성하였다. 이온젤 잉크는 PS-PMMA-PS 고분자 지지체와 [EMIM][TFSI] 이온성 액체를 blending 하여 제조하였고 프린팅 공정을 이용하여 약 150 μm의 두께로 형성하였다. 마지막으로 상부 게이트 전극을 전도성 고분자인 PEDOT:PSS를 이용하여 인쇄 공정으로 형성하였다.

그림 3(c)는 제작한 ZnO의 transfer (I_D - V_G) curve를 나타낸다. 이온젤 기반 ZnO 트랜지스터는 전형적인 n-channel 스위칭 소자의 특징을 나타내고 있다. 소자의 구동전압은 2 V 이하의 낮은 수치를 나타내고 있다. 소자의 정전용량을 측정하기 위해 displacement 전류를 측정하였으며 V_G 의 sweep rate를 변화시키면서 측정한 결과 약 3.8 μF/cm²의 높은 정전용량

값이 측정되었다. 따라서 이온젤을 이용한 전기화학적 ZnO 트랜지스터 소자에 EDL이 형성되었으며 EDL의 거대 정전용량 특성으로 인해 소자의 구동전압이 2 V 수준으로 낮아졌음을 확인할 수 있었다. Linear 영역에서 측정한 전하 이동도는 1.6 cm²/V · s이며 sub-threshold swing (SS)은 약 77 mV/dec로 측정되었다.

이온젤을 활용한 ZnO 트랜지스터의 경우 일반적인 전기화학적 트랜지스터에서 나타나는 V_G sweep 방향에 따른 hysteresis 특성도 거의 나타나지 않고 있는데 이는 이온젤의 이온 전도도가 상대적으로 우수하기 때문에 정방향/역방향 sweep이 진행되는 동안 이온들이 EDL을 형성하기 위한 충분한 시간을 확보할 수 있어 hysteresis가 매우 작게 나타난 것으로 해석된다.

이온젤과 ZnO를 이용하여 고성능의 n-channel 트랜지스터 특성을 확보할 수 있었고 이를 활용하여 resistor-loaded 인버터를 제작하였다. 인버터는 ZnO 트랜지스터에 탄소계 저항체를 연결하여 제작하였으며 역시 인쇄 공정 기술을 이용하였다. 제작된 인버터는 작은 noise margin을 가지고 clear한 스위칭 특성을 나타내었으며 최대 gain값은 약 8 정도로 측정되었다. 인버터의 dynamic response도 평가하였는데 약 1 kHz의 V_{in} 이 인가된 경우에도 비교적 선명한 response 출력 전압을 얻을 수 있었다.

4. 신규 전해질을 이용한 ZnO 트랜지스터

현재 전기화학적 트랜지스터의 전해질 소재로는 이온성 액체, 고분자 전해질, 물, 바이오소재, 그리고 앞서 언급한 이온젤 등이 사용되고 있다.

유-무기 페로브스카이트 소재는 ABC_3 의 페로브스카이트 결정구조를 가지는 하이브리드 반도체 소재이다(그림 4(a)). A site에는 유기 분자, B site에는 금속 원소, C site에는 할로젠 원소가 사용되며 건식/습식 공정을 사용하여 박막, 단결정, 벌크 등 다양한 형태로 소재 가공이 가능하다. 이와 같은 페로브스카이트 소재는 가시광선 영역의 밴드갭(1.5~2.3 eV)을 가지고, 우수한 흡광 계수($1.5 \times 10^4 \text{ cm}^{-1}$), 높은 전하 확산 거리와 전하 이동도 특성을 나타낸다. 최근에는 페로브스카이트의 반도체적인 특성을 이용하여 고효율 태양전지의 광활성층 적용과 발광 다이오드 및 디스플레이의 발광층 응용을 위한 활발한 연구가 진행 중에 있다 [24-26]. 이처럼 페로브스카이트의 반도체적인 특성을 이용한 다양한 연구가 활발히 진행 중임에 비해 소재가 가지는 전해질적인 특성에 관한 연구는 상대적으로 미비하게 진행되고 있는 실정이다.

습식 공정으로 형성된 하이브리드 페로브스카이트 소재는 많은 결함을 가지고 있는 것으로 알려져 있다. 습식 공정으로 형성된 박막 페로브스카이트는 낮은 활성화 에너지에 의해 vacancy와 같은 결함이 쉽게 생성될 수 있는데

실제 methylammonium lead iodide (MAPbI_3) 기준으로 I vacancy를 형성하는데 약 0.58 eV의 에너지가 필요하며 MA vacancy는 약 0.84 eV의 에너지에 의해 활성화되는 것으로 알려져 있다. 따라서 상온에서 하이브리드 페로브스카이트는 빛, 열, 전기적 bias와 같은 외부 자극에 의해 쉽게 결함을 형성하고 형성된 결함이 박막 내 양이온과 음이온의 역할을 하여 소재는 전해질 특성을 나타내게 된다 [27]. 이와 같은 페로브스카이트 박막의 전해질적인 성질을 이용하여 전기화학적 트랜지스터의 게이트 절연막으로 적용한다면 저전압 구동이 가능한 ZnO 스위칭 소자를 구현할 수 있다.

그림 4(b)는 ZnO 채널층과 페로브스카이트 게이트 절연막으로 이루어진 전기화학적 트랜지스터의 구조를 나타낸 모식도이다.

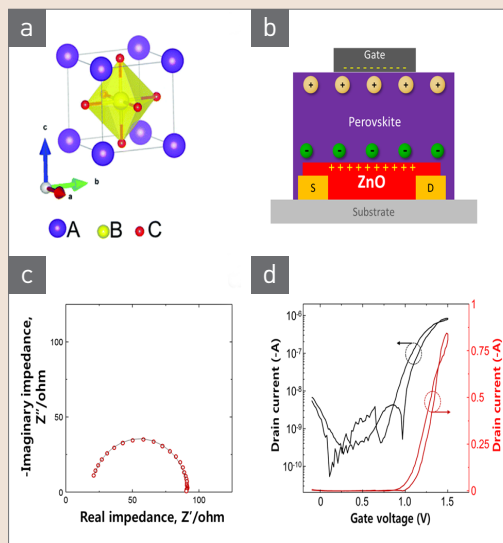


그림 4 ▶ (a) 하이브리드 페로브스카이트의 결정구조, (b) 하이브리드 페로브스카이트와 ZnO 채널층을 사용한 전기화학적 트랜지스터의 구조 모식도, (c) 하이브리드 페로브스카이트의 EIS 측정 결과, (d) 전기화학적 트랜지스터의 transfer curve 측정 결과.

기관으로는 Si/SiO₂를 사용하였고 S-D 전극은 photolithography로 형성한 Au전극을 사용하였으며 상부 게이트 전극은 PEDOT:PSS 필름을 라미네이션 하였다. ZnO와 페로브스카이트 층은 각각의 전구체를 스프인코팅하여 형성하였다.

그림 4(c)는 페로브스카이트의 전해질적인 특징을 알아보기 위해 실시한 electronic impedance spectroscopy (EIS) 측정 결과이다. Z' -Z'' 으로 구성된 페로브스카이트의 Nyquist plot은 전형적인 전해질 특성에 해당하는 반원형태의 spectrum을 나타내고 있다. 전체 저항은 약 85 ohm으로 측정되었으며 측정에 사용한 페로브스카이트 박막의 두께와 길이를 고려하여 환산한 이온 전도도는 약 10⁻⁸ S/cm 수준으로 이는 일반적인 고체 전해질의 전도도 값과 유사한 수준인 것으로 해석된다.

페로브스카이트의 전해질적인 특성을 이용하여 전기화학적 트랜지스터를 제작하였고 transfer curve 특성을 그림 4d에 도시하였다. 앞선 이온젤 기반 소자와 마찬가지로 트랜지스터는 전형적인 n-channel 스위칭 소자의 특성을 보이고 있고 2 V 미만의 낮은 구동전압 특성을 나타내고 있는데 이는 제작한 트랜지스터에 V_G를 인가함에 따라 페로브스카이트 박막내의 이온들이 게이트/페로브스카이트 계면과 반도체/페로브스카이트 계면으로 이동을 하여 EDL을 형성하였음을 의미한다. Linear 영역에서 계산한 전하 이동도는 약 0.04 cm²/Vs 이며 SS는 약 150 mV/dec로 측정되었다. 앞선 이온젤 소재와 비교하였을 때 정방향-역방향

sweep에 따른 hysteresis가 크게 증가한 것을 확인할 수 있다. 이는 페로브스카이트의 이온 전도도가 (~10⁻⁸ S/cm) 이온젤의 전도도 보다 (~10⁻³ S/cm) 낮기 때문인 것으로 해석된다. 즉 페로브스카이트의 낮은 이온 전도도로 인해 정방향에서 역방향으로 sweep이 진행되는 동안 박막 내 이온들이 EDL층을 형성한 후 원래 상태로 되돌아오기까지 충분한 시간을 확보할 수 없어 sweep 방향에 따라 큰 hysteresis가 발생한 것으로 생각된다.

5. 전기화학적 트랜지스터의 기술적 이슈

전해질을 이용한 전기화학적 금속산화물 트랜지스터는 낮은 구동전압, 용액(인쇄) 공정의 장점을 가지는 유망 소자 기술이다. 하지만 전기화학적 트랜지스터의 상용화를 위해서는 몇 가지 해결해야 하는 장애 기술들이 남아있다.

첫 번째로 낮은 구동전압은 모바일 소자 또는 플렉서블 소자 구현에 있어서 장점이 될 수 있는 요소이지만 몇몇 디스플레이의 back-plane으로 사용하기에는 적합하지 않은 특성이다. 예를 들어 전기 영동형 디스플레이(electrophoretic display) 소자의 경우 작동하기 위해서는 약 10~20 V의 구동전압이 필요한 것으로 알려져 있다. 하지만 전기화학적 트랜지스터의 경우 대부분 5 V 미만의 낮은 구동전압 특성을 가지고 있으며 강제로 10 V 이상의 bias


를 인가할 경우 전해질의 화학적 안정성 영역(chemical stability window) 벗어나기 때문에 소자의 열화가 발생하여 정상구동이 불가능하게 되는 문제점이 발생한다.

두 번째로 화학적 안정성 문제가 있다. 일반적인 트랜지스터 및 전자소자의 경우 전극으로 전도성이 우수한 은(Ag), 구리(Cu) 등을 많이 사용하고 있다. 기존 전자소자를 전기화학적 트랜지스터로 전환할 경우 전해질과 전극 간의 접촉이 발생하게 되고 이와 같은 접촉면에서는 일종의 전기화학적 전지(cell) 반응이 일어나 전극의 부식이 발생할 수 있다. 이와 같은 문제점을 해결하기 위해서는 전해질과의 반응성이 낮은 noble 금속(Pd, Au, Pt 등)을 사용하여야 하지만 이들 금속들은 전기전도도와 제조비용 측면에서 상용화에는 적합하지 못한 실정이다.

마지막 이슈는 전력 소모 성능이다. 일반적인 전계효과 트랜지스터에 사용되는 게이트 절연막은 유전체가 주로 사용되므로 전기적으로 insulating 특성을 나타낸다. 따라서 off-current 영역에서 약 10^{-10} ~ 10^{-12} A의 낮은 누설 전류 특성을 가지게 된다. 하지만 전기화학적 트랜지스터에 사용되는 전해질은 이온 거동 특성으로 인해 유전체 대비 insulating 특성이 부족하고 이로 인해 소자는 상대적으로 높은 off-current (10^{-8} ~ 10^{-10} A)를 나타내며 결과적으로 전력소모가 증가하는 문제점을 가지게 된다. 특히 전력소모 특성은 현재 배터리 기술과도 밀접한 관련이 있는 전자소자의 핵심 성능 지표로 전기화학적 트랜지스터의 상용화를 위

해서는 반드시 해결해야하는 주요 기술적 이슈라 할 수 있다.

6. 맺음말

본보에서는 전해질을 이용한 전기화학적 트랜지스터의 구동원리와 이를 이용한 산화물 반도체 트랜지스터 특성, 그리고 기술적 이슈들에 대해서 리뷰하였다. 전기화학적 트랜지스터는 기존 전계효과 트랜지스터 대비 낮은 구동전압과 높은 전하 이동도를 가지는 장점이 있다. 실제 ZnO와 이온젤을 이용한 전기화학적 트랜지스터의 경우 2 V 이하의 낮은 구동전압과 $1.5 \text{ cm}^2/\text{V} \cdot \text{s}$ 의 높은 전하 이동도를 나타내었으며 특히 구동전압은 일반적인 박막 트랜지스터 대비 1/10~1/20 수준으로 낮은 수치이다. 이온젤 전해질의 경우 이번에 소개한 에어로졸 젯 프린팅, 스핀코팅 이외에도 잉크젯 프린팅, 나노 임프린팅, 전사 프린팅 등 다양한 방법으로 박막과 벌크를 형성할 수 있어 트랜지스터 공정의 자유도를 높이고 제조 비용을 낮출 수 있는 장점이 있다. 현재까지는 이와 같은 장점에도 불구하고 전기화학적 트랜지스터의 상용화는 이루어지지 않고 있는데 향후 구동전압 범위의 확장, 화학적 안정성 개선, 누설전류 억제 등의 당면 문제점들의 해결을 통해 모바일, 플렉서블, IoT 전자기기 등으로의 기술적 확산이 가능할 것으로 예상된다. 

참/고/문/헌

- [1] J. Schornbaum, Y. Zakharko, M. Held, S. Thiemann, F. Gannott, and J. Zaumseil, *Nano Lett.* **15**, 1822 (2015).
- [2] J. Li, L. Niu, Z. Zheng, and F. Yan, *Adv. Mater.* **26**, 5239 (2014).
- [3] F. A. McGuire, Y. C. Lin, K. Price, G. B. Rayner, S. Khandelwal, S. Salahuddin, and A. D. Franklin, *Nano Lett.* **16**, 4801 (2017).
- [4] K. Hong, S. H. Kim, A. Mahajan, and C. D. Frisbie, *ACS Appl. Mater. Interfaces*, **6**, 18704 (2014).
- [5] D. Khim, Y. H. Lin, S. Nam, H. Faber, K. Tetzner, R. Li, Q. Zhang, J. Li, X. Zhang, and T. D. Anthopoulos, *Adv. Mater.* **29**, 1605837 (2017).
- [6] I. Isakov, H. Faber, M. Grell, G. Wyatt-Moon, N. Pliatsikas, T. Kehagias, G. P. Dimitrakopoulos, P. P. Patsalas, R. Li, and T. D. Anthopoulos, *Adv. Funct. Mater.* **27**, 1606407 (2017).
- [7] I. Valitova, M. M. Natile, F. Soavi, C. Santato, and F. Cicoira, *ACS Appl. Mater. Interfaces*, **9**, 37013 (2017).
- [8] Z. Xu, C. Zhang, W. Wang, Y. Bando, X. Bai, and D. Golberg, *Nano Energy*, **13**, 233 (2015).
- [9] S. H. H. Shokouh, A. Pezeshki, S. R. A. Raza, H. S. Lee, S. W. Min, P. J. Jeon, J. M. Shin, and S. Im, *Adv. Mater.* **27**, 150 (2015).
- [10] Y. Y. Lin, C. C. Hsu, M. H. Tseng, J. J. Shyue, and F. Y. Tsai, *ACS Appl. Mater. Interfaces*, **7**, 22610 (2015).
- [11] E. B. Secor, J. Smith, T. J. Marks, and M. C. Hersam, *ACS Appl. Mater. Interfaces*, **8**, 17428 (2016).
- [12] D. Spiehl, M. Haming, H. M. Sauer, K. Bonrad, and E. Dorsam, *IEEE Trans. Electron. Dev.* **62**, 2871 (2015).
- [13] E. M. C. Fortunato, P. M. C. Barquinha, A. C. M. B. G. Pimentel, A. M. F. Goncalves, A. J. S. Marques, L. M. N. Pereira, and R. F. P. Martins, *Adv. Mater.* **17**, 590 (2004).
- [14] J. H. Kim, B. D. Ahn, C. H. Lee, K. A. Jeon, H. S. Kang, and S. Y. Lee, *Thin Solid Films*, **516**, 1529 (2008).
- [15] M. D. Morales-Acosta, M. A. Quevedo-Lopez, and R. Ramirez-Bon, *Mater. Chem. Phys.* **146**, 380 (2014).
- [16] S. Y. Park, B. J. Kim, K. Kim, M. S. Kang, K. H. Lim, T. I. Lee, J. M. Myoung, H. K. Baik, J. H. Cho, and Y. S. Kim, *Adv. Mater.* **24**, 834 (2012).
- [17] S. H. Kim, K. Hong, W. Xie, K. H. Lee, S. Zhang, T. P. Lodge, and C. D. Frisbie, *Adv. Mater.* **25**, 1822 (2013).
- [18] B. N. Pal, P. Trottman, J. Sun, and H. E. Katz, *Adv. Mater.* **18**, 1832 (2008).
- [19] S. Jeong, Y. G. Ha, J. Moon, A. Facchetti, and T. J. Marks, *Adv. Mater.* **22**, 1346 (2010).
- [20] H. Yuan, H. Shimotani, A. Tsukazaki, A. Ohtomo, M. Kawaasaki, and Y. Iwasa, *ACS Adv. Funct. Mater.* **19**, 1046, (2009).
- [21] J. H. Cho, J. Lee, Y. Xia, B. Kim, Y. He, M. J. Renn, T. P. Lodge, and C. D. Frisbie, *Nature Mater.* **7**, 900 (2008).
- [22] T. P. Lodge, *Science*, **321**, 50 (2008).

- [23] K. Hong, S. H. Kim, K. H. Lee, and C. D. Frisbie, *Adv. Mater.* 25, 3413 (2013).
- [24] Y. Wu, F. Xie, H. Chen, X. Yang, H. Su, M. Cai, Z. Zhou, T. Noda, and L. Han, *Adv. Mater.* 29, 1701073 (2017).
- [25] Z. Shi, Y. Zhang, C. Cui, B. Li, W. Zhou, Z. Ning, and Q. Mi, *Adv. Mater.* 29, 1701656 (2017).
- [26] Y. C. Kim, Y. Porte, S. D. Baek, S. R. Cho, and J. M. Myoung, *ACS Appl. Mater. Interfaces*, 9, 44106 (2017).
- [27] S. P. Senanayak, B. Yang, T. H. Thomas, N. Giesbrecht, W. Huang, E. Gann, B. Nair, K. Goedel, S. Guha, X. Moya, C. R. McNeill, P. Docampo, A. Sadhanala, R. H. Friend, and H. Sirringhaus, *Sci. Adv.* 3, e1601935 (2017).

저/자/약/력



성명	홍기현	
학력	2005년	포항공과대학교 신소재공학과 공학사
	2010년	포항공과대학교 신소재공학과 공학박사
	2012년-2013년	University of Minnesota 박사후 연구원
경력	2014년-2017년	한국기계연구원 부설 재료연구소 선임연구원
	2017년-현재	충남대학교 신소재공학과 조교수