

PMIC용 Zero Layer FTP Memory IP 설계

하 윤 규*, 김 흥 주*, 하 판 봉*, 김 영 희*

Design of Zero-Layer FTP Memory IP

Yoongyu Ha*, Hongzhou Jin*, Panbong Ha*, Younghee Kim*

요 약 본 논문에서는 0.13 μ m BCD 공정 기반에서 5V MOS 소자만 사용하여 zero layer FTP 셀이 가능하도록 하기 위해 tunnel oxide 두께를 기존의 82Å에서 5V MOS 소자의 gate oxide 두께인 125Å을 그대로 사용하였고, 기존의 DNW은 BCD 공정에서 default로 사용하는 HDNW layer를 사용하였다. 그래서 제안된 zero layer FTP 셀은 tunnel oxide와 DNW 마스크의 추가가 필요 없도록 하였다. 그리고 메모리 IP 설계 관점에서는 designer memory 영역과 user memory 영역으로 나누는 dual memory 구조 대신 PMIC 칩의 아날로그 회로의 트리밍에만 사용하는 single memory 구조를 사용하였다. 또한 BGR(Bandgap Reference Voltage) 발생회로의 start-up 회로는 1.8V~5.5V의 전압 영역에서 동작하도록 설계하였다. 한편 64비트 FTP 메모리 IP가 power-on 되면 internal reset 신호에 의해 initial read data를 00H를 유지하도록 설계하였다. 0.13 μ m Magnachip 반도체 BCD 공정을 이용하여 설계된 64비트 FTP IP의 레이아웃 사이즈는 485.21 μ m \times 440.665 μ m(=0.214mm²)이다.

키워드 : PMIC, Zero layer, Few-Time Programmable, Single memory, BGR, Power-on reset

Abstract In this paper, in order to enable zero-layer FTP cell using only 5V MOS devices on the basis of 0.13 μ m BCD process, the tunnel oxide thickness is used as the gate oxide thickness of 125Å of the 5V MOS device at 82Å. The HDNW layer, which is the default in the BCD process, is used. Thus, the proposed zero layer FTP cell does not require the addition of tunnel oxide and DNW mask. Also, from the viewpoint of memory IP design, a single memory structure which is used only for trimming analog circuit of PMIC chip is used instead of the dual memory structure dividing into designer memory area and user memory area. The start-up circuit of the BGR (Bandgap Reference Voltage) generator circuit is designed to operate in the voltage range of 1.8V to 5.5V. On the other hand, when the 64-bit FTP memory IP is powered on, the internal read signal is designed to maintain the initial read data at 00H. The layout size of the 64-bit FTP IP designed using the 0.13- μ m Magnachip process is 485.21 μ m \times 440.665 μ m(=0.214mm²).

Key Words : PMIC, Zero layer, Few-Time Programmable, Single memory, BGR, Power-on reset

1. 서 론

PMIC (Power Management IC)는 휴대폰, 노트북 PC, TV와 모니터 등의 정보기기에서 입력전원을 받아서 시스템에서 요구하는 안정적이고 효율적인 전원으로 변환하여 공급하는 칩이다[1]. PMIC 칩은 다중 converter에서 개별 converter의 power-on,

power-off sequence 결정, output voltage setting, output pull-down resistance setting, inductor current limit setting, Inrush current에 따른 회로 보호 및 동작의 신뢰성 향상을 위한 soft-start time setting의 기능을 수행하기 위해 NVM (Non-Volatile Memory) 메모리 IP (Intellectual Property)인 MTP (Multi-Time

This Paper was supported by research Fund of Changwon National University in 2018.

*Corresponding Author : Department of Electronic Engineering, Changwon National University (youngkim@changwon.ac.kr)

Received December 21, 2018

Revised December 22, 2018

Accepted December 25, 2018

Programmable) 메모리 IP가 요구된다[2]. MTP 메모리 셀 (cell)은 대부분 한 개 또는 두 개의 마스크 layer가 추가된다. MTP 메모리는 공정이 단순하고 가격 경쟁력이 있기 때문에 많은 PMIC 칩에 사용되고 있다[3].

표 1은 최근에 발표된 BCD 공정기반 MTP 메모리 IP의 특성 비교한 것이며, MTP 셀은 주변회로를 5V MOS 소자를 사용하여 설계할 수 있다. 그런데 Ref. [3-6]의 MTP 셀은 erase voltage나 program voltage가 9V 이상이므로 5V MOS 소자의 신뢰성을 확보해 주기 위해서는 HV(High-Voltage) 트랜지스터, parasitic HV 트랜지스터, LD MOS 트랜지스터 중 하나의 MOS 소자를 부가적으로 필요로 하는 문제점이 있다[2]. 그리고 Ref. [2]의 MTP 셀은 tunnel oxide 마스크와 DNW(Deep N-Well) 마스크가 별도로 요구되는 문제점이 있다.

표 1. MTP 셀의 특성 비교.

Table 1. Characteristic comparison of MTP cells.

| Ref. No. | Memory Process | Cell Size [μm^2] | Tunnel Oxide Thickness | Erase Voltage | PGM Voltage |
|----------|--------------------------|-------------------------------|------------------------|---------------|-------------|
| [2] | 0.18 μm BCD | 33 | 82Å | ±6.5V | ±6.5V |
| [3] | 0.35 μm BCD | 37.7 | 125Å | 15V | 18.5V |
| [4] | 0.13 μm Logic | 12.1 | 85Å | 12V | 12V |
| [5] | 0.18 μm BCD | 2 | 110Å | 9V | 5.5V |
| [6] | 0.25 μm Logic | 62.5 | 85Å | 9V | 5.5V |

스마트폰이나 자동차 전장에 사용되는 PMIC 칩에 사용되는 NVM 메모리 IP의 endurance는 1,000번 정도 erase/program이 가능한 MTP 메모리보다는 10번 정도 erase/program이 가능한 64비트 FTP (Few-Time Programmable) 메모리 IP를 필요로 한다. 그리고 파워-업 시 1.8V 정도의 external VDD 전압에서 FTP 셀의 데이터를 읽어내어 밴드갭 기준전압 발생기 회로를 포함한 아날로그 회로를 트

리밍할 필요가 있다[2]. 그래서 PMIC용 FTP 메모리 IP는 read mode에서 1.8V~5.5V의 wide operating voltage range를 갖는 메모리 IP 설계가 요구된다[2]. 한편 NVM 메모리 IP는 power-on 되면 internal reset 신호에 의해 initial read data를 00H를 유지할 필요가 있다[7].

본 논문에서는 0.13 μm BCD 공정 기반에서 5V MOS 소자만 사용하여 FTP 메모리 IP 설계가 가능하도록 하기 위해 FTP 셀 관점에서 펌핑 (pumping) 전압인 VPP (Boosted Voltage) 전압과 VNN (Negative Voltage) 전압의 dual power를 이용한 FN (Fowler-Norheim) 터널링을 이용하여 erase와 program하는 방식의 FTP cell[8]을 사용하였다. Zero layer FTP 셀이 가능하도록 하기 위해 tunnel oxide 두께를 기존의 82Å에서 5V MOS 소자의 gate oxide 두께인 125Å을 그대로 사용하였고, 기존의 DNW는 BCD 공정에서 default로 사용하는 HDNW (High-Voltage Deep N-Well) layer를 사용하지 않고 추가 마스크없이 FTP 셀 공정이 가능하도록 하였다. 그리고 메모리 IP 설계 관점에서는 designer memory 영역과 user memory 영역으로 나누는 dual memory 구조 대신 PMIC 칩의 아날로그 회로의 트리밍에만 사용하는 single memory 구조를 사용하였다. 또한 PMIC용 FTP 메모리 IP는 read mode에서 1.8V~5.5V의 wide operating voltage range를 갖는 메모리 IP 설계를 요구하므로 본 논문에서는 BGR (Bandgap Reference Voltage) 발생회로의 start-up 회로를 1.8V~5.5V의 전압 영역에서 동작하도록 제안하였다. 한편 64비트 FTP 메모리 IP가 power-on 되면 internal reset 신호에 의해 initial read data를 00H를 유지하도록 설계하였다. 0.13 μm Magnachip 반도체 BCD 공정을 이용하여 제안된 FTP 셀 사이즈는 5.5 μm ×6.0 μm (=33 μm^2)이며, 64비트 FTP IP의 레이아웃 사이즈는 485.21 μm ×440.665 μm (=0.214mm²)이다.

II. 회로 설계

본 논문에서 사용된 FTP 셀은 그림 1(a)에서 보는

바와 같이 PW-P+P MOS 커패시터 구조를 갖는 CG 커플링 커패시터 (CC), TG_SENSE 트랜지스터 (MN1)와 over-erase 되었을 때 BL에서의 누설전류 (off-leakage current)를 줄이기 위해 SG (Select Gate) 트랜지스터 (MN2)로 구성되어 있다[2]. 0.13 μm BCD 공정 기반에서 64비트 셀 어레이의 HDNW를 공유하였고, TG_SENSE 트랜지스터와 SG 트랜지스터의 PW (P-Well)은 공유되었다[2]. 0.13 μm BCD 공정에서 FTP 셀 어레이 안에 위치한 PW과 NW (N-Well)을 direct로 butting하게 되면 erase 모드와 program 모드에서 PW과 NW 사이의 well junction breakdown으로 인해 well junction이 파괴될 수 있다[2]. 그래서 본 논문에서도 HDNW 안의 PW과 NW 사이의 well junction BV를 증가시키기 위해 PW과 NW를 바로 butting하는 대신, 추가 마스크 없이 PW과 NW 사이의 well space를 0.6 μm 로 유지하여 HDNW를 그대로 유지하도록 하였다[2]. 한편 TG_SENSE 트랜지스터는 erase mode와 program mode에서 FN 터널링이 일어나는 TG 트랜지스터 역할을 하는 반면, read mode에서는 센스 트랜지스터 역할을 한다[2]. 그리고 Zero layer FTP 셀이 가능하도록 하기 위해 tunnel oxide 두께를 기존의 82Å에서 CC capacitor와 MN2 transistor의 gate oxide 두께인 125Å을 그대로 사용하였다. 0.13 μm 공정을 이용하여 layout된 FTP의 셀 size는 5.5 μm ×6 μm (=33 μm^2)으로 0.18 μm MTP 셀에서 사용한 레이아웃 크기를 그대로 사용하였다. 그림 2(b)는 사용된 FTP 셀의 공정단면도를 보여주고 있다.

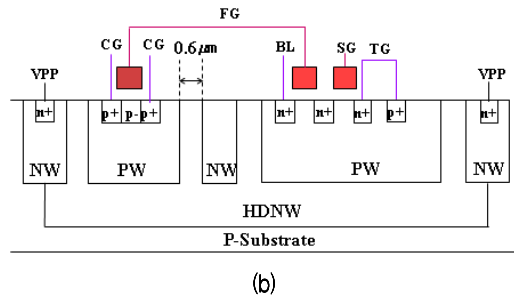
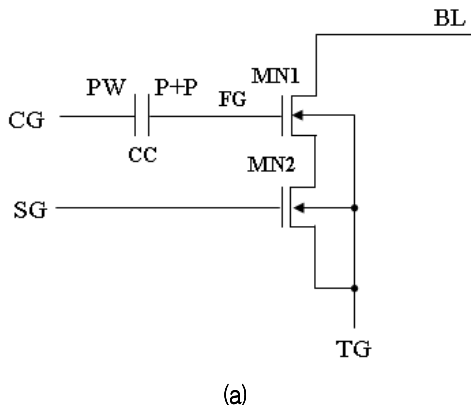


그림 1. FTP cell (a) 회로도 (b) 공정단면도.
Fig. 1. FTP cell: (a) circuit and (b) process cross-sectional view.

그림 1의 제안된 FTP cell을 사용하여 설계된 64 비트 FTP IP의 주요 특징은 표 3과 같다. 셀 어레이는 8R × 8C이다. 공급전압은 VDD의 single power supply를 사용하였으며, 동작 모드는 read, erase, program, reset, PVR (Program-Verify-Read), EVR (Erase-Verify-Read) 모드를 지원한다. VDD 전압은 read mode에서 1.8V~5.5V의 wide voltage range이고, 나머지 동작 모드는 표 2에서 보는바와 같이 4.5V~5.5V의 range이다. FTP IP의 erase time과 program time은 모두 5ms이고 access time은 500ns이다.

표 1. 64비트 FTP IP의 주요 특징.

Table 2. Major specifications of 64-bit FTP IP.

| Items | Main Features | |
|--------------------|--|---|
| Process Technology | 0.13 μm BCD | |
| VDD | Read | 1.8V ~ 5.5V |
| | Write | 4.5V ~ 5.5V |
| | Write-Verify-Read | 4.5V ~ 5.5V |
| Function | Normal | Read / Erase / Program / EVR / PVR / Reset |
| | Cell V_T Measuring | Erased Cell V_T Measuring / Programmed Cell V_T Measuring |
| Additional Mask | Zero | |
| Memory Density | 64b | |
| Cell Array | 8Rows x 8Columns | |
| I/O | 8bit | |
| Temperature Range | -40~125 $^{\circ}\text{C}$ | |
| Cell Size | 5.5 μm X 6 μm (=33 μm^2) | |
| Endurance | 100 Cycles | |
| Data Retention | 10Years | |
| IP Size | 0.214 μm^2 | |

그림 2는 0.18 μ m BCD 공정을 이용하여 제작된 FTP cell의 program voltage에 대한 program V_T 와 erase V_T 측정 결과를 보여주고 있다. 5ms의 write time으로 CG와 TG에 program voltage를 $\pm 7V$, $\pm 7.5V$, $\pm 8V$ split에 따른 V_T 특성 측정 curve를 보여주고 있다. 5ms의 writing time에 $\pm 7.5V$ 의 program voltage에서 programmed cell의 V_T 와 erased cell의 V_T 의 측정된 전압은 그림 2에서 보는바와 같이 각각 2.49V와 -1.55V로 측정되었으며, 100cycle의 E/P cycling에 따른 V_T 전압도 15V의 VRD (Read Voltage)를 사용하는데 문제가 없는 양호한 특성을 보여주고 있다.

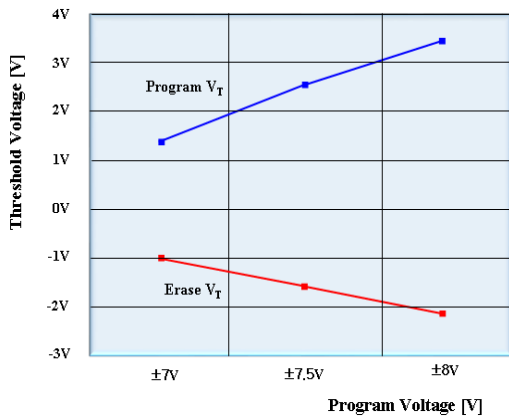


그림 2. 0.18 μ m BCD 공정으로 제작된 FTP 셀의 program voltage에 대한 program V_T 와 erase V_T 측정 결과.
 Fig. 2. Results of program V_T and erase V_T measurements with respect to program voltage for fabricated FTP cells based on the 0.18 μ m BCD process.

스마트폰의 디스플레이 모듈에 탑재되는 PMIC 칩의 MTP 메모리는 PMIC에 사용되는 아날로그 회로의 트리밍과 user가 사용하는 디스플레이 구동 칩의 아날로그 트리밍을 위한 dual memory 구조의 설계 기술을 요구하고 있다[2]. 한편 아날로그 회로의 트리밍을 위해 FTP 메모리 IP를 사용하는 PMIC 칩에서는 single memory 구조이면 된다.

Single 메모리 구조를 갖는 64비트 FTP 메모리

IP의 블록도는 그림 3에서 보는바와 같이 8rows \times 8 columns의 FTP 셀 어레이, 동작 모드에 따라 control signal을 발생시키는 control logic, address A[2:0]에 따라 SG, CG 노드에 전압을 공급하는 CG 구동회로, BL[7:0]의 data를 DL[7:0]에 전달해주는 BL Switch 회로, DL[7:0]를 읽어내기 위한 DL S/A(Sense Amplifier), TG driver 및 쓰기 기능에 필요한 고전압인 VPP ($\approx +7.5V$), VNN ($\approx -7.5V$), VPPL ($\approx 2.5V$), VNNL ($\approx -2.5V$) 전압을 공급해주는 DC-DC converter 회로로 구성되어 있다. Interface 신호는 control signal (PDb, RSTb, RD, ERS, PGM, 등등), address A[2:0], input data DIN[7:0], output data DOUT[7:0]이 있다. 한편 erase, program read 동작은 byte 단위로 수행된다.

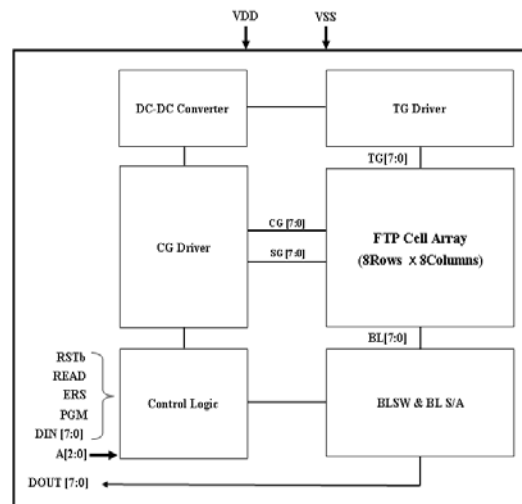
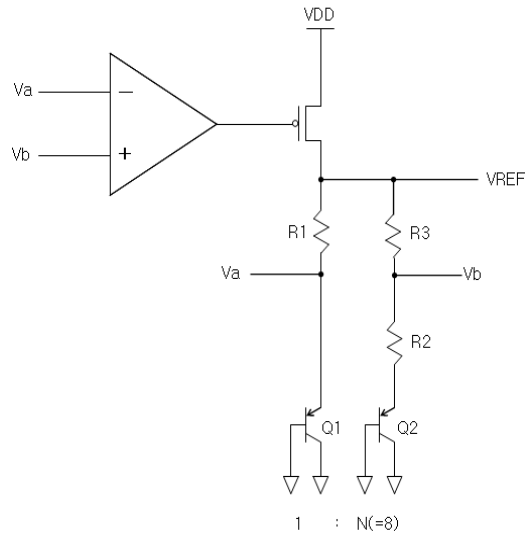


그림 3. 설계된 64비트 FTP 메모리 IP의 블록도.

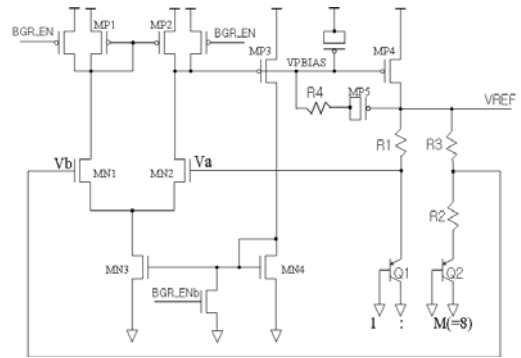
Fig. 3. Block diagram of the designed 64-bit FTP memory IP.

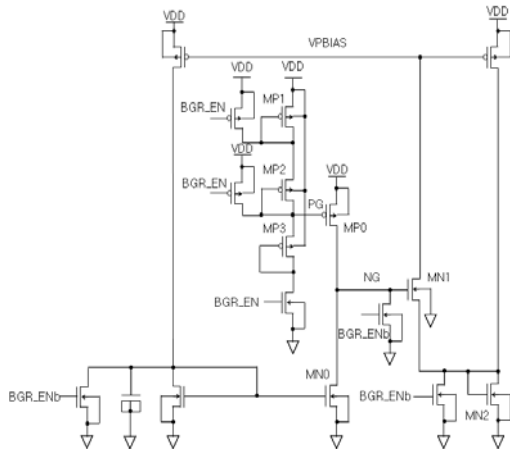
그림 3의 DC-DC 변환기 회로는 밴드갭 기준전압 발생기 (Bandgap reference voltage generator) 회로를 필요로 한다. BGR 발생기 회로는 온도와 공급전압 및 공정의 변동에 일정한 기준전압을 만들어준다. 그림 4의 BGR 발생기 회로는 식 (1)에서 보는바와 같이 음의 온도계수 (temperature coefficient)를 가지며 순방향으로 바이어스된 PNP

BJT 트랜지스터의 emitter-base 전압인 V_{EB1} 전압에 PTAT (proportional to absolute temperature) 전압인 $(R1/R2) \cdot V_T \cdot \ln N$ 을 더하므로 구현된다. 식(1)에서 V_T 는 thermal voltage이고, N 은 Q1과 Q2의 에미터 면적 비를 나타낸다. 그림 4의 BGR 회로는 power-up시 VPBIAS를 정상적으로 바이어스 잡아주기 위해 그림 5의 start-up 회로를 필요로 한다. Start-up 회로는 power-up시 VPBIAS가 VDD를 따라 올라가는 경우 VDD/3 전압인 PG에 의해 MP0 트랜지스터는 NG 노드 전압을 pull-up 시켜 bypass 트랜지스터 MN1을 ON시킨다. MN1이 ON 되면 VPBIAS 전압을 NMOS 다이오드인 MN2를 통해 discharging시킨다. 만약 VPBIAS 전압이 정상적인 레벨로 떨어지면 NMOS current mirror인 MN0의 pull-down 전류가 MP0의 pull-up 전류보다 더 커지면서 NG 전압을 떨어뜨리면서 MN1 트랜지스터를 OFF시킨다. 정상상태에서 MN1은 항상 OFF 상태를 유지한다. 그런데 VDD/3의 전압을 만들어주는 PMOS 다이오드 divider에 사용되는 PMOS 트랜지스터 (MP1, MP2와 MP3)의 body 전압을 해당되는 트랜지스터의 소스 노드가 아니고 VDD에 연결되어 있으므로 body effect로 인해 VDD/3 전압보다 높게 나오면서 MP0의 pull-up 전류가 떨어지면서 bypass 트랜지스터 MN1을 ON시키는데 문제가 있다. 그래서 본 논문에서는 PMOS 다이오드 divider의 전압을 VDD/3으로 만들어주기 위해 PMOS 트랜지스터 (MP11, MP12와 MP13)의 body 노드 전압을 source 노드에 연결하므로 body effect로 인한 threshold voltage 차이를 없애 주었고, MN11 트랜지스터의 body를 source 노드에 연결하므로 ON 전류를 키워주었다.

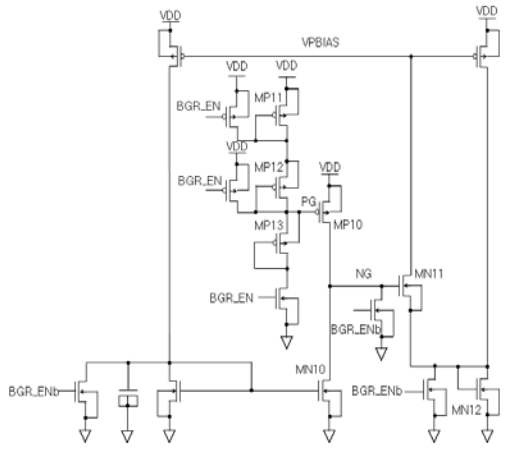


(a) 개념 회로도





(a) 기존 회로[11]



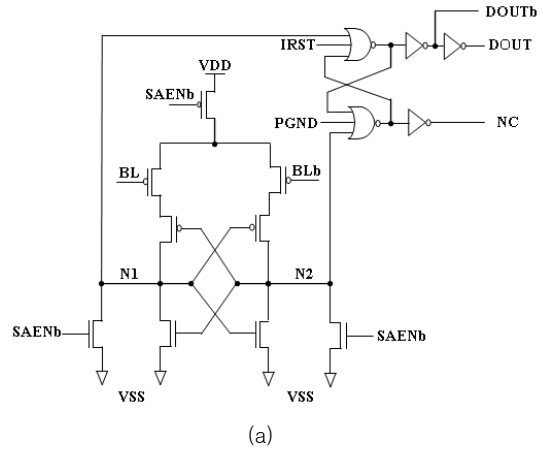
(b) 제안된 회로

그림 5. Start-up 회로.

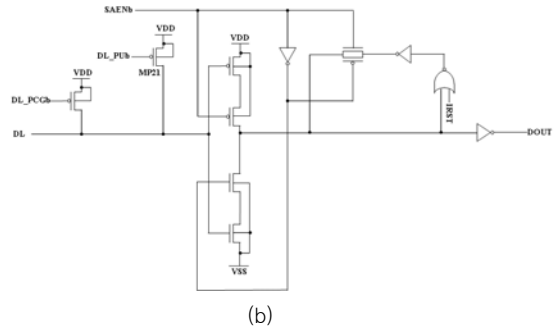
Fig. 5 Start-up circuits: (a) conventional circuit and (b) proposed circuit.

그림 6은 메모리 셀의 데이터를 센싱해주는 sense amplifier 회로이다. 아날로그 트리밍용으로 사용되는 비휘발성 메모리는 power-up시 메모리에서 트리밍해주는 디지털 코드를 읽어내기 전에 트리밍 전의 reset된 디지털 코드를 보내주어야 한다. 그래서 본 논문에서는 single ended input의 sense amplifier 회로를 제안하였다. Read 모드에서 WL이 activation 되기 이전에 PDL_PCGb 신호에 짧은 펄스(short pulse)가 인가되어 PMOS 트랜지스터인 MP0에 의해 먼저 DL을 VDD로 precharge

시킨 후 WL이 활성화되면서 프로그램 된 셀은 전류가 흐르지 않으므로 DL은 VDD를 유지하여 출력으로 나오는 반면, erase된 FTP 셀은 ON 전류가 흘러 DL은 거의 0V의 출력이 나온다. DL에 데이터가 충분히 전달되면 SAENb 신호가 0V로 enable되어 DL의 데이터를 읽어 낸다. High impedance의 부하 트랜지스터 (load transistor)인 MP21은 read mode에서 program된 cell이 선택되었을 때 BL switch를 통해 BL에 연결된 FTP cell들의 누설전류 (leakage current)에 의해 DL이 low level로 떨어지는 것을 방지하기 위한 active load 역할을 한다.



(a)



(b)

그림 6. Sense amplifier 회로도 (a) OTP IP에 사용된 회로 (b) 제안된 회로.

Fig. 6. Sense amplifier circuits: (a) circuit used in the OTP IP and (b) proposed circuit.

그림 17은 0.13 μm BCD 공정을 이용하여 설계된 64비트 FTP IP의 layout 사진을 보여주고 있으며, FTP IP의 layout 면적은 485.21 μm × 440.665 μm (=0.214mm²)이다.

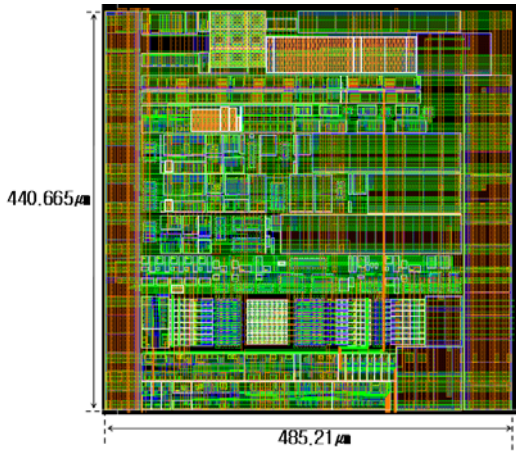
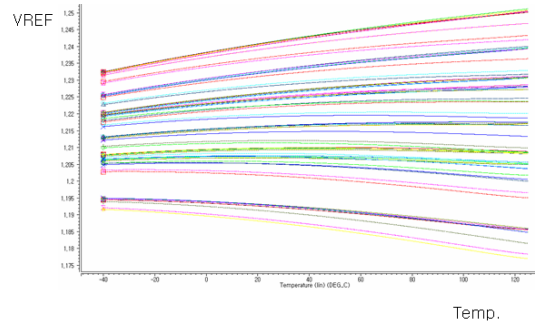


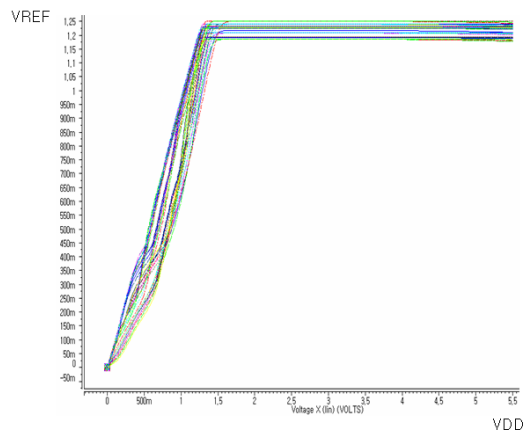
그림 7. 설계된 64비트 FTP IP의 레이아웃 사진.
Fig. 7. Layout image of the designed 64-bit FTP IP.

III. 모의실험 결과

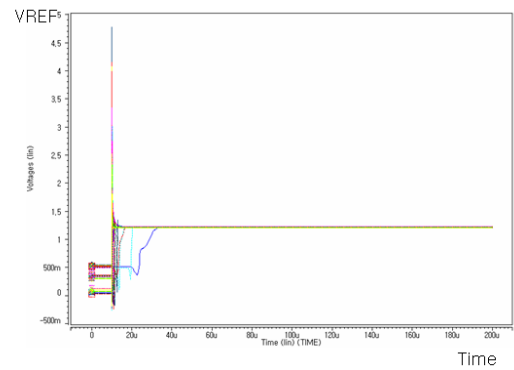
그림 8(a)는 0.13 μm 공정을 이용하여 설계된 64비트 FTP IP의 BGR 회로에 대해 온도 변화에 대한 VREF 특성곡선을 보여주고 있다. 온도 범위는 -40 $^{\circ}\text{C}$ ~125 $^{\circ}\text{C}$ 이며, VDD는 1.8V/5.5V, all corner model parameter에 대해서 모의실험이 되었다. 모의실험 결과 1.21V의 VREF target voltage에 대해 -2.74%~3.4%의 변동이 있는 것을 확인하였다. 그림 8(b)는 VDD를 0V에서 5.5V까지 DC sweep하면서 온도는 -40 $^{\circ}\text{C}$ /25 $^{\circ}\text{C}$ /125 $^{\circ}\text{C}$, all corner model parameter에 대해서 모의실험이 되었다. 그리고 그림 8(c)는 power-up 모의실험 결과로 power-up이 후 100 μs 이내에 VREF가 정상적인 전압을 공급하는 것을 볼 수 있다. 한편 그림 9는 BL sense amplifier 회로에 대한 power-on reset 모의실험 결과를 보여주고 있으며, internal reset 신호인 IRST 신호에 의해 DOUT[7:0] 출력 데이터가 모두 00H로 reset되는 것을 볼 수 있다.



(a)



(b)



(c)

그림 8. BGR 모의실험 결과 (a) 온도 변화에 대한 VREF 곡선 (b) VDD 변화에 대한 VREF 곡선 (c) power-up.

Fig. 8. Simulatiob results of BGR: (a) VREF curve with respect to temperature, (b) VREF curve with respect to VDD, and (c) power-up.

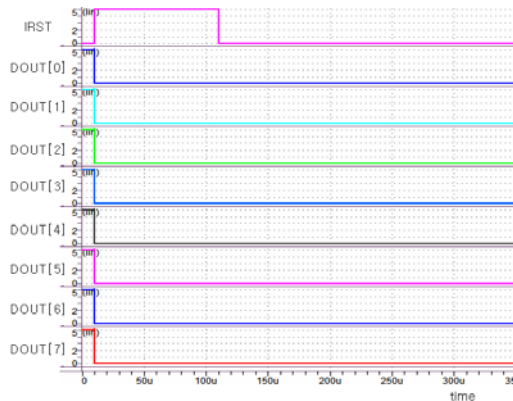


그림 9. BL sense amplifier 회로에 대한 power-on reset 모의실험 결과.

Fig. 9. Simulation result of power-on reset for BL sense amplifier.

IV. 결론

스마트폰이나 자동차 전장에 사용되는 PMIC 칩에 사용되는 NVM 메모리 IP의 endurance는 1,000번 정도 erase/program이 가능한 MTP 메모리보다는 10만 정도 erase/program이 가능한 64비트 FTP 메모리 IP가 요구된다. 그리고 파워-업 시 1.8V 정도의 external VDD 전압에서 FTP 셀의 데이터를 읽어내어 밴드갭 기준전압 발생기 회로를 포함한 아날로그 회로를 트리밍해야 한다. 그래서 PMIC용 FTP 메모리 IP는 read mode에서 1.8V~5.5V의 wide operating voltage range를 갖는 메모리 IP 설계가 요구된다. 한편 NVM 메모리 IP는 power-on 되면 internal reset 신호에 의해 initial read data를 00H를 유지해야 한다.

본 논문에서는 0.13 μ m BCD 공정 기반에서 5V MOS 소자만 사용하여 FTP 메모리 IP 설계가 가능하도록 하기 위해 dual power를 이용한 FN 터널링을 이용하여 erase와 program하는 방식의 FTP cell을 사용하였다. Zero layer FTP 셀이 가능하도록 하기 위해 tunnel oxide 두께를 기존의 82Å에서 5V MOS 소자의 gate oxide 두께인 125Å을 그대로 사용하였고, 기존의 DNW은 BCD 공정에서 default로 사용하는 HDNW layer를 사용하므로 추가 마스크없이 FTP

셀 공정이 가능하도록 하였다. 그리고 메모리 IP 설계 관점에서는 designer memory 영역과 user memory 영역으로 나누는 dual memory 구조 대신 PMIC 칩의 아날로그 회로의 트리밍에만 사용하는 single memory 구조를 사용하였다. 또한 BGR (Bandgap Reference Voltage) 발생회로의 start-up 회로를 1.8V~5.5V의 전압 영역에서 동작하도록 설계하였다. 한편 64비트 FTP 메모리 IP가 power-on 되면 internal reset 신호에 의해 initial read data를 00H를 유지하도록 설계하였다. 0.13 μ m Magnachip 반도체 BCD 공정을 이용하여 설계된 64비트 FTP IP의 레이아웃 사이즈는 485.21 μ m \times 440.665 μ m (=0.214mm²)이다.

REFERENCES

- [1] Hwang-Soo Chun, "Market Outlook and Domestic and Global Development Trend for Power Semiconductor," IITA Weekly Technology Trends, June 2009.
- [2] Y. K. Kim, M.S. KIM, H.P Park, M.Y. Ha, J.H Lee, P.B Ha, Y.H Kim, "Design of Multi-Time-Programmable Memory for PMICs," ETRI Journal, pp. 1188-1198, Dec. 2015.
- [3] Yining Yu, Liyan Jin, K.I Kim, M.S. Kim, Y.B Park, M.H Park, P.B Ha, Y.H. Kim, "Design of 256 bit Single-Poly MTP Memory Based on BCD Process," J. Cent. South Univ. Technol., vol. 19, no. 12, pp. 3460-3467, Dec. 2012.
- [4] F. Torricelli, Luca Milani, Anna Richelli, Luigi Colalongo, Macro Pasotti, Zsolt Miklos Kovacs-Vajna, "Half-MOS Based Single-Poly EEPROM Cell with Program and Erase Bit Granularity," IEEE Electron Device Letters, vol. 34, no. 12, Dec. 2013.
- [5] Roizin, Yakov, Pikhay Evgeny, Dayan Vladislav, Heiman Alexey, "High Density MTP Logic NVM for Power Management Applications," IEEE International memory workshop 2009, pp.1-2, 2009.
- [6] J. C. Lee, J.S. Kim, S.H. Kim, "A Single Poly Flash Memory Intellectual Property for Low-Cost, Low-Density Embedded Nonvolatile

Memory Applications," Journal of the Korean Physical Society, vol. 41, no. 6, pp. 846-850, Dec. 2002.

- [7] Y. B. Park, L.Y. Jin, I.H Choi, P.B Ha, Y.H. Kim, "Design of High-Reliability Differential Paired eFuse OTP Memory for Power ICs," Journal of the KIICE, vol. 17, no. 2, pp. 405-413, Feb. 2013.
- [8] Y. H. Kim, "Single Poly EEPROM Memory," KR. patent 10-1357847, Feb. 5, 2014.
- [9] H. Banba, S. Hitoshi, U. Akira, M. Takeshi, T. Toru, A. Shigeru, S. Koji, "A CMOS Bandgap Reference Circuit with Sub-1-V Operation", IEEE Journal of Solid-State Circuits, vol. 34, no. 5, pp. 670-674, May 1999.
- [10] Karel. E. Kuijk " A Precision Reference Voltage Source" IEEE. Journal of Solid state circuits, vol. sc-8, no. 3, June. 1973..
- [11] Yong-Jin Kang, Jong-Hyeok Lee, Moon-Hwan Kim, Pan-Bong Ha, YoungHee Kim, "Design of EEPROM Bandgap Reference Voltage Generator Circuit" The korean institute of communications and information sciences, vol. 4, no. 1, pp. 115-117, Dec. 2015.
- [12] Yo-Hoon Hong, Seung-June Song, Kwang-Mun Jang, Jungkyu Rho, 'Smart Factory Platform based on Multi-Touch and Image Recognition Technologies', The Journal of The Institute of Internet, Broadcasting and Communication VOL. 18 No. 1, 2018

저자약력

하윤규(Yoon-Gyu Ha) [학생회원]



- 2017년 2월 : 창원대학교 전자공학과 (공학사)
- 2017년 3월 ~ 현재 : 창원대학교 전자공학과 석사과정

〈관심분야〉 NVM IP 설계

김홍주(Hong-Zhou Jin) [학생회원]



- 2017년 6월 : 연변대학교 전자정보통신학과 (공학사)
- 2017년 9월 ~ 현재 : 창원대학교 전자공학과 석·박사과정

〈관심분야〉 NVM IP 설계

하판봉(Pan-Bong Ha) [중신회원]



- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 임베디드 시스템, SoC 설계

김영희(Young-Hee Kim) [중신회원]



- 1989년 2월 : 경북대학교 전자공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전기전자공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전기전자공학과 (공학박사)
- 1989년 1월 ~ 2001년 2월 : 현대전자 책임연구원
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

〈관심분야〉 메모리 IP 설계, SoC 설계