

구조분할 해석기법 기반 전원보드 공통모드 노이즈 감쇠 설계

Common-Mode Noise Suppression in Switched-Mode Power Supply Boards Using Segmentation Method

김명희 · 노동규* · 정성석* · 곽규민*

Myunghoi Kim · Dongkyu Roh* · Sungseok Jeong* · Kyumin Kwak*

요 약

본 논문에서는 전원보드의 공통모드 노이즈 감쇠를 위한 디커플링 커패시터 회로를 효율적으로 시뮬레이션할 수 있는 구조분할 해석기법을 제시한다. 제시하는 구조분할 해석기법이 적용된 전원보드 설계에서는 보드를 두 부분으로 구조분할하였으며, 분할된 구조와 커패시터 회로의 임피던스 파라미터를 재결합하기 위한 방법을 제시하였다. 구조분할 해석기법을 적용함으로써 공통모드 노이즈 감쇠 시뮬레이션에 수행되는 시간을 46 % 이상 단축하였다.

Abstract

In this paper, we present a design technique for the suppression of common-mode(CM) noise in switched-mode power supply boards using the segmentation method. By applying the segmentation method, the example structure is decomposed into two segments with decoupling capacitors and a recombination matrix is extracted for the segments. The effects of the decoupling capacitor on CM noise suppression are examined. The simulation time is significantly reduced on using the segmentation method.

Key words: Common-Mode Noise, Segmentation Method, SMPS Board

I. 서 론

DC-DC 컨버터와 같은 스위칭-모드 전원공급장치를 포함하는 전원용 인쇄회로기판(Printed Circuit Board: PCB)에서는 스위칭 노이즈 감쇠 설계가 매우 중요하다. 특히, 전원 변환기 출력단에서 발생하는 리플 노이즈는 PCB 상에서 쉽게 공통모드 노이즈로 전환되어 시스템의 성능을 크게 저하시킨다^[1]. 이를 해결하기 위하여 PCB 상에 디커플링 커패시터를 이용한 전원 노이즈 감쇠 회로를 구성

한다. 디커플링 커패시터를 포함하는 전원 보드의 PCB 해석은 등가회로나 전자장 해석에 기반을 둔 시뮬레이션을 통하여 수행될 수 있다. 하지만 갈수록 증가하는 PCB 설계 복잡도로 인해서 시뮬레이션을 수행하는데 필요한 연산시간과 자원의 요구량이 매우 높아지는 문제점이 발생한다. 특히 설계 초기 단계에서는 다양한 설계 케이스에 대한 시뮬레이션이 요구되는데, 이때, 연산시간과 자원문제를 고려하면 전원 보드 PCB 상에서 노이즈 감쇠 현상을 효율적으로 해석할 수 있는 방법이 절대적으로

「이 연구는 (주)LIG 넥스원의 “구조분할 해석기법을 이용한 고성능 탑재컴퓨터 전자과감소 설계기술 연구” 과제의 일환으로 수행되었음.»
한경대학교 전기전자제어공학과(Department of Electrical, Electronic, and Control Engineering, Hankyong National University)

*(주)LIG 넥스원(LIG Nex1 Co., Ltd., Korea)

· Manuscript received January 2, 2018 ; Revised January 23, 2018 ; Accepted February 2, 2018. (ID No. 20180102-001)

· Corresponding Author: Myunghoi Kim (e-mail: mhkim80@hknu.ac.kr)

필요하다.

본 논문에서는 효율적인 PCB 시뮬레이션을 위해서 구조분할 해석기법을 제시하고, 이를 적용한 사례를 보여준다. 본 논문에서 제시된 방법은 향후 고속/고밀도 PCB에서 발생하는 노이즈 결합 문제를 해결하는데 유용하게 활용될 수 있을 것이다.

II. 구조분할 해석기법

스위칭모드 전원공급(Switched-Mode Power Supply: SMPS) 보드상의 DC-DC 컨버터 출력에서는 리플형태의 차동모드 스위칭 노이즈가 발생한다. 그림 1에서 보는 것처럼 출력단에서 발생한 스위칭 노이즈는 PCB 상에서 다양한 경로를 통하여 모드 변환되어 공통모드 노이즈를 유발하게 되는데, 이를 억제하기 위하여 디커플링 커패시터로 구성되는 노이즈 감쇠 회로 설계가 필수적이다. 그림 2(a)는 본 논문에서 해석할 SMPS PCB 설계사례를 보여준다.

이 PCB는 4층으로 구성되며, 최상위층은 신호선, 2층은 회로접지, 3층은 DC 전원, 4층은 케이스 접지로 사용된다. 기판은 FR-4 코어 1.6T와 프리프레그 0.17 T가 사용되었다. 보드크기는 105 mm × 87 mm이고, 포트 1과 포트 2의 위치는 보드 좌측하단을 원점으로 하였을 때, 각각 (98 mm, 50 mm), (78 mm, 15 mm)이다.

DC-DC 컨버터의 출력리플은 DC 전원과 회로접지 사이(포트 1)에서 유기되며, PCB 상에서 발생하는 노이즈 결합경로로 인하여 이 스위칭 노이즈가 DC 전원과 케이

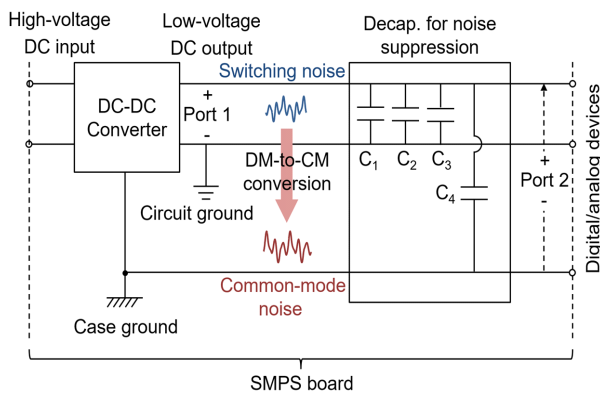
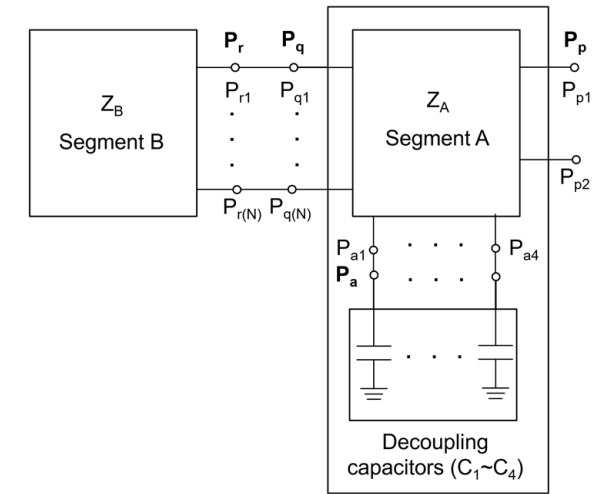
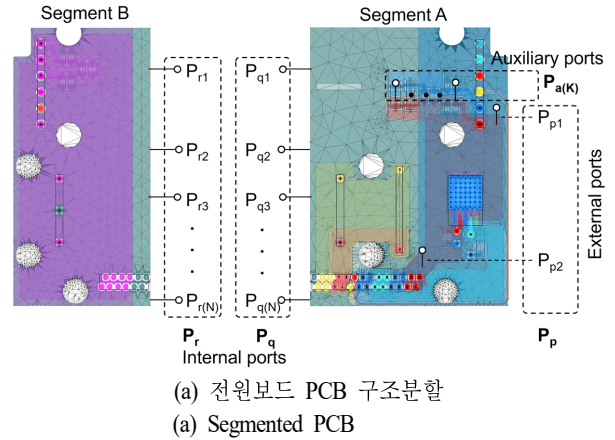


그림 1. 공통모드 노이즈 문제
Fig. 1. Common-mode noise coupling problem.



(b) 구조분할 해석기법을 위한 임피던스 블록도
(b) Impedance block diagram for segmentation method

그림 2. SMPS 보드 구조분할 해석기법 적용
Fig. 2. Application of segmentation method.

스 접지 사이(포트 2)에 공통모드 노이즈로 유기된다. 여기서 노이즈 소스에 해당하는 포트 1에서 노이즈에 취약한 지점인 포트 2로의 공통모드 노이즈 결합은 산란 파라미터 S_{21} 을 이용하여 분석한다.

본 논문에서 설계된 PCB에서는 공통모드 노이즈를 감쇠하기 위하여 C_1 부터 C_4 까지의 4개의 디커플링 커패시터를 적용하며, C_1 에서 C_3 는 DC 전원과 회로접지 사이에 연결되고, C_4 는 DC 전원과 케이스 접지 사이에 연결된다.

구조분할 해석기법은 복잡도가 높은 PCB 해석에 매우 적합하여 현재 많은 연구가 이루어지고 있다^{[2],[3]}. 구조분

할 해석기법을 적용하여 PCB 해석을 수행할 경우 시뮬레이션 시간과 시뮬레이션에 필요한 자원(예를 들어서, 메모리 사용량)을 크게 줄일 수 있다는 장점이 있다. 그림 2는 전원보드 PCB에 구조분할 해석기법을 적용한 것을 보여준다. 구조분할 해석기법에서 분할 기준면은 흔히 PCB 상의 평판도파관을 분할하는 것으로 정해진다. 그 이유는 PCB 상의 평판도파관의 경우 TM 모드 전파가 이루어지고 perfect magnetic conductor(PMC) 경계 조건을 설정함으로써 분할 구조 간의 결합 성분 없이 등가적으로 구조분할이 가능하기 때문이다^[3]. 분할구조 사이에 결합 구조가 존재하는 경우에도 구조분할이 가능한데, 이런 경우에는 별도의 등가회로모델을 도출하여 결합성분을 보상해준다^[4]. 본 논문에서 사용된 전원보드 PCB에서 x좌표가 43 mm인 지점에 평판도파관 형태의 구조가 존재한다. 그림 2(a)는 이런 구조분할 단계를 보여준다. 두 개의 분할된 구조 A와 B가 원래 연결되었던 부분은 internal port들($\mathbf{P}_q, \mathbf{P}_r$)로 연결되며, 분할되기 이전에 정의된 포트(본 논문에서 S_{21} 을 관측하는 곳)는 external port(\mathbf{P}_p)로 정의된다. 그리고 각 분할 구조 내에 디커플링 커패시터가 위치할 경우 auxiliary port들 \mathbf{P}_a 로 연결된다.

구조분할 해석기법을 적용하여 생성된 포트와 기존 포트간의 관계는 그림 2(b)에 나타난 임피던스 블록도를 통해서 확인할 수 있다. 구조분할 해석기법에서는 각각의 분할된 구조의 임피던스 파라미터를 3차원 전자장 시뮬레이션을 통해서 도출한다. 본 논문에서는 분할 구조 A, B의 임피던스 파라미터 $\mathbf{Z}_A, \mathbf{Z}_B$ 를 도출하기 위하여 Ansys사의 HFSS를 이용하였다.

분할 구조 A와 B로부터 구해진 임피던스 파라미터들을 이용하여 최초 구조의 임피던스 파라미터를 구하기 위해서 다음과 같이 재결합 임피던스 \mathbf{Z} 를 도출하였다^[3].

$$\tilde{\mathbf{Z}} = \tilde{\mathbf{Z}}_1 - \tilde{\mathbf{Z}}_2(\tilde{\mathbf{Z}}_3 + \tilde{\mathbf{Z}}_4)^{-1}\tilde{\mathbf{Z}}_5 \quad (1)$$

여기서,

$$\tilde{\mathbf{Z}}_1 = \tilde{\mathbf{Z}}_{pp} + \tilde{\mathbf{Z}}_{pa}(\tilde{\mathbf{Z}}_a - \tilde{\mathbf{Z}}_{aa})^{-1}\tilde{\mathbf{Z}}_{ap} \quad (2)$$

$$\tilde{\mathbf{Z}}_2 = \tilde{\mathbf{Z}}_{pq} + \tilde{\mathbf{Z}}_{pa}(\tilde{\mathbf{Z}}_a - \tilde{\mathbf{Z}}_{aa})^{-1}\tilde{\mathbf{Z}}_{aq} \quad (3)$$

$$\tilde{\mathbf{Z}}_3 = \tilde{\mathbf{Z}}_{qq} + \tilde{\mathbf{Z}}_{qa}(\tilde{\mathbf{Z}}_a - \tilde{\mathbf{Z}}_{aa})^{-1}\tilde{\mathbf{Z}}_{aq} \quad (4)$$

$$\tilde{\mathbf{Z}}_4 = \tilde{\mathbf{Z}}_B \quad (5)$$

$$\tilde{\mathbf{Z}}_5 = \tilde{\mathbf{Z}}_{qp} + \tilde{\mathbf{Z}}_{qa}(\tilde{\mathbf{Z}}_a - \tilde{\mathbf{Z}}_{aa})^{-1}\tilde{\mathbf{Z}}_{ap} \quad (6)$$

$$\tilde{\mathbf{Z}}_a = \text{diag}(Z_{c1}, Z_{c2}, Z_{c3}, Z_{c4}) \quad (7)$$

$$Z_{c(i)} = r_i + j\omega L_i + (j\omega C_i)^{-1}, (i = 1, 2, 3, 4) \quad (8)$$

$$\tilde{\mathbf{Z}}_A = \begin{pmatrix} \tilde{\mathbf{Z}}_{pp} & \tilde{\mathbf{Z}}_{pq} & \tilde{\mathbf{Z}}_{pa} \\ \tilde{\mathbf{Z}}_{qp} & \tilde{\mathbf{Z}}_{qq} & \tilde{\mathbf{Z}}_{qa} \\ \tilde{\mathbf{Z}}_{ap} & \tilde{\mathbf{Z}}_{aq} & \tilde{\mathbf{Z}}_{aa} \end{pmatrix} \quad (9)$$

최초 구조의 노이즈 감쇠 특성을 나타내는 임피던스 매트릭스는 식 (1)로 표현되며, ESL과 ESR이 포함된 디커플링 커패시터의 값들이 식 (7), (8)을 통하여 반영되어 있다. 최종적으로 S_{21} 은 식 (1)에서 구한 값을 변환하여 얻을 수 있다.

III. 시뮬레이션 결과

앞서 제시한 구조분할 해석기법을 이용하여 두 가지 경우에 대해서 디커플링 커패시터의 영향을 분석하였다. 또한 구조분할 해석기법의 정확도와 단축된 시뮬레이션 시간의 우수성을 검증하기 위하여 구조분할 기법을 적용하지 않은 결과(3차원 전자장 시뮬레이션 HFSS)와 비교하였다. 그림 3은 $C_1(6.8 \mu\text{F})$, $C_2(0 \mu\text{F})$, $C_3(1.0 \mu\text{F})$, $C_4(220 \text{ nF})$ 에 대한 시뮬레이션 결과이다. 이때, 커패시터 C_1, C_3, C_4 의 ESR과 ESL은 각각 (0.005 Ω , 0.3 nH), (0.01 Ω , 0.39 nH), (0.02 Ω , 0.45 nH)이다^[5]. 그림 3에서 보는 것처럼 540 kHz와 4.7 MHz에 형성된 직렬 공진 점으로 인하여 공통모드 노이즈 감쇠량이 크게 증가하는데, 이것은 주로 C_1 과 C_4 에 의한 영향이 크다.

공통모드 노이즈 감쇠량을 추가적으로 증가시키기 위하여 C_2 와 C_3 의 커패시터 값을 각각 68 μF 와 4.4 μF 로 변경하였다. 이때, C_2 의 ESR과 ESL은 0.02 Ω , 0.84 nH이다^[5]. 그림 4에서 보는 것처럼 C_2 에 의해서 저주파 대역의 노이즈 감쇠 특성이 크게 개선되었으며, C_3 에 의해서 1 MHz 근처의 병렬 공진점의 피크 값이 크게 감소하였다. 따라서 전체적으로 공통모드 노이즈 감쇠량이 -40 dB 이하로 달성되었다.

그림 3과 그림 4에서 구조분할 해석기법을 적용한 것과 미적용한 것의 결과를 비교하였다. 그림에서 보는 것처럼 구조분할 해석기법을 적용한 경우에도 높은 정확도를 보이고 있다. 시뮬레이션에 소요된 시간을 비교해 보면, 그림 3의 결과를 얻기 위하여 구조분할 해석기법에서는 70분(세그먼트 A와 B 포함)의 시뮬레이션 시간이 소요되었다. 구조분할 해석기법을 적용하지 않고 전체 구조에 대한 3차원 전자장 시뮬레이션 결과를 수행한 경우에는 130분이 소요되었다. 그림 4의 경우에는 적용한 경우와

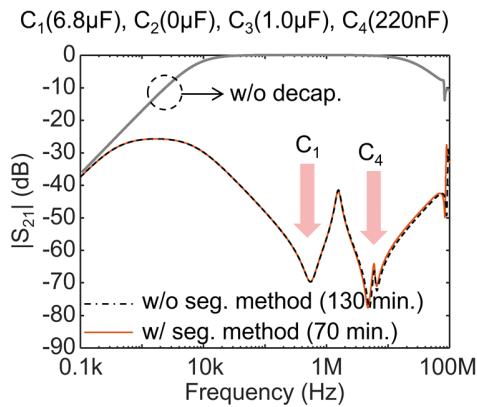


그림 3. 구조분할 해석기법 적용 시뮬레이션 결과 1
Fig. 3. Simulation results using segmentation method 1.

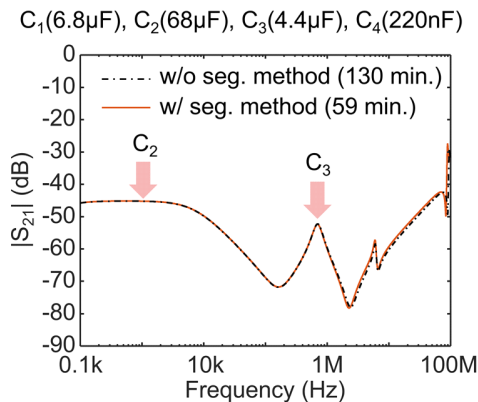


그림 4. 구조분할 해석기법 적용 시뮬레이션 결과 2
Fig. 4. Simulation results using segmentation method 2.

미적용한 경우의 시뮬레이션 시간은 각각 59분과 130분이다. 구조분할 해석기법을 적용함으로써 시뮬레이션 소요시간을 46 % 이상 단축시키는 장점이 있었다. 이는 1회 시뮬레이션 수행 시간으로써 설계 초기 단계와 같이 다수의 시뮬레이션이 필요한 경우에는 더 유용한 결과를 가져올 수 있다.

IV. 결 론

본 논문에서는 전원보드 PCB에서 발생하는 공통모드 노이즈 현상을 효율적으로 시뮬레이션하기 위한 구조분할 해석기법을 제시하였다. 디커플링 커패시터의 값에 따른 공통모드 노이즈 감쇠 영향을 분석하고 구조분할 해석기법의 유용성을 검증하였다.

References

- [1] T. Ninomiya, K. Harada, and M. Mamon, "Common-mode noise generation in a DC-to-DC converter," in *1979 IEEE Power Electronics Specialists Conference*, San Diego, Jun. 1979, vol. AES-16, no. 2, pp. 256-263.
- [2] G. Feng, J. Fan, "Analysis of simultaneous switching noise coupling in multilayer power/ground planes with segmentation method and cavity model," *IEEE Transactions on Electromagnetic Compatibility*, vol. 52, no. 3, pp. 699-711, Aug. 2010.
- [3] T. Okoshi, Y. Uehara, and T. Takeuchi, "The segmentation method-an approach to the analysis of microwave planar circuits," *IEEE Transactions on Microwave Theory and Technology*, vol. 24, no. 10, pp. 662-668, Oct. 1976.
- [4] J. B. Preibisch, X. Duan, and C. Schuster, "An efficient analysis of power/ground planes with inhomogeneous substrates using the contour integral method," *IEEE Transactions on Electromagnetic Compatibility*, vol. 56, no. 4, pp. 980-989, Aug. 2014.
- [5] Murata. <https://www.murata.com/products/capacitor>.