

## TMS320C6670 기반 LTE-A PDSCH 디코더 구현

이 광 민\* · 안 흥 섭\*\* · 최 승 원\*\*\*

### *Implementation of LTE-A PDSCH Decoder using TMS320C6670*

Lee Gwangmin · Ahn Heungseop · Choi Seungwon

#### 〈Abstract〉

This paper presents an implementation method of Long Term Evolution-Advanced (LTE-A) Physical Downlink Shared Channel (PDSCH) decoder using a general-purpose multicore Digital Signal Processor (DSP), TMS320C6670. Although the DSP provides some useful coprocessors such as turbo decoder, fast Fourier transformer, Viterbi Coprocessor, Bit Rate Coprocessor etc., it is specific to the base station platform implementation not the mobile terminal platform implementation. This paper shows an implementation method of the LTE-A PDSCH decoder using programmable DSP cores as well as the coprocessors of Fast Fourier Transformer and turbo decoder. First, it uses the coprocessor supported by the TMS320C6670, which can be used for PDSCH implementation. Second, we propose a core programming method using DSP optimization method for block diagram of PDSCH that can not use coprocessor. Through the implementation, we have verified a real-time decoding feasibility for the LTE-A downlink physical channel using test vectors which have been generated from LTE-A Reference Measurement Channel (RMC) Waveform R.6.

Key Words : SDR (Software-Defined Radio), DSP, TMS320C6670, LTE-Advanced, PDSCH Decoder

## I. 서론

SDR (Software-Defined Radio) 기반의 무선 기지국 플랫폼 구현을 위한 TI (Texas Instrument) DSP (Digital Signal Processor)인 TMS320C6670은 다양한 하드웨어 가속기인 코프로세서를 지원함으로써 기지국 물리계층의 인코딩, 디코딩의 실시간 처리를 가능

하게 한다 [1]. 즉, C6670은 무선 기지국 플랫폼에서 많은 연산을 요구하는 물리 계층의 인코딩 및 디코딩 프로세싱을 위해 심볼 복조, 디스크램블링, 레이트 디매칭 등을 수행하는 BCP (Bit Rate Coprocessor), FFT 및 IFFT를 수행하는 FFTC (Fast Fourier Transform Coprocessor), 터보 디코딩을 수행하는 TCP (Turbo Decoder Coprocessor), 길쌈부호의 디코딩을 수행하는 VCP (Viterbi Coprocessor)와 같은 코프로세서를 제공한다[1-5].

그런데 C6670의 BCP는 기지국의 하향링크 인코딩

\* 건국대학교 전자공학과 박사과정

\*\* 성균관대학교 컴퓨터교육학과 박사과정

\*\*\* (주) 페스앤유 기술연구소 연구소장

및 기지국의 상향링크 디코딩에 최적화 된 코프로세서이기 때문에 C6670을 이용한 단말기 구현은 한계가 존재한다. 예를 들어, LTE-A (Long Term Evolution Advanced) 하향 링크의 데이터 채널인 PDSCH (Physical Downlink Shared Channel)의 인코딩 과정은 기지국에서 수행되기 때문에 사용자는 코프로세서에서 제공하는 PDSCH 인코딩 모드를 그대로 이용할 수 있는 반면, PDSCH의 디코딩 과정은 단말기에서 수행되기 때문에, PDSCH 디코딩 과정과 유사한 PUSCH (Physical Uplink Shared Channel) 디코딩 모드를 적절히 수정하여 사용해야 한다 [6-8].

본 논문은 기지국 플랫폼 개발에 최적화 되어있는 TI사의 DSP인 TMS320C6670을 이용하여 PDSCH 디코더 구현 방법을 제시한다. 이때, LTE-A의 하향링크와 상향링크에서 사용 구분이 없는 FFT/IFFT 및 터보 디코딩은 코프로세서를 이용하였고, 하향링크 심볼 복조, 디스크램블링, 레이트 디매칭 프로세싱을 위한 하드웨어 가속기는 지원하지 않기 때문에 프로그래밍 가능한 코어를 사용하여 구현을 진행하였다. 본 논문의 구성은 다음과 같다. 2장에서는 본 논문에서 PDSCH 디코더 구현에 사용된 TMS320C6670에 대한 설명을 하고 3장에서는 TMS320C6670을 이용한 PDSCH 디코더 구현 방법에 대해 소개한다. 4장에서는 구현한 PDSCH 디코더의 실험 결과에 대해 설명하고, 5장에서는 결론을 맺는다.

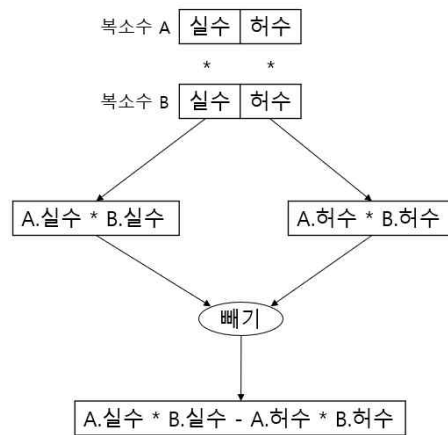
## II. TMS320C6670 개요

C6670은 1.0 GHz 또는 1.2 GHz 클락의 고정소수점/부동소수점 연산이 가능한 4개의 코어를 가지고 있고 각 코어는 32K Byte의 L1P, L1D와 1024K Byte의 L2를 가지고 있다. 또한 C6670은 2M byte의 공유 메모리, 2G byte의 DDR3를 가지고 있으며 PDSCH 디코더 구현을 위한 터보디코더, FFT 등의 하드웨어

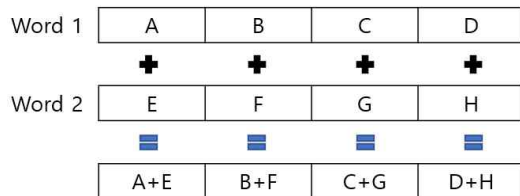
가속기를 가지고 있다[1].

본 장에서는 PDSCH 디코더 구현에 사용된 C6670에 대해 소개한다. 특히, 본 장에서는 C6670을 이용한 PDSCH 구현에 초점을 두고 설명한다.

### 2.1 Intrinsic



<그림 1> Intrinsic 벡터 내적 함수



<그림 2> Intrinsic 다중 덧셈 함수

소프트웨어 최적화를 위해 TI는 Intrinsic을 제공한다. Intrinsic은 신호처리에 빈번히 사용되는 함수와 많은 양의 데이터를 병렬 처리하는 함수를 제공한다. 소프트웨어 프로그래밍에 Intrinsic 함수를 사용하면 C언어 코드를 사용했을 때에 비해 사이클이 이득을 볼 수 있어서 소프트웨어 최적화를 위해 필수적인 과정이다. 예를 들어 <그림 1>의 복소수 벡터 내적을 C언어로 구현한다면 두 번과 곱셈과 한 번의 뺄셈을

해줘야 하는데 Intrinsic의 복소수 벡터 내적 함수를 사용하면 한 번에 복소수 벡터 내적의 결과를 얻을 수 있다. 또한, <그림 2>의 경우와 같이 4번의 Char형 변수 덧셈을 C언어로 구현할 경우 덧셈 연산을 4번 해야 한다. 하지만 Intrinsic의 다중 덧셈 함수를 사용하면 한 번에 4개의 Char형 변수 덧셈의 결과를 얻을 수 있다[9-11]. 따라서 PDSCH 디코더에서 채널 추정 및 보상, 심볼 복조, 디스크램블링과 같이 많은 연산을 필요로 하는 블록들을 구현할 때 Intrinsic을 사용하면 많은 사이클 이득을 볼 수 있다.

## 2.2 BCP(Bit Rate Coprocessor)

BCP는 C6670에 포함되어 있는 기저 대역 비트 프로세싱을 위한 프로그래밍이 가능한 하드웨어 가속기이다. 이때, BCP는 FDD-LTE, TDD-LTE, WCDMA (Wideband Code Division Multiple Access), TD-SCDMA (Time Division - Synchronous Code Division Multiple Access), HSPA (High Speed Packet Access), HSPA+ (High Speed Packet Access + ), WiMAX (Worldwide Interoperability for Microwave Access) 및 LTE-A 모니터링 / 계획을 지원한다. 무선 기지국 플랫폼을 설계 할 때 BCP를 사용하면 각 서브모듈들 서로 간에 데이터 흐름이 상당히 유연하고 빠르기 때문에 코어에서 많은 오버헤드 및 사이클 소모를 낮출 수 있다. 사용자는 BCP를 사용함으로써 코어에서의 사이클 이득과 기지국 구현의 복잡도를 낮출 수 있다.

BCP의 서브모듈로는 <그림 3>에서 볼 수 있듯이 순환 중복 검사 인코딩을 위한 CRC (Cyclic redundancy check), 터보 및 컨볼루션 인코딩을 위한 ENC(Turbo, Convolutional Encoding), 채널 코딩 방식의 부호율 조절을 위한 RM (Rate matching), QPSK, 16QAM, 64QAM 변조를 위한 MOD (Modulation), WCDMA와 TD-SCDMA에 정의 되어

있는 인터리빙을 위한 INT (Interleaving), LTE-A PUCCH(Physical Uplink Control Channel) 디코딩을 위한 COR (Correlation), WCDMA와 TD-SCDMA의 디인터리빙을 위한 DNT (De-Interleaving), LTE-A, WCDMA 등의 무선신호를 디코딩하기 위한 SSL(Soft slicing), RM에서 조정한 부호율을 되돌리기 위한 RD(Rate De-matching)등이 있다[2].



<그림 3> BCP에서 제공하는 서브 모듈

## 2.3 FFTC (Fast Fourier Transform Coprocessor)

C6670에 있는 FFTC는 푸리에 변환과 푸리에 역변환을 지원한다. FFTC는 128, 256, 512, 1024, 2048, 4096, 8192 포인트 등의 여러 FFT 사이즈에 대해 지원하고 푸리에 변환 쉬프트 및 Cyclic prefix 기능 또한 지원한다. FFTC를 사용하면 LTE-A 표준의 대역폭인 1.4MHz (128-포인트), 3MHz (256-포인트), 5MHz (512-포인트), 10MHz (1024-포인트), 20MHz (2048-포인트)를 모두 구현할 수 있다[3].

## 2.4 TCP (Turbo Decoder Coprocessor)

TCP는 터보 디코더 코프로세서로써 LTE-A 전송 채널인 UL-SCH (Uplink Shared Channel), DL-SCH(Downlink Shared Channel), PCH (Paging

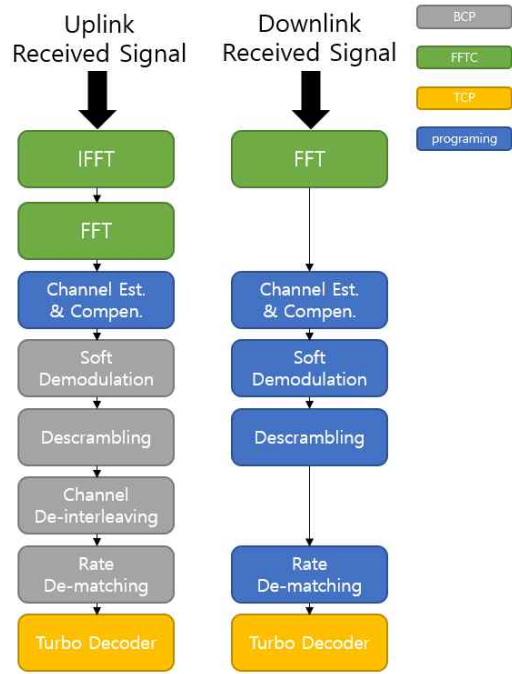
Channel), MCH (Multicast Channel)를 디코딩하기 위해서 사용된다. TCP는 DSP와 병렬적으로 사용이 가능하고, LTE-A 표준의 블록사이즈인 40에서 6144 까지 지원한다. 또한 터보 디코딩 iteration 수는 1~15 까지 프로그래밍으로 설정이 가능하고 CRC 체크 기능이 포함되어 있다[4].

### III. TMS320C6670을 이용한 LTE-A PDSCH 디코더 구현

LTE-A 시스템의 PUSCH와 PDSCH 디코더 블록 다이어그램은 <그림 4>와 같다. PUSCH의 경우는 SC-OFDMA (Single Carrier Orthogonal Frequency Division Multiple Accessing) 기술을 사용하기 때문에 OFDMA (Orthogonal Frequency Division Multiple Accessing) 기술을 사용하는 PDSCH와 달리 FFT이전에 IFFT를 진행해야한다. 또한, Uplink 신호는 디스크램블링 이후에 채널 디인터리빙을 해줘야 한다[12-14].

<그림 4>에서 볼 수 있듯이 PUSCH 디코더의 경우는 PUSCH 내의 모든 블록을 FFTC, TCP, BCP를 이용해 구현이 가능하다. 그 이유는 앞서 언급했듯이 TMS320C6670의 코프로세서가 무선 기지국 플랫폼을 효율적으로 설계하기 위한 최적화 되어 있기 때문이다. C6670은 하향 링크 디코딩을 위한 모든 블록도를 코프로세서로써 지원하지 않음에 따라, 하향링크 디코더 구현을 위해 상향링크, 하향링크 상관없이 사용할 수 있는 FFTC와 TCP만을 사용하고 심볼 복조, 디스크램블링, 레이트 디매칭은 코어 프로그래밍으로 구현 해야 한다[15].

이때, 코어 프로그래밍을 구현 하는 채널 추정 및 보상, 심볼 복조, 디스크램블링, 레이트 디매칭 과정에서 사용한 최적화 기법은 다음과 같다. 첫 번째는 앞 절에서 언급한 Intrinsic의 사용이다. 예를 들어, 채널



<그림 4> LTE-A PUSCH (좌) 및 PDSCH (우) 블록도 및 설계도

추정 및 보상 과정에서는 복소수 곱셈 연산이 필요하다. 이 과정에서 `_cmplx`라는 복소수 곱셈 연산을 해주는 Intrinsic을 사용함으로써 코어 프로그래밍을 최적화 할 수 있다. 두 번째는 자주 사용하는 시퀀스를 LUT (Look-up table)로 저장하는 것이다. 예를 들어, 디스크램블링을 할 때, 정해진 스크램블링 시퀀스를 곱해주어야 하는데, 스크램블링 시퀀스는 PDSCH 디코딩 과정동안 변하지 않는다. 이때 스크램블링 시퀀스를 LUT로 저장함으로써, 스크램블링 시퀀스를 매번 생성하지 않아도 되므로 PDSCH 디코딩 시간을 최적화 할 수 있다.

### IV. 구현 결과

C6670을 사용하여 LTE-A PDSCH 디코더의 구현 가능성을 확인하기 위해 Code Composer Studio(CCS)

버전 v8.0.0 그리고 컴파일러 버전 v8.2.3을 사용하였다. 테스트용 데이터로는 LTE-A RMC (Reference Measurement Channel) Waveform R.6를 사용하였다. RMC Waveform R.6의 파라미터 값은 아래의 <표 1>과 같다[16].

<표 2>는 RMC Waveform의 PDSCH를 디코딩하는데 소모된 시간이다. 계산된 시간 값은 100개의 서브프레임을 디코딩한 시간의 평균값이다. 푸리에 변환과 터보 디코딩은 FFTC와 TCP를 사용했을 때의 소모된 시간이며 FFTC와 TCP의 소모된 시간에는 파라미터를 계산하는 시간뿐만 아니라 호출하는 시간까지 포함되어 있다.

<표 2>에 따르면 현재 조건인 대역폭 5MHz에서는 실시간 처리를 위한 각 서브프레임 디코딩 제약 시간인 1ms를 충족시킨다. 그러나 대역폭이 10MHz와 20MHz인 경우에는 1ms라는 디코딩 제약 시간을 충족시키지 못 할것으로 생각된다. 우선 <표 2>를 보면 코프로세서를 사용하지 않고 프로그래밍으로 구현한 부분인 심볼 복조, 디스크램블링, 레이트 디매칭의 경우가 전체 프로세싱 시간의 대략 25%정도를 차지한다. 그런데 대역폭을 5MHz에서 10MHz, 20MHz으로 대역폭을 증가시키면 프로그래밍으로 구현한 심볼 복조, 디스크램블링, 레이트 디매칭 연산이 대역폭에 비례하여 증가되므로 1ms라는 시간을 충족시키지 못 할 것으로 예상된다. 또한 MIMO를 이용해 레이어 수가 증가되는 경우에도 1ms의 실시간 처리 제약 시간은 충족시키지 못할 것으로 예상된다.

## V. 결론

본 논문은 C6670를 사용해서 LTE-A PDSCH 디코더를 구현 방법을 제시한다. C6670의 BCP는 LTE-A 하향링크 복조를 위한 심볼 복조, 디스크램블링, 레이트 디 매칭 등의 연산은 지원하지 않는다. 이에 따라

<표 1> RMC Waveform R.6 시스템 파라미터

대역폭	5MHz		
Duplex 방식	FDD		
Number of Layer	1		
변조방식	64QAM		
코딩 레이트	0.75		
Redundancy Version	0		
Cell ID	0		
RNTI	1		
TBS(Transport Block Size)	서브 프레임	0번	12756 bits
		5번	0 bits
		나머지	14112 bits

<표 2> 각 Function 블록 별 소요시간

	서브프레임	
	0번 (TBS : 12576 bits)	나머지 (TBS : 14112 bis)
푸리에 변환	0.108 ms	
채널 추정 및 보상	0.035 ms	
심볼 복조	0.029 ms	0.030 ms
디스크램블링	0.061 ms	0.063 ms
레이트 디매칭	0.157 ms	0.168 ms
터보 디코딩	0.31 ms	0.315 ms
총	0.7 ms	0.719 ms

심볼 복조, 디스크램블링, 레이트 디 매칭 등은 C기반의 코드로 프로그래밍 하였고 FFT나 터보 디코딩 연산은 코프로세서를 이용하였다. 본 논문에서는 5MHz 대역폭의 LTE-A 하향링크 디코더를 구현하였고 물리 계층의 실시간 처리 제약 시간인 1ms 안으로 디코딩이 가능하다는 것을 증명하였다. 그러나 5MHz 이상의 대역폭의 경우와 MIMO 전송방식의 경우에는 실시간 처리 제약 시간인 1ms 안에 디코딩이 불가할 것으로 보이며, 이는 추후 연구 과제이다.

## Acknowledgment

이 논문은 정부(과학기술정보통신부)의 재원으로 정보통신기술진흥센터(IIPT)의 지원을 받아 수행된

연구임 (No. 2017-0-00723, Reconfigurable Radio System 기술을 적용한 소프트웨어 기반 서비스 지향 통합 기지국 플랫폼 개발)

## 참고문헌

- [1] Texas Instruments, TMS320C6670 Multicore Fixed and Floating-point System-On-Chip Data Manual, SPRS689D, March 2012.
- [2] Texas Instruments, KeyStone Architecture Bit Rate Coprocessor(BCP) User's Guide, SPRUGZ1A, May 2015.
- [3] Texas Instruments, KeyStone Architecture Fast Fourier Transform Coprocessor(FFTC) User Guide, SPRUGS2C, December 2011.
- [4] Texas Instruments, KeyStone Architecture Turbo Decoder Coprocessor(TCP3d) User Guide, SPRUGS0, November 2010.
- [5] Texas Instruments, KeyStone Architecture Viterbi Coprocessor(VCP2), SPRUGV6A, June 2011.
- [6] Texas Instruments, [https://e2e.ti.com/cfs-file/\\_key/communityserver-discussions-component-s-files/791/BCP-Usage-in-PDSCH-Receiver.pdf](https://e2e.ti.com/cfs-file/_key/communityserver-discussions-component-s-files/791/BCP-Usage-in-PDSCH-Receiver.pdf).
- [7] E. Dahlman, S.Parkvall, and J. Skold, 4G: LTE/LTE-Advanced for Mobile Broadband, 2nd ed. Waltham, MA, USA: Elsevier, 2014.
- [8] Farooq Khan, LTE for 4G Mobile Broadband Air Interface Technologies and Performance, 2009.
- [9] Texas Instruments, TMS320C6000 Programmer's Guide, SPRU198K, July.2011.
- [10] Texas Instruments, TMS320C6000 Optimizing Compiler v8.2.x User's Guide, SPRUI04B, May.2017.
- [11] Texas Instruments, TMS320C66x DSP CPU and Instruction Set Reference Guide, SPRUGH7, November. 2010.
- [12] 3GPP, TS 36.211 "Evolved Universal Terrestrial Radio Access (E-UTRA); Physical Channels and Modulation (Release 13)".
- [13] 3GPP, TS 36.212 "Evolved Universal Terrestrial Radio Access (E-UTRA); Multiplexing and channel coding (Release 13)".
- [14] 3GPP, TS 36.213 "Evolved Universal Terrestrial Radio Access (E-UTRA); Physical layer procedures (Release 13)".
- [15] Tosato, F., and Bisaglia, P. "Simplified soft-output demapper for binary interleaved COFDM with application to HIPERLAN/2," IEEE International Conference on Communications (ICC), 2002, Vol. 2. pp. 664-668.
- [16] 3GPP, TS 36.101 "Evolved Universal Terrestrial Radio Access (E-UTRA); User Equipment (UE) radio transmission and reception (Release 14)".
- [17] 정일도, 최승원, "멀티모드 단말기의 라디오 라이브리리를 위한 표준 기능 블록의 선정 및 구현," 디지털산업정보학회 논문지, 제 12권, 3호, pp. 125~132.
- [18] 최승원, 김용, 안치영, "CUDA와 UHD를 이용한 SDR 플랫폼 용 LTE 상향링크 시스템 구현", 디지털산업정보학회 논문지, 제 9 권, 2 호, pp. 81~87.
- [19] 이승학, 최승원, 김경훈, 안치영, "GPU를 이용한 SDR 시스템 용 LTE MIMO 기지국 기능 구현," 디지털산업정보학회 논문지, 제 8 권, 4 호, pp. 91~98.

■ 저자소개 ■



이 광 민  
(Lee Gwangmin)

2017년 9월~현재  
한양대학교 전자컴퓨터통신공학과  
석사과정  
2017년 8월 금오공과대학교 전자공학부  
(공학학사)  
관심분야 : LTE/LTE-A, 5G, V2X, SDR etc.  
E-mail : lgm0925@dsplab.hanyang.ac.kr



안 흥 섭  
(Ahn Heungseop)

2016년 3월~현재  
한양대학교 전자컴퓨터통신공학과  
박사과정  
2016년 2월 한양대학교 전자컴퓨터통신공학과  
(공학석사)  
2013년 2월 한양대학교 융합전자공학부  
(공학학사)  
관심분야 : vehicular comm, 5G, LTE, Cell  
planning, SDR etc.  
E-mail : ahs90@dsplab.hanyang.ac.kr



최 승 원  
(Choi Seungwon)

2012년 3월~현재  
HY-MC 연구센터 센터장  
2002년~2011년  
HY-SDR 연구센터 센터장  
1992년~현재  
한양대학교 전자전기공학부 교수  
1990년~1992년  
일본 우정성 통신연구소 선임연구원  
1989년~1990년  
ETRI 선임연구원  
1988년~1989년  
미국 Syracuse대학 전지 및  
전산과 교수  
1988년 12월 미국 Syracuse대학 전기공학  
(공학박사)  
1985년 12월 미국 Syracuse대학 전기공학  
(공학석사)  
1982년 2월 서울대학교 전자공학 (공학석사)  
1982년 2월 한양대학교 전자공학 (공학학사)  
관심분야 : SDR, 이동통신, 신호처리  
E-mail : choi@dsplab.hanyang.ac.kr

논문접수일 : 2018년 10월 22일  
수 정 일 : 2018년 11월 14일  
계 재 확정일 : 2018년 11월 21일