

MOSFET에서 다결정 실리콘 게이트 막의 도핑 농도가 신뢰성에 미치는 영향

박근형^a

충북대학교 전자공학부

Effects of Doping Concentration of Polycrystalline Silicon Gate Layer on Reliability Characteristics in MOSFET's

Keun-Hyung Park^a

College of Electrical & Computer Engineering, Chungbuk National University, Cheongju 28644, Korea

(Received November 3, 2017; Revised November 28, 2017; Accepted December 8, 2017)

Abstract: In this report, the results of a systematic study on the effects of polycrystalline silicon gate depletion on the reliability characteristics of metal-oxide semiconductor field-effect transistor (MOSFET) devices were discussed. The devices were fabricated using standard complimentary metal-oxide semiconductor (CMOS) processes, wherein phosphorus ion implantation with implant doses varying from 10^{13} to 5×10^{15} cm^{-2} was performed to dope the polycrystalline silicon gate layer. For implant doses of $10^{14}/\text{cm}^2$ or less, the threshold voltage was increased with the formation of a depletion layer in the polycrystalline silicon gate layer. The gate-depletion effect was more pronounced for shorter channel lengths, like the narrow-width effect, which indicated that the gate-depletion effect could be used to solve the short-channel effect. In addition, the hot-carrier effects were significantly reduced for implant doses of $10^{14}/\text{cm}^2$ or less, which was attributed to the decreased gate current under the gate-depletion effects.

Keywords: MOSFET, Reliability, Gate depletion effect

1. 서론

현대의 MOSFET 소자에서는 다결정 실리콘 막이 게이트 전극으로 널리 사용되고 있다. 이 다결정 실리콘 막은 일반적으로 POCl_3 를 사용한 확산 공정을 통하여 도핑이 이루어졌지만 현재는 거의 대부분 이온 주입에 의해 도핑이 이루어지고 있다. 그러면서 공정의 조건에 따라서 이온 주입된 다결정 실리콘 막이 축퇴(degenerated) 상태에 놓이지 않을 수도 있다. 이러한 경우에는 다결정 실

리콘 게이트 막에 공핍층이 형성되고, 이는 MOSFET 소자의 전기적인 특성에 심각한 영향을 미치는 것이 확인되었다 [1-3]. 본 논문에서는 다결정 실리콘 게이트 막의 공핍층 형성이 MOSFET 소자의 여러 가지 신뢰성 특성에 미치는 영향을 연구한 결과들에 대하여 논의하였다.

2. 실험 방법

게이트 다결정 실리콘 막의 도핑 농도가 MOSFET 소자의 전기적인 특성에 미치는 영향을 연구하기 위하여 다결정 실리콘 게이트 막의 도핑 농도가 서로 다른 NMOS 소자들과 MOS 커패시터들을 설계 및 제작하고

a. Corresponding author; khp@cbnu.ac.kr

Copyright ©2018 KIEEME. All rights reserved.
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

전기적인 특성들을 측정하였다.

먼저, 보론(B)이 도핑된 (100) 실리콘 웨이퍼(10 Ω-cm)를 사용하여 기본적인 LOCOS (local oxidation of silicon) isolation 공정을 수행하고, 건식 산화 공정을 사용하여 약 10 nm 두께의 게이트 실리콘 산화 막을 길렀다. 그 후에 약 150 nm 두께의 다결정 실리콘 막을 620°C에서 증착하고, 도핑을 위하여 인(P)을 30 K eV의 에너지로 이온 주입하였는데, 이온 주입 농도는 $10^{13} \sim 5 \times 10^{15}/\text{cm}^2$ 로 다양했다. 금속 박막 증착 공정이 끝난 후에는 400°C에서 약 30분 동안 forming 가스 분위기에서 alloy 공정을 실시하였으며, 보호막으로 약 800 nm 두께의 PSG (phospho silicate glass) 막을 증착하였다.

테스트 칩이 제작된 후에 반도체 소자 parameter analyzer의 일종인 HP 4156A Precision Semiconductor Parameter Analyser를 사용하여 NMOS 소자들과 MOS 커패시터 소자들의 여러 가지 전기적인 특성들을 측정하였다.

3. 결과 및 고찰

다결정 실리콘 게이트 공핍이 NMOS의 I-V 특성 에 미치는 영향을 분석하기 위하여 n⁺ 게이트의 도핑 농도가 서로 다른 NMOS 소자의 I-V 특성을 측정하였다. 이때 n⁺ 다결정 실리콘 게이트 막의 이온 주입 농도는 $10^{13} \sim 5 \times 10^{15}/\text{cm}^2$ 이었다.

3.1 게이트 막의 도핑 농도에 따른 문턱 전압 변화

첫 번째 실험으로 n⁺ 다결정 실리콘 게이트 막의 이온 주입 농도가 $10^{13}/\text{cm}^2$ 인 소자가 MOSFET 소자로서 정상적으로 동작하는지를 확인하기 위하여 그 소자

의 I-V 특성을 측정하였다(그림 1). 여기서 사용된 소자의 W/L = 25/10 μm이었다.

이 소자의 경우에는 다결정 실리콘 게이트 막의 도핑 농도가 상당히 낮아 게이트 공핍 현상이 심각하게 나타날 것이 틀림없으며, 따라서 이 소자의 동작 특성이 정상적이지 않을 수 있다. 그러나 측정 결과, 이 소자는 지극히 정상적인 MOSFET 소자의 I-V 특성을 보여주었다(그림 1). 이는 게이트 공핍 현상이 소자의 정상적인 동작을 방해하고 있지는 않음을 말해 주고 있다.

게이트 공핍이 NMOS 소자의 중요한 소자 특성 파라미터 중의 하나인 문턱 전압에 미치는 영향을 정량적으로 분석하기 위하여 n⁺ 다결정 실리콘 게이트 막을 도핑하기 위해 실시한 P 이온 주입 공정에서 이온 주입 농도(dose)를 다양하게 해서 NMOS 소자들을 제작하였고, 제작된 소자들 중에서 선택된 30개 소자들의 문턱 전압을 측정 후, 측정된 문턱 전압의 확률 분포도를 그림 2에 도식하였다.

그림 2에서 볼 수 있듯이, 이온 주입 농도가 $10^{15}/\text{cm}^2$ 또는 $5 \times 10^{15}/\text{cm}^2$ 인 경우에는 이온 주입 농도의 크기에 관계없이 문턱 전압이 0.95 ± 0.02 V로 측정되었고 균일도가 아주 높았다. 이온 주입 농도가 $10^{14}/\text{cm}^2$ 인 경우에는 문턱 전압이 1.51 ± 0.02 V로 측정되었고 앞의 경우와 마찬가지로 균일도가 아주 높았다. 반면에 이온 주입 농도가 $10^{13}/\text{cm}^2$ 인 경우에는 문턱 전압이 2.0 ± 0.08 V로 측정되었다. 즉, 문턱 전압의 평균값이 약 2 V 증가하였고, 문턱 전압의 변동 폭이 크게 증가하였다.

다결정 실리콘 게이트 막의 이온 주입 농도가 낮아짐에 따라 문턱 전압이 증가하는 주된 원인으로 2가지를 고려할 수 있다 [4]. 첫째는 도핑 농도 저하로 인한 다결정 실리콘 게이트의 일함수 증가이고, 둘째로 다결

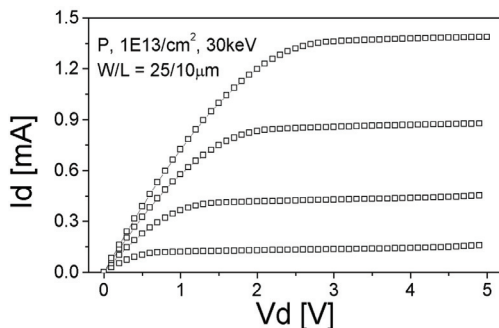


Fig. 1. I-V characteristics of the NMOS device, where the dose of the implantation for doping of the polycrystalline silicon gate layer was $10^{13}/\text{cm}^2$.

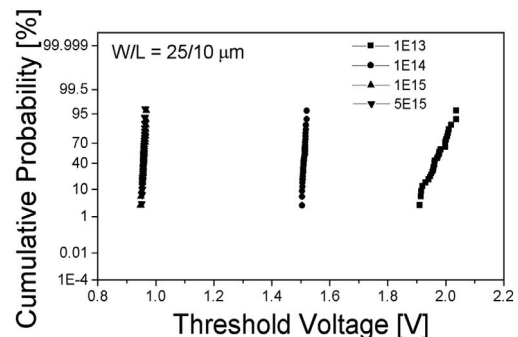


Fig. 2. Probability distribution of the threshold voltages for various doses of the implantation for doping of the polycrystalline silicon gate layer.

정 실리콘 게이트 막에 공핍층이 형성됨으로 인한 게이트 유효 산화 막 두께의 증가이다.

다결정 실리콘 막의 도핑 농도가 축퇴 수준에서 점차 감소하게 되면 페르미 에너지가 전도 대역의 최하단으로부터 가전자대역 쪽으로 이동하며 일함수가 증가한다. 그렇지만 페르미 에너지가 이동할 수 있는 최대 문턱 전압 증가는 약 0.56 V이다.

앞에서 언급한 바대로 다결정 실리콘 게이트 막의 도핑 농도가 낮아지면 그 게이트 막에 공핍층이 형성되고 이로 인하여 게이트 유효 산화 막 두께가 증가한다. 이온 주입 농도가 $10^{15}/\text{cm}^2$ 또는 $5 \times 10^{15}/\text{cm}^2$ 인 경우에는 문턱 전압의 분포도가 동일하였다. 이는 다결정 실리콘 막의 도핑 농도가 축퇴 수준이라서 앞에서 언급한 다결정 실리콘 막의 일함수 증가나 다결정 실리콘 막에서의 공핍층 형성이 전혀 이루어지지 않았음을 보여주고 있다. 물론 이러한 결과는 충분히 예측한 것과 같다.

반면에 이온 주입 농도가 $10^{14}/\text{cm}^2$ 인 경우에는 이온 주입 농도가 $10^{15}/\text{cm}^2$ 인 경우와 비교할 때 문턱 전압이 약 0.56 V 증가하였다. 다결정 실리콘 막의 두께가 약 150 nm이므로 이온 주입 농도가 $10^{14}/\text{cm}^2$ 인 경우에 다결정 실리콘 막의 도핑 농도는 약 $6.7 \times 10^{18} \text{ cm}^{-3}$ 이다. 이러한 경우에는 비록 도핑된 불순물 중의 일부가 다결정 실리콘 막의 grain boundary로의 편석으로 손실되지만, 그 손실되는 양이 수%에 불과하기 때문에 전기적으로 활성화된 불순물의 농도는 이온 주입된 농도와 큰 차이가 없다 [4]. 그러므로 여기서 전기적으로 활성화된 불순물의 농도가 $6.7 \times 10^{18} \text{ cm}^{-3}$ 이라고 해도 큰 오차는 없을 것으로 판단된다. 그렇게 가정하면 도핑 농도 저하로 인한 일함수의 증가는 약 0.05 V가 된다. 따라서 문턱 전압의 증가분 약 0.56 V로부터 0.05 V를 빼면 0.51 V가 다결정 실리콘 게이트 막에서의 공핍층 형성으로 게이트 유효 산화 막의 증가로 인한 것이라고 말할 수 있다.

이온 주입 농도가 $10^{13}/\text{cm}^2$ 인 경우에는 다결정 실리콘 게이트 막의 도핑 농도는 약 $6.7 \times 10^{17} \text{ cm}^{-3}$ 이다. 이러한 경우에는 도핑된 불순물 중의 약 10%가 다결정 실리콘 막의 grain boundary로의 편석으로 손실된 것으로 예상할 수 있다 [5]. 그러므로 전기적으로 활성화된 불순물의 농도가 $6.7 \times 10^{17} \text{ cm}^{-3}$ 이라고 한다면 도핑 농도 저하로 인한 일함수의 증가는 약 0.11 V가 된다. 따라서 문턱 전압의 증가분 약 2.0 V로부터 0.11 V를 빼면 1.89 V가 다결정 실리콘 게이트 막에서의 공핍층 형성으로 인한 것으로 판단할 수 있다.

3.2 다결정 실리콘 게이트 막에서의 공핍층 형성이 단 채널 효과에 미치는 영향

그림 3은 다결정 실리콘 게이트 막의 공핍층 형성이 단 채널 효과에 미치는 영향을 분석하기 위해 실험한 결과를 보여주고 있다. 즉, 다결정 실리콘 게이트 막을 도핑하기 위해서 실시한 이온 주입 공정에서 이온 주입 농도를 $10^{13} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 범위에서 다양하게 변화시켰다. 그리고 다양한 이온 주입 농도를 가진 소자들의 단 채널 효과를 분석하기 위하여 그 소자들의 문턱 전압들을 측정하고 그 측정된 문턱 전압들을 채널 길이의 함수로 도식하였다. 여기서 사용된 소자들의 채널 너비는 25 μm 이었다.

그림 3의 실험 결과를 살펴보면, 다결정 실리콘 막의 이온 주입 농도가 10^{15} cm^{-2} 또는 $5 \times 10^{15} \text{ cm}^{-2}$ 인 소자의 경우에 채널 길이가 1 μm 이하가 되면 채널 길이가 줄어들수록 문턱 전압이 더 감소하는 것을 볼 수 있다. 이는 단 채널 효과(short channel effect)로서 이미 널리 알려진 현상이다. 채널 길이가 감소하면서 문턱 전압이 감소하는 이유는 소스/드레인과 전기적으로 공유되어 있는 공핍 전하가 채널에 형성된 전체 공핍 전하에서 차지하는 비율이 채널 길이가 감소할수록 증가하기 때문이다 [6].

반면에 다결정 실리콘 막의 이온 주입 농도가 10^{14} cm^{-2} 인 소자의 경우에는 채널 길이가 1 μm 이하가 되면 채널 길이가 줄어들수록 문턱 전압이 오히려 조금씩 증가하는 것을 볼 수 있다. 이는 앞에서 보여 준 단채널 효과와는 상반된 결과이다.

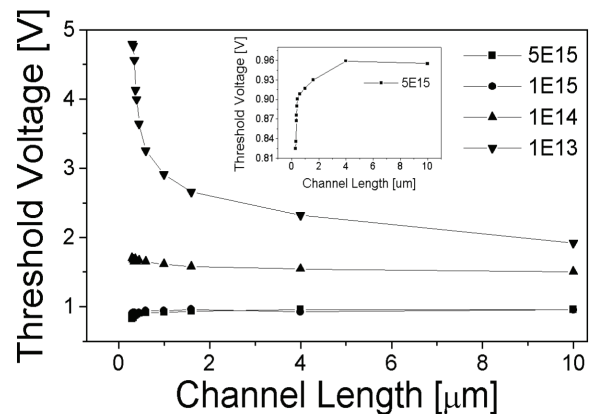


Fig. 3. Threshold voltage of NMOS devices as a function of channel length for various implant doses of polycrystalline silicon gate layer.

이와 유사한 실험 결과가 전에 논문에 발표된 적이 있다 [2]. 그 논문에서는 다결정 실리콘 게이트 막의 도핑 농도가 축퇴 수준까지 충분히 높지 않으면, 다결정 실리콘 게이트 막의 가장자리, 특히 모서리 부분에서 fringing 게이트 전계가 집중적으로 형성되어 그 영역에서 공핍층 형성이 증가하고, 따라서 다결정 실리콘 게이트 막의 평균 공핍층 폭이 증가된다는 것이었다. 채널 길이가 큰 경우에는 이러한 가장자리와 모서리 부분에서 공핍층이 더 크게 형성되어 있더라도 전체 공핍층 증가에 미치는 영향이 작지만, 채널 길이가 작아지면서 그 미치는 영향이 점점 더 커져서 결국에는 채널 길이가 작을수록 다결정 실리콘 게이트 막의 평균 공핍층 폭이 증가하고 따라서 문턱 전압도 점점 더 증가하게 되는 것이다. 이러한 현상은 다결정 실리콘 막의 이온 주입 농도가 10^{13} cm^{-2} 인 소자의 경우에는 더욱 뚜렷하게 나타나서 채널 길이가 줄어들수록 문턱 전압이 오히려 급격히 증가하는 것을 볼 수 있었다. 이는 단 채널 길이 효과와 정반대이기 때문에 다결정 실리콘 막의 농도를 적당하게 낮추어서 적당한 크기의 공핍층이 다결정 실리콘 막에 형성되게 한다면, 이는 단 채널 효과와 게이트 공핍층 효과가 서로 상쇄되어 단 채널 효과를 억제할 수 있는 좋은 방안이 될 수 있을 것으로 판단된다.

3.3 게이트 막의 공핍층 형성이 MOSFET 소자의 subthreshold 기울기에 미치는 영향

MOSFET 소자의 채널 길이가 점점 작아지면서 subthreshold 기울기, S가 증가하고 따라서 그 소자의 누설 전류가 증가함으로써 심각한 신뢰성 문제가

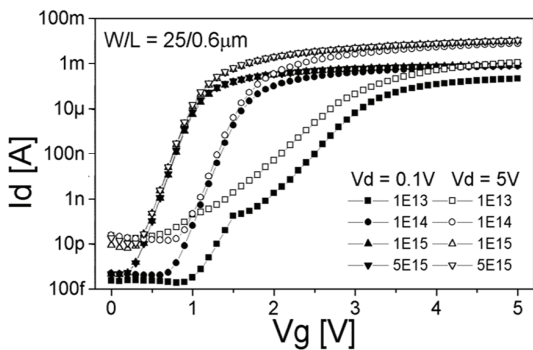


Fig. 4. Subthreshold slope of NMOS devices for various implant doses of polycrystalline silicon gate layer.

발생하고 있다 [6].

그림 4는 채널 길이, $L=0.6 \mu\text{m}$, 채널 너비, $W=25 \mu\text{m}$ 인 NMOS 소자의 subthreshold 기울기를 측정한 결과를 보여주고 있다. 다결정 실리콘 막의 이온 주입 농도가 $10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 의 범위에 있을 때는 subthreshold 기울기가 약 100 mV/decade 로서 서로 비슷한 것으로 나타났다. 반면에 다결정 실리콘 막의 이온 주입 농도가 10^{13} cm^{-2} 인 경우에는 subthreshold 기울기가 약 330 mV/decade 로서 크게 증가하였다.

3.4 게이트 막의 공핍층 형성이 열전자 효과에 미치는 영향

여기서는 다결정 실리콘 게이트 막의 이온 주입 농도에 따라 열전자 효과가 어떻게 다르게 나타나는지를 실험하고 그 결과를 분석하였다.

먼저 게이트 산화 막의 열화가 가장 많이 받을 것으로 예상되는 조건, 즉 기판 전류가 최대가 되는 조건에서, 즉 $V_d=6.5 \text{ V}$, $V_g=3.5 \text{ V}$, $V_s=V_{sub}=0 \text{ V}$ 에서 $W/L=25/0.6 \mu\text{m}$ 인 NMOS 소자들에게 전압 스트레스를 인가한 다음 스트레스 시간에 따른 문턱 전압의 변화량을 측정하였다(그림 5). 참고로 $V_d=7 \text{ V}$ 에서 snap-back 항복이 발생하였기 때문에 $V_d=6.5 \text{ V}$ 를 스트레스 조건으로 선정하였다.

그림 5에서 나타난 실험 결과들을 보면, 첫째로 다결정 실리콘 게이트 막의 이온 주입 농도의 크기와 관계없이 스트레스 시간이 증가함에 따라 문턱 전압이 모두 증가하였다. 이는 일반적으로 널리 알려진 열전자 효과와 동일하였다.

두 번째로 다결정 실리콘 게이트 막의 이온 주입 농

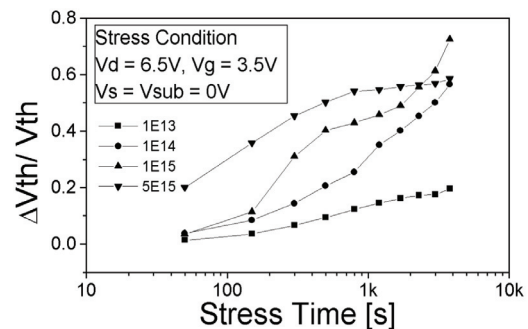


Fig. 5. Variation of threshold voltages of NMOS devices as a function of stress time for various implant doses of polycrystalline silicon gate layer.

도가 증가함에 따라 문턱 전압의 증가율이 더 크게 증가하였다. 이러한 현상은 다음과 같은 게이트 전류에 대한 다음과 식을 이용하여 설명할 수 있다 [7].

$$I_g = A I_d e^{-\phi_b / (q\lambda E_m)} \quad (1)$$

여기서, ϕ_b 는 Si/SiO₂ 에너지 장벽, λ 는 채널에서 전자의 자유행정거리, E_m 은 채널에서 게이트 전극과 수평 방향 전기장의 최대치이다. 또한,

$$E_m = \frac{V_d - V_{d,sat}}{\sqrt{3}t_{ox}x_j} \quad (2)$$

여기서, t_{ox} 는 게이트 산화막의 두께, x_j 는 드레인 접합의 깊이이다.

드레인 포화 전압인 $V_{d,sat}$ 은 문턱 전압이 증가하면 감소한다 [7]. $V_{d,sat}$ 이 감소하면 식 (2)로부터 E_m 값이 증가하는 것을 알 수 있다. 또한 문턱 전압이 증가하면 드레인 전류, I_d 는 감소한다. 결론적으로 문턱 전압이 증가하면 드레인 전류, I_d 는 감소하고 E_m 값은 증가한다. 이러한 사실을 식 (1)에 적용하면 문턱 전압이 증가하면 게이트 전류, I_g 는 감소하는 것을 알 수 있다. 전압 스트레스로 인하여 문턱 전압이 증가하는 것은 게이트 전류로 인한 것이므로 게이트 전류가 감소하면 문턱 전압의 증가량은 감소할 것이 틀림없다. 이러한 예측은 그림 5에서 측정된 결과와 정확하게 일치

하였다. 즉, 다결정 실리콘 게이트 막의 이온 주입 농도가 감소하면서 문턱 전압이 증가하고, 따라서 전압 스트레스에 따른 문턱 전압의 증가량이 감소하게 된 것으로 보인다.

다음으로 전압 스트레스에 따라 전달컨덕턴스, g_m 이 어떻게 변화하는지를 측정하였다(그림 6). 스트레스 시간에 따른 g_m 의 열화 속도도 문턱 전압의 경우와 마찬가지로 이온 주입 농도가 작을수록 더 느려지는 것으로 나타났다. 잘 알다시피, g_m 의 열화도 주로 게이트 전류로 인하여 발생한 것이다. 그러므로 게이트 막의 이온 주입 농도가 작아지면 게이트 전류가 감소하므로 당연히 g_m 의 열화 정도가 감소할 것으로 예상되었으며, 실제 측정 결과도 그 예상과 일치하였다.

4. 결론

다결정 실리콘 게이트 막의 이온 주입 농도가 10¹⁴/cm² 이하인 경우에는 게이트 막에 공핍층이 형성되고, 이로 인하여 유효 게이트 산화 막의 두께가 증가하고 따라서 문턱 전압이 증가하였다.

다결정 실리콘 게이트 막에서는 가장자리와 모서리 부분에서 공핍층 형성이 더 심해지는데 이로 인하여 소자의 채널 길이가 줄어들면서 문턱 전압이 더욱 증가하였다. 이러한 효과는 단 채널 효과를 상쇄시키는 결과를 가져왔다. 이는 게이트 공핍 효과를 통하여 단 채널 효과를 방지할 수 있는 획기적인 방법이 될 수 있을 것으로 판단된다.

다결정 실리콘 게이트 막의 이온 주입 농도가 10¹³/cm²인 경우에는 subthreshold 기울기가 크게 증가하였으며, 게이트 공핍이 열전자 효과는 다결정 실리콘 게이트 막의 이온 주입 농도가 작을수록 더 약하게 나타났다. 이는 이온 주입 농도가 감소하면 게이트 공핍으로 문턱 전압이 증가하고, 따라서 게이트 전류가 감소하기 때문인 것으로 판단된다.

감사의 글

이 논문은 2015년도 충북대학교 학술연구지원사업의 교내연구비 지원에 의하여 연구되었음(This work was supported by the intramural research grant of Chungbuk National University in 2015).

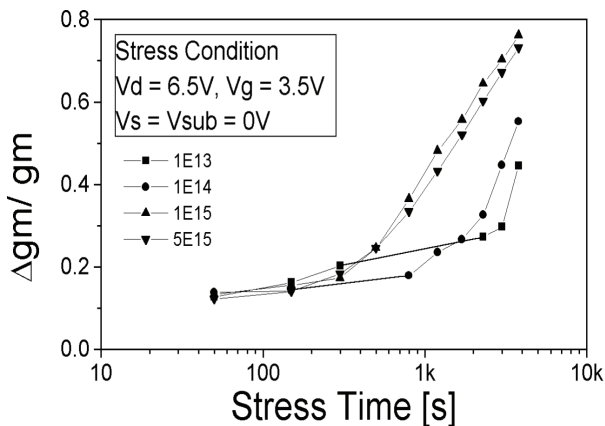


Fig. 6. Variation of transconductances of NMOS devices as a function of stress time for various implant doses of polycrystalline silicon gate layer.

REFERENCES

- [1] P. Habaš and S. Selberherr, *Solid State Electron.*, **33**, 1539 (1990). [DOI: [https://doi.org/10.1016/0038-1101\(90\)90134-Z](https://doi.org/10.1016/0038-1101(90)90134-Z)]
- [2] C. H. Choi, P. R. Chidambaram, R. Khamankar, C. F. Machala, Z. Yu, and R. W. Dutton, *IEEE Trans. Electron Dev.*, **49**, 1227 (2002). [DOI: <https://doi.org/10.1109/TED.2002.1013280>]
- [3] N. Rodriguez, F. Gamiz, and J. B. Roldan, *IEEE Trans. Electron Dev.*, **54**, 723 (2007). [DOI: <https://doi.org/10.1109/TED.2007.891854>]
- [4] R. Dutta and S. Kundu, *Proc. 2012 5th International Conference on Computers and Devices for Communication (CODEC)* (IEEE, Kolkata, India, 2012) p. 1.
- [5] N.C.C. Lu, L. Gerzberg, C. Y. Lu, and J. D. Meindl, *IEEE Trans. Electron Dev.*, **30**, 137 (1983). [DOI: <https://doi.org/10.1109/T-ED.1983.21087>]
- [6] B. G. Streetman and S. Banerjee, *Solid State Electronic Devices 6th Edition* (Pearson Prentice Hall, New Jersey, 2006) p. 310.
- [7] C. Hu, S. C. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan, and K. W. Terrill, *IEEE Electron Device Lett.*, **32**, 375 (1985). [DOI: <https://doi.org/10.1109/T-ED.1985.21952>]