

7-레벨 PWM 인버터의 직렬 커패시터 입력전원의 전압균형제어

Voltage Balancing Control of Input Voltage Source Employing Series-connected Capacitors in 7-level PWM Inverter

김진산* · 강필순†
(Jin-San Kim · Feel-soon Kang)

Abstract - This paper present a 7-level PWM inverter adopting voltage balancing control to series-connected input capacitors. The prior proposed 7-level PWM inverter consists of dc input source, three series-connected capacitors, two bidirectional switch modules, and an H-bridge. This circuit topology is useful to increase the number of output voltage levels, however it fails to generate 7-level in output voltage without consideration for voltage balancing among series-connected capacitors. Capacitor voltage imbalance is caused on the different period between charging and discharging of capacitor. To solve this problem, we uses the amplitude modulation of carrier wave, which is used to produce the center output voltage level. To verify the validity of the proposed control method, we carried out computer-aided simulation and experiments using a prototype.

Key Words : Multilevel inverter, Voltage imbalance, Capacitor

1. 서론

멀티레벨인버터는 다수의 스위치 소자로 dc 전압을 적층하여 계단과의 출력전압을 형성하는 방식으로 스위칭 시에 스위치에 인가되는 전압의 크기가 작아 dv/dt 스트레스가 감소한다. 또한, 출력전압의 레벨 수가 증가할수록 출력전압은 더 많은 전압 레벨을 갖게 되고 이에 따라 더 낮은 총고조파 왜곡율(THD)을 갖는다[1]-[4]. 이와 같은 장점에도 불구하고 멀티레벨인버터는 다수의 스위치를 사용한다는 원천적인 단점이 있다. 스위치 수의 증가는 스위치 구동을 위한 주변회로 증가와 스위치 제어가 복잡해지는 문제가 발생한다. Cascaded H-bridge 멀티레벨 인버터는 출력전압 레벨 생성에 경제적으로 알려져 있지만 출력전압 레벨 수의 증가에 비례하여 H-bridge 모듈과 독립 dc 전압원의 증가가 불가피하다. 따라서 최근 회로 토폴로지의 간략화를 위해 직렬 결합된 커패시터를 멀티레벨인버터의 입력으로 사용하는 방식이 연구되고 있다. 이러한 방식은 독립된 다수의 dc 전압원 확보가 어렵거나 스위칭 소자수를 저감하면서 출력전압 레벨 수를 증가시키는 경우에 적합하다. 이러한 목적으로 커패시터 직렬 결합의 입력 dc 전원을 활용한 7-레벨 PWM 인버터가 소개되었다[5]-[8]. 참고문헌 [5]는 양방향 스위치모듈 기반의 7-레벨 인버터를 제안하였다. 세 개의 직렬 결합된 커패시터를 입력 전압

으로 사용하여 7-레벨 PWM 출력전압을 생성하여 태양광 인버터로 이용한 예가 보고되었다. 회로 토폴로지의 구조적 관점에서 볼 때 Cascaded H-bridge 멀티레벨인버터에 비해 스위치 6개, 독립 dc 전압원 2개를 줄일 수 있는 장점이 있지만 직렬 결합된 커패시터를 입력으로 사용함에 따라 직렬 결합된 커패시터의 중성점 전압 변동에 의해 전압 불균형 문제가 발생한다. 그러므로 참고문헌 [5]가 정상적으로 7-레벨의 출력전압을 생성하기 위해서는 세 개의 커패시터 전압을 각각 독립 제어하여 일정한 전압으로 유지시켜야 하는 전제조건이 필요하다.

본 논문에서는 직렬 결합된 커패시터를 입력전원으로 이용하는 7-레벨 PWM 인버터의 커패시터 전압 불균형 문제를 해결할 수 있는 스위칭 제어법을 PSIM 시뮬레이션과 시제품 기반 실험을 통해 검증한다.

2. 직렬 커패시터를 입력으로 갖는 7-레벨 인버터

그림 1은 양방향 스위치모듈 기반 7-레벨 인버터의 구조를 나타낸다[5]. 회로의 구조는 하나의 독립 dc 전압원과 3개의 직렬 결합 커패시터(C1, C2, C3), 2개의 양방향 스위치 모듈 (S5, S6), H-bridge 모듈 스위치(S1, S2, S3, S4)로 구성된다. 이상적인 경우, 독립 dc 전압원과 병렬로 연결된 3개의 커패시터에는 각각 $V_{dc}/3$ 의 전압이 인가되어 각 출력 전압 레벨이 $V_{dc}/3$ 인 7-레벨 인버터가 구성된다.

그림 2는 참고문헌 [5]에서 제안된 7-레벨 인버터의 출력부하를 순수 저항부하로 가정하여 스위칭 동작을 분석한다. 그림 2(a)는 출력전압이 0일 때 전류의 흐름을 나타낸다. 스위치 S2, S4

† Corresponding Author : Dept. of Electrical and Electronic Engineering, Hanbat National University, Korea.
E-mail: feelsoon@hanbat.ac.kr

* Dept. of Control and Instrumentation Engineering, Hanbat National University, Korea.

Received : October 31, 2017; Accepted : January 19, 2018

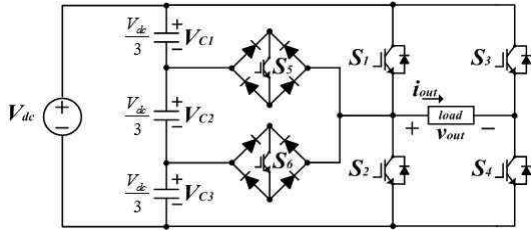


그림 1 양방향 스위치 기반의 7-레벨 인버터
Fig. 1 7-level inverter using bidirectional switches

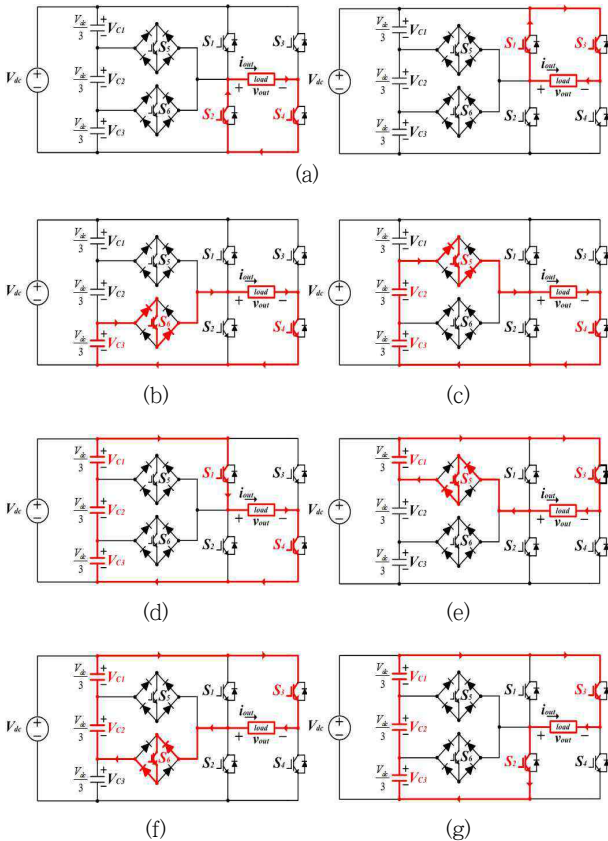


그림 2 동작모드, (a)0, (b) $V_{dc}/3$, (c) $2V_{dc}/3$, (d) V_{dc} , (e) $-V_{dc}/3$, (f) $-2V_{dc}/3$, (g) $-V_{dc}$

Fig. 2 Operational modes, (a)0, (b) $V_{dc}/3$, (c) $2V_{dc}/3$, (d) V_{dc} , (e) $-V_{dc}/3$, (f) $-2V_{dc}/3$, (g) $-V_{dc}$

또는 스위치 S1, S3이 도통되며, 직렬 결합된 커패시터 C1, C2, C3이 충전되는 구간이다. 그림 2(b)는 출력전압이 $V_{dc}/3$ 일 때 전류의 흐름을 나타낸다. 하단의 커패시터 C3이 출력부하를 담당하며 양방향 스위치 모듈 S6과 스위치 S4를 통해 방전된다. 그림 2(c)는 출력전압이 $2V_{dc}/3$ 일 때 전류의 흐름을 나타낸다. 직렬 연결된 두 개의 커패시터 C2, C3이 출력부하를 담당하며 양방향 스위치 모듈 S5와 스위치 S4를 통해 방전된다. 그림 2(d)는 출력전압이 V_{dc} 일 때 전류의 흐름을 나타낸다. 직렬 결합된 세 개의

커패시터 C1, C2, C3이 출력부하를 담당하며 스위치 S1과 스위치 S4를 통해 방전된다. 그림 2(e)는 출력전압이 $-V_{dc}/3$ 일 때 전류의 흐름을 나타낸다. 최상단 커패시터 C1이 출력부하를 담당하며 양방향 스위치 모듈 S5와 스위치 S3을 통해 방전된다. 그림 2(f)는 출력전압이 $-2V_{dc}/3$ 일 때 전류의 흐름을 나타낸다. 직렬 연결된 두 개의 커패시터 C1, C2가 출력부하를 담당하며 양방향 스위치 모듈 S6와 스위치 S3을 통해 방전된다. 그림 2(g)는 출력전압이 $-V_{dc}$ 일 때 전류의 흐름을 나타낸다. 직렬 결합된 세 개의 커패시터 C1, C2, C3이 출력부하를 담당하며 스위치 S2와 스위치 S3를 통해 방전된다.

표 1 7-레벨 인버터의 스위칭 상태에 따른 출력전압
Table 1 Output voltage according to switching state of 7-level inverter

Output	Switch State					
	S1	S2	S3	S4	S5	S6
V_{dc}	1	0	0	1	0	0
$2V_{dc}/3$	0	0	0	1	1	0
$V_{dc}/3$	0	0	0	1	0	1
0	0	1	0	1	0	0
$-V_{dc}/3$	0	0	1	0	1	0
$-2V_{dc}/3$	0	0	1	0	0	1
$-V_{dc}$	0	1	1	0	0	0
0	1	0	1	0	0	0

표 1은 7-레벨 인버터의 스위칭 상태에 따른 출력전압을 나타내며, 상태조건 1은 스위치 도통, 상태조건 0은 스위치 차단을 의미한다.

2.1 7-레벨 인버터의 기존 스위칭 방법

참고문헌 [5]에서는 7-레벨 인버터의 동작을 위해 세 개의 기준파 V_{ref1} , V_{ref2} , V_{ref3} 와 한 개의 반송파 V_{car} 를 비교한다. 기준파는 모두 동일한 주파수 및 진폭을 가지며 각각 반송파 V_{car} 의 진폭 크기만큼 오프셋을 갖는다. 그림 3은 참고문헌 [5]에서 사용한 7-레벨 인버터의 스위칭 패턴을 나타낸다. 스위치 S1, S2, S5, S6은 반송파 V_{car} 의 주파수로 동작하고 S3, S4는 기준파 V_{ref} 의 주파수로 동작한다.

세 개의 기준파와 한 개의 반송파를 사용하는 경우는 단일 기준파와 세 개의 반송파에서의 변조 지수와 동일하게 다음으로 정의된다. 여기서 A_c 는 반송파 V_{car} 의 진폭이고 A_m 은 기준파 V_{ref} 의 진폭을 의미한다.

$$M_a = \frac{A_m}{3A_c} \tag{1}$$

식 (1)에 주어진 변조 지수 M_a 의 진폭에 따라 출력전압 레벨과 스위칭 각이 변한다. M_a 가 0.33보다 작을 경우 출력전압은 3-레벨, M_a 가 0.33과 0.66 사이일 경우 출력전압은 5-레벨, M_a

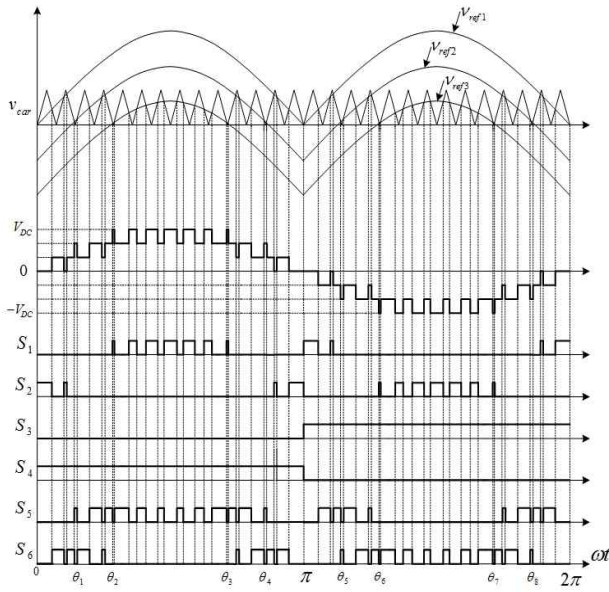


그림 3 7-레벨 인버터의 기존 스위칭 패턴 [5]
Fig. 3 Conventional switching pattern of 7-level inverter

가 0.66보다 큰 경우는 7-레벨의 출력전압을 생성한다. 여기서 $\theta_1, \theta_4, \theta_5, \theta_8$ 의 스위칭 각은 변하지 않는다[5]. 이러한 스위칭 방법은 출력전압 레벨 생성만을 고려하므로 직렬결합 된 입력 커패시터의 총·방전 상태는 고려하지 않아 입력 전압의 불균형을 초래하게 된다.

2.2 직렬결합 커패시터 전압의 평형 조건

7-레벨 인버터의 출력전류 $i_{out} = I_m \sin(\omega t - \phi)$ 라고 가정할 때, 한 주기 동안 각 커패시터로부터 부하로 공급되는 평균전류 ($I_{n(avg)}$)와 각 커패시터의 방전전류($I_{Cn(avg)}$) 간의 관계는 다음 식과 같다.

$$I_{C1(avg)} = I_{1(avg)} = \frac{I_m}{\pi} \cos\phi \cos\alpha_3 \quad (2)$$

$$I_{C2(avg)} = I_{1(avg)} + I_{2(avg)} = \frac{I_m}{\pi} \cos\phi \cos\alpha_2 \quad (3)$$

$$I_{C3(avg)} = I_{1(avg)} + I_{2(avg)} + I_{3(avg)} = \frac{I_m}{\pi} \cos\phi \cos\alpha_1 \quad (4)$$

여기서 α_n 는 각각의 전압레벨 생성을 위한 스위칭 각이며 $\alpha_1 < \alpha_2 < \alpha_3$ 의 조건을 가정한다. 따라서 각 커패시터의 평균 방전전류의 크기는 식 (5)의 관계를 갖는다[6].

$$I_{C1(avg)} < I_{C2(avg)} < I_{C3(avg)} \quad (5)$$

식 (5)는 최하단 커패시터 C3이 커패시터 C1 또는 C2 보다 더 많은 전하를 방전한다는 것을 의미하며, 이는 직렬 결합된 커패시터의 전압 불균형을 초래한다. 그러므로 전압 불균형을 방지하기 위해서는 방전율이 높은 커패시터의 총·방전 구간을 적절히 조절하여야 한다.

식 (2)-(4)에서 각 커패시터 평균 방전전류의 비는 부하 조건과는 무관하고 스위칭 각 α_n 에 의존한다. 즉 스위칭 각 α_n 에 의해 커패시터의 방전이 결정되며, 커패시터 전압 균형을 위해 적절한 양의 평균 전류를 공급하도록 α_n 을 제어해야 한다 [6],[9] - [13].

2.3 반송파 진폭 제어를 통한 전압 균형 스위칭 제어

본 논문에서는 커패시터 전압 불균형 해결을 위해서 직렬 결합된 세 개의 커패시터 중 가운데 커패시터 C2의 방전율을 제어한다. 커패시터 C2는 커패시터 C1과 C3 사이에 위치하고 있어 C1과 C3의 총·방전 전류는 반드시 가운데 위치한 커패시터인 C2를 통과하여 흐르게 되므로 커패시터 C2의 전압은 커패시터 C1과 C3에 직접적인 영향을 준다. 따라서 커패시터 C2의 전압 제어를 통해 나머지 두 개의 커패시터 전압도 일정하게 제어할 수 있다.

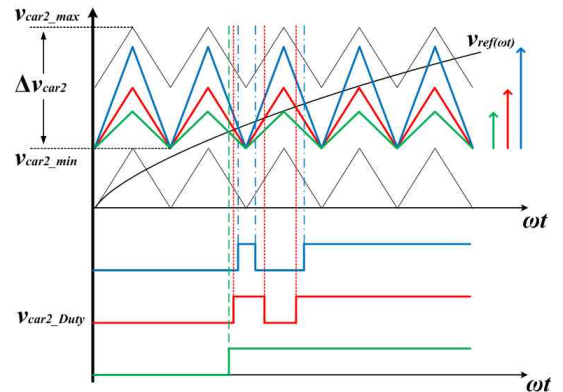


그림 4 V_{car2} 의 진폭 변화에 따른 제어 펄스폭 변화
Fig. 4 Variation of control pulse width according to amplitude of V_{car2}

그림 4는 커패시터 C2의 전압조정을 위한 두 번째 반송신호 V_{car2} 의 진폭 변화와 이에 따른 제어 펄스폭 변화를 나타낸다. 반송파와 V_{car2} 의 진폭은 기준과 V_{ref} 와 직접 비교되고 진폭 범위는 다음과 같다.

$$V_{car1_max} = V_{car2_min} \leq \Delta V_{car2} \leq V_{car2_max} = V_{car3_max} \quad (6)$$

V_{car2} 와 기준과 V_{ref} 의 비교에 의해 결정되는 V_{car2_duty} 는 커패시터 C2의 총·방전을 결정하는 스위치 S5와 S6에 직접적인 관련이 있다. 스위치 S5가 턴-온 된 경우 그림 2(c)와 같이 $2V_{dc}/3$ 의 출력전압이 생성되고 커패시터 C2의 방전구간이다. 반면에, 스위치 S6이 턴-온 된 경우 그림 2(b)와 같이 $V_{dc}/3$ 의 출력전압이 생성

되며 이는 커패시터 C2의 충전 구간을 의미한다.

그림 4로부터 진폭이 $V_{p,1}$ 과 $V_{p,2}$ 인 연속된 반송파 V_{car2} 와 기준파 V_{ref} 의 비교로부터 생성되는 i 번째 펄스(V_{car2_duty})의 폭(Δd)은 식 (7)에 의해 결정된다.

$$\Delta d = \frac{T}{2k} \omega_0 V_{p,ref} \sin \theta_i \left(\frac{1}{V_{p,2}} - \frac{1}{V_{p,1}} \right) \quad (7)$$

여기서 T 는 중간 전압레벨인 $2V_{dc}/3$ 전압레벨의 주기, ω_0 는 반송신호의 주파수, k 는 한 주기 동안 펄스의 개수를 의미한다. 펄스폭(Δd)은 반송신호 V_{car2} 의 진폭($V_{p,1}$, $V_{p,2}$)에 반비례 관계임을 알 수 있다. 따라서 V_{car2_duty} 를 스위치 S5와 S6의 On 구간을 결정하는 기준파로 이용하고 V_{car2} 의 진폭제어를 통해 커패시터 C2의 전압 제어가 가능하다[6].

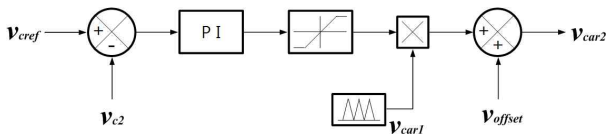


그림 5 커패시터 C2의 전압 제어 블록도
Fig. 5 Voltage control block diagram for capacitor C2

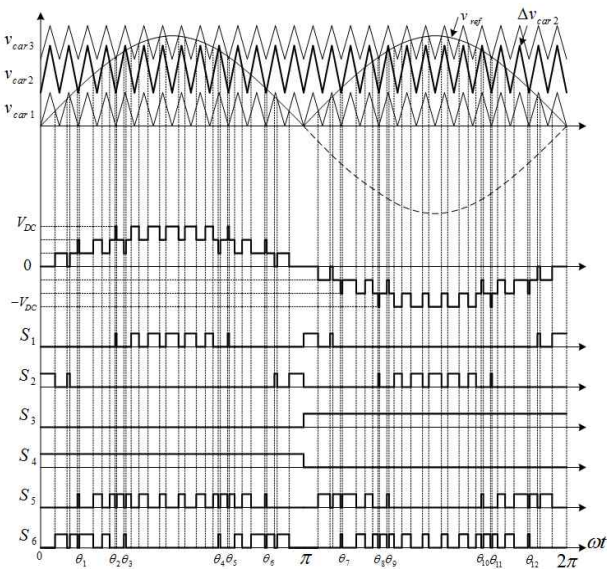


그림 6 반송신호 진폭 제어를 적용한 전압균형 스위칭 패턴
Fig. 6 Switching pattern for voltage balancing control using amplitude modulation of carrier wave

그림 5는 커패시터 C2의 전압유지를 위한 제어 블록도를 나타낸다. 커패시터 C2의 기준 전압 V_{ref} 와 C2의 실제 전압 V_{c2} 를 비교하여 PI제어를 통해 두 번째 반송파 V_{car2} 의 진폭을 조절한다. 여기서 제어된 반송파 V_{car2} 의 진폭이 V_{car1} 보다는 크고 V_{car3} 보다는 작아야 한다. 또한 V_{offset} 은 V_{car1} 의 진폭 값으로 설정한다.

그림 6은 반송파 진폭 제어를 적용한 전압 균형 스위칭 패턴을 나타낸다. 제안한 스위칭 패턴은 단일 기준파 V_{ref} 와 세 개의 반송파 V_{car1} , V_{car2} , V_{car3} 를 사용한다. 기존의 전압 불균형 스위칭 패턴과 비교하면 V_{car2} 의 진폭이 증가함에 따라 스위치 S5의 턴-온 시간은 감소하고 스위치 S6의 턴-온 시간은 증가하게 된다.

3. 시뮬레이션 및 실험 결과

본 절에서는 직렬 결합된 세 개의 커패시터를 입력을 갖는 7-레벨 PWM 인버터의 전압 불균형 문제를 해결하기 위한 반송파 진폭제어의 타당성을 검증하기 위해 PSIM 기반의 컴퓨터 시뮬레이션과 실험 결과를 제시한다.

표 2 시뮬레이션 및 실험 조건

Table 2 Specifications for simulation and experiments

Parameter	Symbol	Value
Input voltage	V_{dc}	150 [Vdc]
Output voltage	V_{out}	106 [Vac](rms) 60 [Hz]
Output current	i_{out}	3.5 [A] (rms)
Switching frequency	f_s	10 [kHz]
LC 2ilter	L, C	30 [mH] 1.1 [μ F]
DC-link capacitor	C1, C2, C3	2000 [μ F]

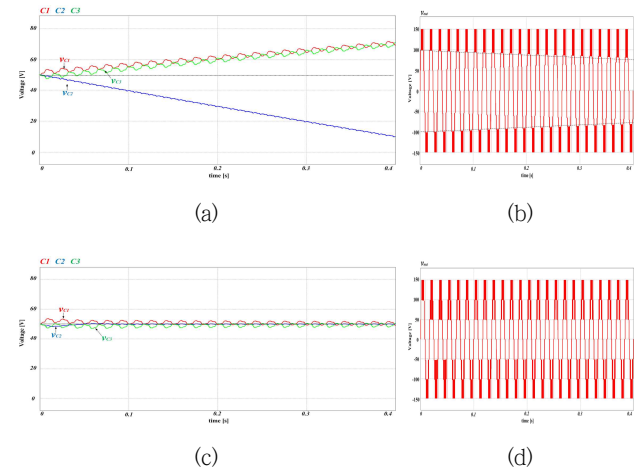


그림 7 입력 커패시터 전압과 출력전압 시뮬레이션 결과, (a) 기존 커패시터 전압, (b) 기존 출력전압, (c) 전압균형시 커패시터 전압, (d) 전압균형시 출력전압

Fig. 7 Simulation results for input capacitor voltage and output voltage, (a) prior capacitor voltage, (b) prior output voltage, (c) capacitor voltage with voltage balancing, (d) output voltage with voltage balancing

그림 7(a)는 참고문헌[5]에서 적용된 전압 불균형을 고려하지 않은 스위칭 패턴이 7-레벨 PWM 인버터에 적용된 경우의 입력 커패시터 전압의 변화를 나타낸다. 시간축의 증가에 따라 커패시터 C2의 전압이 하강하고 C1과 C3 커패시터의 전압이 상승함을 알 수 있다. 이는 C2 커패시터의 충전시간이 방전시간에 비해 상대적으로 짧아서 나타나는 결과이다. 0.5초 이후 C2 전압은 완전히 영으로 떨어지고 입력전압은 C1과 C3에 의해 각각 75[V]로 분배되어 출력전압은 그림 7(b)과 같이 2개의 전압 레벨만 존재하게 됨을 알 수 있다. 그림 7(c)은 반송파 V_{car2} 의 진폭 제어를 적용한 입력 커패시터들의 전압 파형을 나타낸다. 커패시터 C2의 전압이 일정하게 유지되어 전압 불균형이 발생하지 않아 그림 7(d)과 같이 7-레벨 출력전압을 생성함을 확인할 수 있다.

그림 8은 7-레벨 PWM 인버터 시작품을 보여준다. 입력 커패시터 전압 균형 제어 구현을 위해 DSP 28335 기반의 제어기를 이용한다.

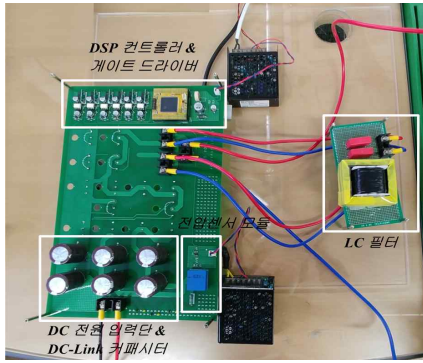


그림 8 7-레벨 PWM 인버터 시작품
Fig. 8 Prototype of 7-level PWM inverter

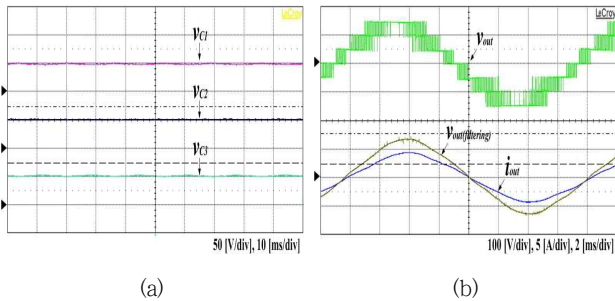


그림 9 실험결과, (a) 입력 커패시터 전압, (b) 필터 전 출력전압, 필터 후 출력전압과 전류 ($M_a=1$)

Fig. 9 Experiment results, (a) input capacitor voltage, (b) output voltage before and after filtering($M_a=1$)

그림 9(a)는 반송파 V_{car2} 의 진폭 제어가 적용된 직렬 커패시터의 전압 파형을 나타낸다. 중앙의 커패시터 C2의 전압이 $V_{dc}/3$ 인 50[V]를 일정하게 유지하고 있으며, C1과 C3 역시 50[V]의 전압을 유지함을 확인할 수 있다.

그림 9(b)는 $M_a=1$, 저항부하 조건에서 7-레벨 인버터의 출력 전압과 필터링 후의 출력전압과 출력전류 파형을 나타낸다. 출력 전압에 7-레벨이 생성됨을 확인할 수 있고 LC 필터 통과 후에는 거의 정현적인 전압파형을 보여준다. 출력전압 파형의 $2V_{dc}/3$ 와 V_{dc} 전압 레벨 사이($-2V_{dc}/3$ 와 $-V_{dc}$)에 스위칭이 겹쳐지는 구간은 C2 커패시터의 방전량 제어로 발생된다. 결과적으로 이 구간으로 인해 필터 후 출력 파형에서 약간의 왜곡이 발생하게 된다.

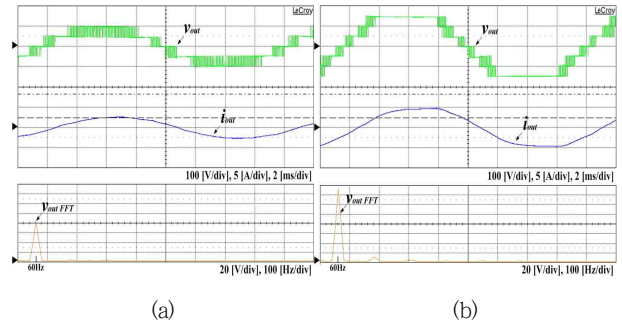


그림 10 변조비에 따른 출력전압과 출력전류 및 FFT, (a) $M_a=0.6$, (b) $M_a=1.4$

Fig. 10 Output voltage, current, and FFT results at different modulation index, (a) $M_a=0.6$, (b) $M_a=1.4$

그림 10(a)은 M_a 가 0.6일 때의 출력 파형으로 M_a 가 0.6 이하로 출력전압 레벨이 5-레벨로 감소하게 되며 FFT 파형으로 부터 3, 5, 9 고조파의 크기가 약간 증가함을 확인할 수 있다. 그림 10(b)는 M_a 가 1.4인 과변조 상태로 V_{dc} 전압 레벨 구간의 PWM 스위칭 구간이 감소하기 때문에 사각파 형태의 출력전압을 보여준다.

그림 11은 전압 균형 제어가 적용된 7-레벨 인버터의 유도성 및 정류 부하에 대한 특성 실험 파형이다. 그림 11(a)는 $M_a=1$ 조건으로 출력전압은 7-레벨이며 유도성 부하로 인해 부하전류가 출력전압 보다 위상이 늦음을 알 수 있다. 그림 11(b)는 $M_a=0.6$, 유도성 부하로 출력전압은 5-레벨이며 부하전류 위상이 전압 위상에 비해 늦다.

그림 11(c)는 $M_a=1$ 조건으로 출력전압은 7-레벨, 그림 11(d)는 $M_a=0.6$ 으로 5-레벨이며 정류부하 특성상 높은 피크와 짧은 도통각을 갖는 부하 전류로 인해 다른 부하 조건보다는 상대적으로 큰 왜곡이 발생하게 된다.

그림 12는 부하 변동 시 출력전압과 출력전류 파형을 나타낸다. 그림 12(a)는 370[W]에서 185[W] 저항부하로 변동을 주었으며 아래 확대파형을 보면 부하 변동시 짧은 시간동안 전압 형태가 왜곡(swell)되었다가 다시 정현파 형태로 유지되는 것을 확인할 수 있다. 그림 12(b)의 경우 185[W]에서 370[W] 부하 변동시 전압 파형에 약간의 패임(sag)이 발생한 뒤 정상상태로 복귀함을 확인할 수 있다.

그림 13은 변조비 M_a 에 따른 출력전압의 THD를 보여주며, 변조비가 0.6에서 1.2 구간까지 일반적인 전압 THD 조건인 5[%] 미만을 만족함을 알 수 있다. $M_a=1$ 조건이 $M_a=0.6$ 조건과

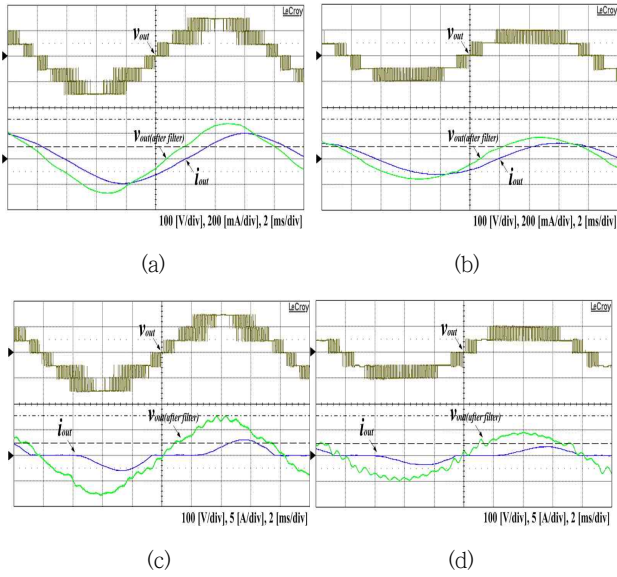


그림 11 부하별 출력전압과 출력전류, (a) 유도성 $M_a=1.0$, (b) 유도성 $M_a=0.6$, (c)정류부하 $M_a=1.0$, (d)정류부하 $M_a=0.6$
Fig. 11 Output voltage and current according to kind of loads, (a) inductive $M_a=1.0$, (b) inductive $M_a=0.6$, (c) rectifier $M_a=1.0$, (d) rectifier $M_a=0.6$

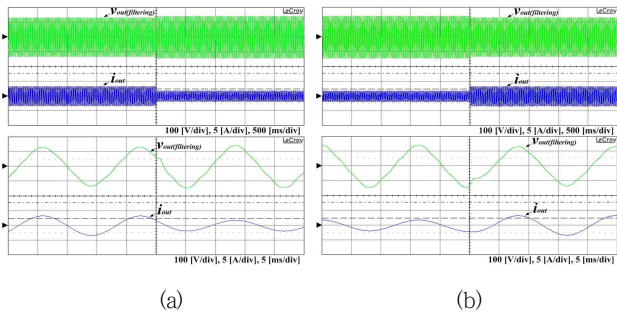


그림 12 부하 변동 시 출력전압과 출력전류 파형, (a) 정격부하 → 경부하, (b) 경부하 → 정격부하
Fig. 12 Output voltage and current with load variations, (a) rated → light, (b) light → rated load

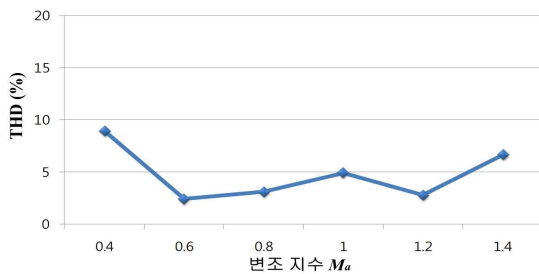


그림 13 변조비 M_a 에 따른 THD
Fig. 13 THD according to modulation index M_a

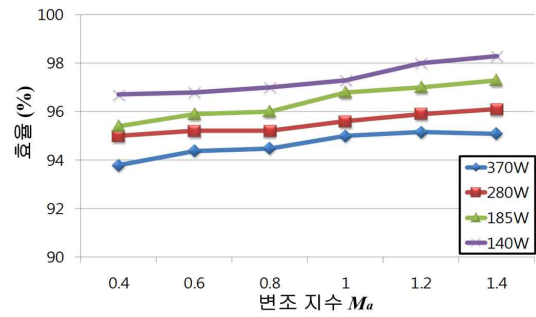


그림 14 변조비 M_a 에 따른 효율
Fig. 14 Efficiency according to modulation index M_a

$M_a=1.2$ 조건에 비해 상대적으로 높은 THD를 보이는데 이는 V_{dc} 전압 레벨 구간에서 C2 전압 유지를 위해 스위치 S6이 동작함에 따라 전압 파형의 왜곡이 증가하기 때문이다.

그림 14는 변조비 M_a 에 따른 7-레벨 인버터의 평균 효율을 나타낸다. 140[W]부터 370[W]까지 저항부하 조건에서 측정하였으며, 전 구간 93[%] 이상의 양호한 효율을 나타낸다.

4. 결 론

양방향 스위치 모듈 기반의 7-레벨 PWM 인버터는 입력 전원으로 세 개의 직렬 결합된 커패시터를 사용함에 따라 커패시터 간 전압 불균형 문제가 발생한다. 커패시터 전압 균형 제어기법이 적용되지 않을 경우, 커패시터 C2의 전압이 영으로 감소하여 출력전압이 7-레벨을 유지하지 못하고 5-레벨로 감소하게 된다.

본 논문에서는 이러한 전압 불균형 문제를 해결하기 위해 커패시터의 방전량을 제어할 수 있는 알고리즘을 7-레벨 스위칭 패턴에 추가하였다. 시뮬레이션과 실험 결과로 부터 커패시터 간 전압 균형이 만족되고 M_a 가 0.6~1.2 사이에서 일반적인 인버터의 전압 THD 5[%] 미만을 만족함을 확인하였다. 또한 변조비에 관계없이 전 부하구간 93[%] 이상의 양호한 평균효율을 확보하였다.

감사의 글

이 논문은 2017년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(NRF-2017 R1A2B4012154)

References

[1] B. S. Shu, G. Sinha, M. D. Manjrekar, and T. A. Lipo, "Multi-level power conversion - an overview of topologies

- and modulation strategies,” in Proc. Optimization of Electrical and Electronic Equipment- Brasov, pp. 1-14, 1998.
- [2] H. Abu-Rub, J. Holtz, J. Rodriguez, and Ge Baoming, “Medium-Voltage Multilevel Converters State of the Art, Challenges, and Requirements in Industrial Applications,” IEEE Trans. Ind. Electron, vol. 57, no. 8, pp. 2581-2596, Aug. 2010.
- [3] J. Rodriguez, S. Bernet, Wu. Bin, J. O. Pontt, and S. Kouro, “Multilevel Voltage-Source-Converter Topologies for Industrial Medium-Voltage Drives,” IEEE Trans. on Ind. Electron., Vol.54, No.6, pp.2930-2945, 2007.
- [4] J. Rodrigues, J. S. Lai, and F. Z. Peng, “Multilevel inverters : A survey of topologies, controls and application,” IEEE Trans. on Ind. Electron., Vol. 49, No. 4, pp.724-738, 2002.
- [5] N. A. Rahim, K. Chaniago, J. Selvaraj, “Single-Phase Seven-Level Grid-Connected Inverter for Photovoltaic System,” IEEE Trans. Ind. Electron., vol. 58, no. 6, pp. 2435-2443, June 2011.
- [6] J. S. Choi, and F. S. Kang, “Seven-level PWM Inverter Employing Series-Connected Capacitors Paralleled to a Single DC Voltage Source,” IEEE Trans. on Ind. Electron., vol. 62, no. 6, pp. 3448-3459, June. 2015.
- [7] Sun. B, Wu. F, Dragicevic. T, Guerrero. J. M, and Vasquez J. C, “A single phase seven-level grid-connected inverter based on three reference SPWM strategy,” In Energy Conference (ENERGYCON), 2014 IEEE International, pp. 222-227, May. 2014.
- [8] Sandeep. N, Salodkar. P, and Kulkarni. P. S, “A new simplified multilevel inverter topology for grid-connected application,” In Electrical, Electronics and Computer Science (SCECS), 2014 IEEE Students' Conference on, pp. 1-5, March. 2014.
- [9] A. Ajami, H. Shokri, and A. Mokhberdorran, “Parallel switch-based chopper circuit for DC capacitor voltage balancing in diode-clamped multilevel inverter,” IET Power Electron. vol. 7, no. 3, pp. 503-514, 2014.
- [10] A. I. Maswood, O. H. P. Gabriel, and E. Al Ammar, “Comparative study of multilevel inverters under unbalanced voltage in a single DC link,” IET Power Electron. vol. 6, no. 8, pp. 1530-1542, 2013.
- [11] Jun Mei, Ke Shen, Bailu Xiao, L. M. Tolbert, Jianyong Zheng, “A New Selective Loop Bias Mapping Phase Disposition PWM With Dynamic Voltage Balance Capability for Modular Multilevel Converter,” IEEE Trans. Ind. Electron., vol. 61, no. 2, pp. 798-807, 2014.
- [12] Shengfang Fan, Kai Zhang, Jian Xiong, and Yaosuo Xue, “An Improved Control System for Modular Multilevel

Converters with New Modulation Strategy and Voltage Balancing Control,” IEEE Trans. Power Electron., vol. 30, no. 1, pp. 358-371, 2015.

- [13] N. S. Choi, J. G. Cho, and G. H. Cho, “A general circuit topology of multilevel inverter,” in Proc. Power Electronics Specialists Conf., pp. 96-103, 1991.

저 자 소 개



김진산 (Jin-San Kim)

1990년 5월 14일생. 2015년 한밭대 제어계측공학과 졸업(학사). 2017년 한밭대 일반대학원 제어계측공학과 졸업(석사). 2017년~현재 (주)뉴과워플라즈마 연구원

Tel : 042-821-1164

E-mail : godqjdl@naver.com



강필순 (Feel-soon Kang)

1973년 9월 5일생. 1998년 경상대 전기공학과 졸업(학사). 2000년 부산대 대학원 전기공학과 졸업(석사). 2003년 동 대학원 전기공학과 졸업(박사). 2003년 3월~2004년 8월 일본 오사카대학 전기공학과 박사후 과정. 2012년 1월~2013년 1월 미국 콜로라도주립대 전기컴퓨터공학과 방문교수. 2004년 9월~현재 한밭대 전자제어공학과 교수.

Tel : 042-821-1172

E-mail : feelsoon@hanbat.ac.kr