

## 질산산화법을 이용한 SiO<sub>2</sub>/Si 구조의 계면결함 제거

최재영 · 김도연 · 김우병<sup>†</sup>  
단국대학교 에너지공학과

### Removal of Interface State Density of SiO<sub>2</sub>/Si Structure by Nitric Acid Oxidation Method

Jaeyoung Choi, Doyeon Kim and Woo-Byoung Kim<sup>†</sup>

Department of Energy Engineering, Dankook University, Cheonan-si 31116, Republic of Korea

(Received December 6, 2017 : Revised January 9, 2018 : Accepted January 9, 2018)

**Abstract** 5 nm-thick SiO<sub>2</sub> layers formed by plasma-enhanced chemical vapor deposition (PECVD) are densified to improve the electrical and interface properties by using nitric acid oxidation of Si (NAOS) method at a low temperature of 121 °C. The physical and electrical properties are clearly investigated according to NAOS times and post-metallization annealing (PMA) at 250 °C for 10 min in 5 vol% hydrogen atmosphere. The leakage current density is significantly decreased about three orders of magnitude from  $3.110 \times 10^{-5}$  A/cm<sup>2</sup> after NAOS 5 hours with PMA treatment, although the SiO<sub>2</sub> layers are not changed. These dramatically decreases of leakage current density are resulted from improvement of the interface properties. Concentration of suboxide species (Si<sup>1+</sup>, Si<sup>2+</sup> and Si<sup>3+</sup>) in SiO<sub>x</sub> transition layers as well as the interface state density ( $D_{it}$ ) in SiO<sub>2</sub>/Si interface region are critically decreased about 1/3 and one order of magnitude, respectively. The decrease in leakage current density is attributed to improvement of interface properties though chemical method of NAOS with PMA treatment which can perform the oxidation and remove the OH species and dangling bond.

**Key words** SiO<sub>2</sub>/Si interface, interface properties, nitric acid oxidation, densification, interface state density.

## 1. 서 론

디바이스에 사용되는 대규모 집적회로(large scale integration, LSI)와 박막 트랜지스터(thin film transistor, TFT)를 이루는 금속산화물 반도체(metal-oxide-semiconductor, MOS) 구조는 오랫동안 연구되어 오며 많은 발전을 이룩해왔다. 특히 실리콘(Si) 기판 위 이산화규소(SiO<sub>2</sub>)를 절연막으로 사용하는 SiO<sub>2</sub>/Si 다이오드 구조는 제조공정이 단순하고 빠르며, 공정 단가가 저렴하므로 가장 보편적으로 이용되고 있다. 그러나 Moore의 법칙에 따라 단위 면적 당 소자의 집적도가 증가하게 되면서 소자 내 SiO<sub>2</sub> 층의 두께가 감소하였으며, 이로 인해 전압 인가 시 누설전류의 증가를 야기시켰다.<sup>1)</sup> 누설전류의 증가는 디바이스 작동에 있어 소비전력을 증가시키기 때

문에 이를 최소화 시킬 수 있는 방안이 필요하다. 일반적인 SiO<sub>2</sub> 절연층 제조 방법으로 800~1000 °C의 산소 또는 수증기 분위기에서 진행되는 열산화공정(thermal oxidation method)을 통해 뛰어난 단차피복(step coverage) 및 높은 원자밀도를 갖는 막을 형성할 수 있지만,<sup>2)</sup> 높은 공정 온도로 인해 연화점(softening point)이 ~500 °C 인 유리기판을 사용하는 액정 디스플레이 공정에 적용시킬 수 없다. 따라서 저온에서도 우수한 특성의 SiO<sub>2</sub> 층을 제조할 수 있는 공정이 요구된다. 대표적인 저온공정으로 화학기상증착법(chemical vapor deposition, CVD)은 대면적 양산이 가능한 반면, 단차피복과 원자밀도가 낮은 문제가 있어, 이를 보완하기 위해 전계에 의한 플라즈마 상태를 이용하여 증착시키는 플라즈마-화학기상증착법(plasma enhanced CVD, PECVD)이 개발되었다.<sup>3-7)</sup>

<sup>†</sup>Corresponding author

E-Mail : woo7838@dankook.ac.kr (W-B. Kim, Dankook Univ.)

© Materials Research Society of Korea, All rights reserved.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

이를 통해 저온에서도 뛰어난 SiO<sub>2</sub> 절연막을 증착시킬 수 있었지만, 저온에서 증착되는 공정 특성상 여전히 열산화공정에 비해 SiO<sub>2</sub>/Si 계면의 결함밀도(interface state density)가 증가하는 문제를 갖고 있다.

2003년 Kobayashi et al.은 공비혼합(azeotropic mixture) 상태의 질산(68 wt% HNO<sub>3</sub> solution)을 이용하여 ~121 °C의 저온에서 반응시켜 산화막을 형성할 수 있는 질산산화법(nitric acid oxidation of Si, NAOS)을 개발하였다.<sup>8-12)</sup> 질산산화법은 질산에서 분해되어 나온 산소 이온이 실리콘 기판과 직접 반응하여 ~2 nm의 매우 얇은 SiO<sub>2</sub> 층 및 ~10 nm 이상의 두꺼운 막을 형성할 수 있으며, 열산화공정으로 제조된 같은 두께의 산화막에 비해 우수한 계면특성뿐만 아니라 높은 원자밀도를 달성할 수 있다. 그러나 ~10 nm 이상의 막을 제조하는 것은 장시간이 요구되며 이는 양산공정에 적용이 어려운 문제를 갖고 있다. 이런 문제를 해결하기 위해 PECVD 공정을 통해 형성된 ~5 nm의 SiO<sub>2</sub> 절연막 층을 질산 산화를 통해 시간에 따른 변화를 확인하였다.<sup>13)</sup> 그 결과, PECVD로 제조된 SiO<sub>2</sub> 층은 질산 산화 5 시간 후 치밀화 되어 두께의 변화는 없었지만, 산화막 내 결함 밀도(느린준위 밀도 (i.e.  $N_d$ ) 및 고정전하 밀도(i.e.  $N_f$ ))와 서브옥사이드(Si<sup>1+</sup>, Si<sup>2+</sup>, Si<sup>3+</sup>) 밀도가 감소하여 SiO<sub>2</sub>의 두께 변화 없이 누설전류 밀도를 약 three orders of magnitude 이상 감소시킬 수 있었다. 그러나 질산 산화 시간에 따라 SiO<sub>2</sub>/Si의 계면에 존재하는 계면준위 밀도 변화를 확인할 수 있는 내용이 부족하여 이를 누설전류 특성과 비교할 수 없었다.

따라서 본 연구에서는 PECVD를 이용하여 ~5 nm의 SiO<sub>2</sub> 절연막을 제조 후 질산 산화 시간(0, 1, 5 시간)에 따른 SiO<sub>2</sub> 산화막 두께 및 서브옥사이드 밀도를 비교하였으며, TiN을 전극으로 형성한 후 250 °C, 5 vol% 수소 가스 분위기에서 10 분 동안 post-metallization annealing(PMA) 처리를 진행 하였다. PMA 처리 유무에 따른 TiN/SiO<sub>2</sub>/Si 구조의 전기적 특성을 관찰하기 위해 누설전류 밀도와 SiO<sub>2</sub>/Si 계면에 존재하는 계면준위 밀도를 계산하여 누설전류 밀도와 관계의 관계를 확인하였다.

## 2. 실험 방법

본 연구에서는 초크랄스키(Czochralski, CZ)법으로 제조 후 붕소(B)를 도핑하여 ~10 Ωcm 저항을 갖는 p-타입의 실리콘 기판을 사용하였다. 실리콘 기판은 RCA 방법을 이용하여 표면에 흡착된 유, 무기 불순물을 제거하였고, 자연산화막을 제거하기 위해 0.5 vol% 불산 용액에 1분간 담근 후 건져냈다.<sup>14)</sup> PECVD는 Ar, O<sub>2</sub> 분위기에서 고진공 (i.e. 2 Torr) 으로 진행되었으며 프리커서

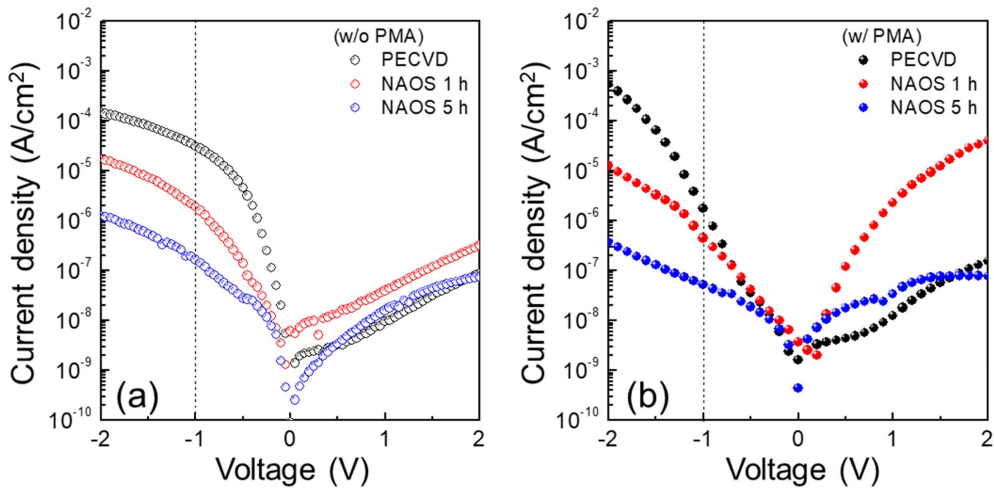
로서 헥사메틸-다이실록산(hexamethyl-disiloxane, HMDSO)을 사용하여 ~5 nm의 SiO<sub>2</sub> 층을 제조 하였다. SiO<sub>2</sub> 층의 치밀화를 위해 웨이퍼를 3 × 3 cm<sup>2</sup> 크기로 잘라 121 °C의 끓는 68 wt% 질산 용액에 각각 0, 0.5, 1, 2, 5 시간 동안 담근 후, 3차 초순수를 이용하여 웨이퍼를 세척하였다. 웨이퍼 위에 전극을 제조하기 위해 지름 0.15 mm TiN dots을 열증착(thermal evaporation)을 이용하여 형성하였고, 이를 통해 <TiN/SiO<sub>2</sub>/p-Si> MOS 구조를 제조하였다. PMA는 표면 흡착 수분 및 OH기 제거를 위해 5 vol% H<sub>2</sub>와 95 vol% N<sub>2</sub> 분위기에서 250 °C로 10 분 동안 진행되었다.

표면의 SiO<sub>2</sub> 층 두께 및 서브 옥사이드를 확인하기 위해 monochromatic Al Kα(1486.7 eV) radiation source를 갖는 VG scientific Escalab 220i-XL spectrometer의 X-ray photoelectron spectroscopy(XPS) 장비를 통해 측정하였다. 전류-전압(current-voltage, I-V) 및 전기용량-전압(capacitance-voltage, C-V) 측정은 ZNS200S probe station을 이용하였으며, 전기용량-전압 측정에서는 저주파수로는 100 kHz, 고주파수로는 1 MHz를 이용하여 전기적 특성을 확인 하였다.

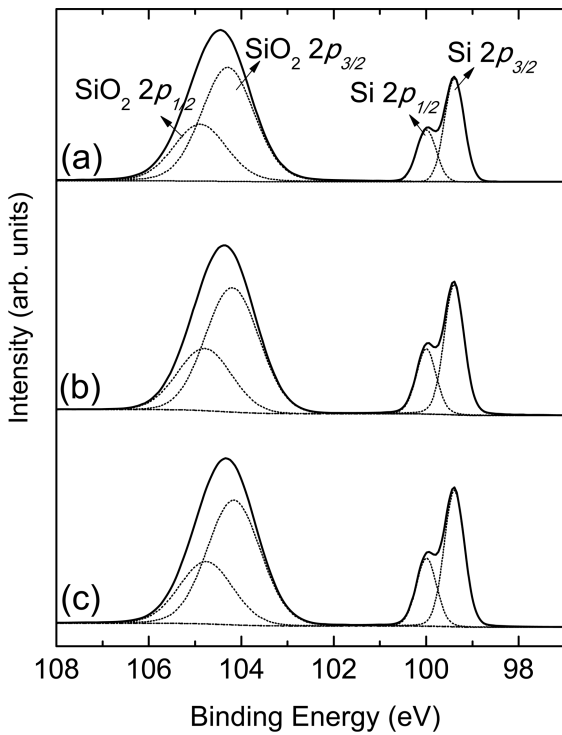
## 3. 결과 및 고찰

Fig. 1은 <TiN/PECVD grown SiO<sub>2</sub>/p-Si(100)> MOS 구조에서 (a)는 without PMA, (b)는 250 °C의 5 % 수소분위기에서 PMA를 10 분간 진행한 후의 전류-전압 특성을 보여준다. -1 V에서의 누설전류 밀도는 PMA 처리 전 처음 3.110 × 10<sup>-5</sup> A/cm<sup>2</sup>에서 질산산화 1 시간 후 1.89 × 10<sup>-6</sup> A/cm<sup>2</sup>으로 one order of magnitude가 줄었으며, 5 시간 처리 후에는 1.7 × 10<sup>-7</sup> A/cm<sup>2</sup>으로 처음보다 two orders of magnitude 감소한 것을 확인할 수 있다. 반면, PMA 처리 후 누설전류는 질산산화 처리 전 1.74 × 10<sup>-6</sup> A/cm<sup>2</sup>에서 1 시간 후 4.50 × 10<sup>-7</sup> A/cm<sup>2</sup>, 5 시간 처리 후 5.2 × 10<sup>-8</sup> A/cm<sup>2</sup>으로 처음보다 약 three orders of magnitude가 감소한 것을 확인할 수 있다.

Fig. 2는 PECVD로 제조한 ~5 nm SiO<sub>2</sub>/Si(100) 구조를 121 °C의 68 wt% 질산에서 각기 다른 시간 동안 산화시킨 샘플들의 XPS Si 2p 스펙트럼을 보여준다 (i.e. (a) 질산산화 처리 0 시간, (b) 1 시간, (c) 5 시간). XPS Si 2p 스펙트럼 중 낮은 binding energy의 폭이 좁은 피크는 실리콘 기판의 Si 2p<sub>3/2</sub>와 2p<sub>1/2</sub>이며, 높은 binding energy의 폭이 넓은 피크는 박막의 SiO<sub>2</sub> 2p<sub>3/2</sub>와 2p<sub>1/2</sub>를 나타낸다. SiO<sub>2</sub>의 두께 계산 결과, 질산산화 전 처음 PECVD로 제조된 샘플의 경우 (a) 5.8 nm, 질산산화 1 시간 후 (b) 5.2 nm, 5 시간 후 (c) 5.1 nm로 계산되었다.<sup>15)</sup> 일반적으로 누설전류는 절연층 두께에 의존하며,

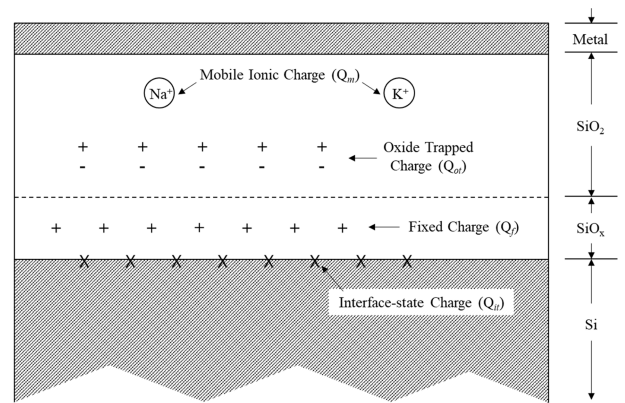


**Fig. 1.** *I-V* curves for the  $\langle \text{TiN}/\text{SiO}_2/p\text{-Si}(100) \rangle$  MOS structure after NAOS treatment following times: 0 h; 1 h; 5 h. (a) is without PMA and (b) is with PMA in condition of 5 % hydrogen atmosphere at 250 °C during 10 min.



**Fig. 2.** XPS spectrum of Si 2*p* of PECVD grown ~5 nm SiO<sub>2</sub> layers after NAOS treatment. NAOS treatment was performed for the following times: (a) 0 h; (b) 1 h; (d) 5 h.

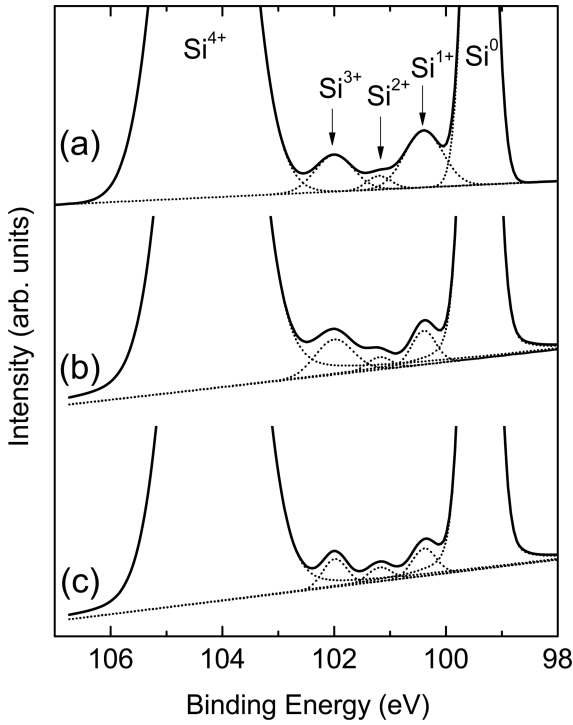
0.2 nm의 절연층 두께 증가는 약 one order of magnitude의 증가를 야기시킨다. 그러나 본 연구의 결과는 질 산산화 후 박막의 두께가 감소함에도 불구하고 누설전류가 감소하는 것을 확인할 수 있다. 이를 절연막의 누설전류의 원인이 되는 결함 혹은 원자 밀도의 증가로 예상할 수 있다. 이를 확인하기 위해 SiO<sub>2</sub>/Si 계면에 존재



**Fig. 3.** Terminology for charges associated with thermally oxidized silicon.

하는 결함을 분석하였다.

일반적으로 SiO<sub>2</sub>/Si 계면에 존재하는 결함은 Fig. 3과 같다.<sup>16)</sup> 특히 산화막에 존재하는 oxide charge 및 fixed charge는 절연막의 성능에 의존하며, interface state charge는 계면의 성능에 의존한다. 만약, 불완전한 산소결합이 SiO<sub>2</sub> 층과 Si 기판 사이에 존재하게 되면 서브옥사이드 (SiO<sub>x</sub>) 층을 형성하게 되고, 이는 XPS 스펙트럼에서 Si 2*p* 피크와 SiO<sub>2</sub> 2*p* 피크사이에서 존재하여 binding energy shift에 따라 Si<sup>1+</sup>, Si<sup>2+</sup>, Si<sup>3+</sup>를 확인할 수 있다. Fig. 4은 Shirley method를 이용한 background와 Si 2*p*<sub>1/2</sub> 피크를 제거시킨 Si 2*p*<sub>3/2</sub> XPS 스펙트럼을 확대한 것을 보여준다.<sup>17)</sup> 그 결과 낮은 binding energy로부터 Si<sup>0</sup>, Si<sup>1+</sup>, Si<sup>2+</sup>, Si<sup>3+</sup>, Si<sup>4+</sup> 피크를 각각 볼 수 있으며, 여기서 Si<sup>0</sup>는 Si 기판, Si<sup>1+</sup>, Si<sup>2+</sup>, Si<sup>3+</sup>는 서브옥사이드, Si<sup>4+</sup>는 SiO<sub>2</sub> 층을 나타낸다. Si<sup>1+</sup>, Si<sup>2+</sup>, Si<sup>3+</sup> 피크의 chemical shift는 Si<sup>0</sup>



**Fig. 4.** XPS spectrum of suboxide in SiO<sub>2</sub>/Si interface. The dotted line of XPS spectrum shows suboxide (i.e. Si<sup>1+</sup>, Si<sup>2+</sup>, Si<sup>3+</sup>) of SiO<sub>x</sub> layers: (a) PECVD grown SiO<sub>2</sub>/Si layers; (b) after NAOS 1 hour; (c) after NAOS 5 hours.

**Table 1.** Suboxide state density of Si<sup>x+</sup> (x = 1, 2, 3) of SiO<sub>2</sub>/Si structure by passing time to 5 hours.

NAOS time (h)	$N_{SiO_x} (10^{14} \text{ atoms/cm}^2)$			
	Si <sup>1+</sup>	Si <sup>2+</sup>	Si <sup>3+</sup>	SUM (Si <sup>1+</sup> +Si <sup>2+</sup> +Si <sup>3+</sup> )
0	2.047	0.280	0.774	3.10
1	0.570	0.189	0.554	1.31
5	0.437	0.201	0.262	0.900

피크로부터 각각 1.0, 1.8, 2.6 eV로 측정되었으며, 서브옥사이드 각각의 밀도  $N_{SiO_x}$ 를 다음과 같은 식으로 계산할 수 있다.<sup>18,19)</sup>

$$N_{SiO_x} = D_{Si} \lambda_{Si} \frac{I_{SiO_x}}{I_{Si}} \frac{\sigma_{Si}}{\sigma_{SiO_x}} \quad (1)$$

여기서 위의 기호  $D$ 는 number density of a certain atom 이고  $\sigma$ 는 photoionization cross section,  $\lambda$ 는 mean free path of photoelectrons,  $I$ 는 area를 의미하며 기입된 SiO<sub>x</sub>는 서브옥사이드 종류를 나타낸다. 이 식을 이용하여, 질산산화 시간에 따른 서브옥사이드 밀도를 Table 1에 정리하였다.

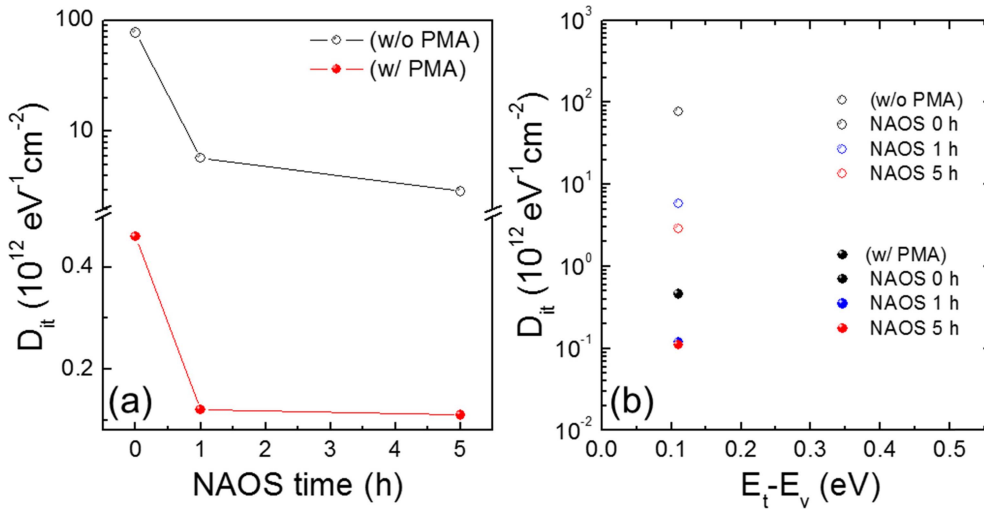
PECVD로 형성된 SiO<sub>2</sub> 층 (a)는 공정 특성상 완벽하

게 산화가 이뤄지지 않아 계면에 산소와 불완전 결합을 한 Si<sup>1+</sup>, Si<sup>2+</sup>, Si<sup>3+</sup>가 많이 분포하며, 특히 Si<sup>1+</sup>의 밀도가  $2.047 \times 10^{14} \text{ atoms/cm}^2$ 로 매우 높은 것을 볼 수 있다. 질산 산화 후 질산에서 분해되어 나온 산소 이온(O<sup>-</sup>)으로부터 산화되어 그 밀도가 현저히 낮아지며, 결국 서브옥사이드의 총 합(SUM)은 처음 질산산화 전  $3.10 \times 10^{14} \text{ atoms/cm}^2$ 에서 질산산화 1 시간 후  $1.31 \times 10^{14} \text{ atoms/cm}^2$ , 5 시간 후  $0.900 \times 10^{14} \text{ atoms/cm}^2$ 까지 약 1/3로 줄어드는 것을 확인할 수 있다. 서브옥사이드 밀도의 감소는 SiO<sub>2</sub> 층의 원자밀도의 증가를 의미하며, PECVD로 제조된 SiO<sub>2</sub> 층은 질산산화법을 통한 충분한 산화로 인해 치밀화 되었음을 나타낸다. 또한, Si<sup>1+</sup>와 Si<sup>3+</sup>의 급격한 감소는 실리콘 기판의 계면결함의 감소를 의미하게 된다. 산화과정에서 최외각 결합준위를 통해 산화가 일어나게 되면 Si<sup>1+</sup>가 형성되게 되고, 이후 산소의 확산으로 인해 밀의 원자가 산화되기 직전에 Si<sup>3+</sup>가 형성되게 된다. 따라서 이들의 감소는 결국 계면결함준위의 감소를 야기시키게 된다. 이를 확인하기 위해 계면의 결합준위를 분석하였다.

Fig. 5(a)는 PMA 처리 전과 후의 질산산화 시간에 따른 SiO<sub>2</sub>/Si 계면에 존재하는 계면준위 밀도( $D_{it}$ )의 관계를 보여준다. 계면준위 밀도는 전압 인가에 따라 전하 교환속도가 매우 빨라 빠른전위 밀도라고도 불리우며, 고주파수와 저주파수에서의 charging kinetic 차이에 의해 형성된 공핍층 영역의 전기용량의 차를 통해 다음과 같은 계산이 가능하다<sup>20-22)</sup>:

$$D_{it} = \frac{1}{q} \left( \frac{C_{ox} C_{LF}}{C_{ox} - C_{LF}} - \frac{C_{ox} C_{HF}}{C_{ox} - C_{HF}} \right) \quad (2)$$

여기서  $C_{LF}$ 는 저주파수에서의 전기용량이며,  $C_{HF}$ 는 고주파수에서의 전기용량을 가르킨다. 본 실험에서는 저주파수로 100 kHz, 고주파수로 1 MHz를 사용하였다. 식 (2)를 이용한 질산산화 시간에 따른 계면준위 밀도계산 결과, PMA 처리 전 처음  $7.7 \times 10^{13} \text{ atoms/eV}^{-1} \text{ cm}^2$ 에서 질산산화 1 시간 및 5 시간 처리 후 각각  $5.8 \times 10^{12}$ ,  $2.9 \times 10^{12} \text{ atoms/eV}^{-1} \text{ cm}^2$ 로 약 one order of magnitude가 감소하였으며, PMA 처리 후 질산산화 0, 1, 5 시간에 따라 각각 4.6, 1.2,  $1.1 \times 10^{11} \text{ atoms/eV}^{-1} \text{ cm}^2$ 로 약 one order of magnitude가 더 감소하는 것을 확인할 수 있다. 지난 연구 결과, PMA 처리 후 산화막 내 전기적 결합준위가 약 ~one order of magnitude 감소한데 비해, 계면준위 밀도는 약 two orders of magnitude 이상 크게 감소하였으므로 누설전류 감소에 큰 영향을 주는 것으로 사료된다. 한편, 위에서 계산된 계면준위 밀도가 밴드갭 내에 어디에 존재하는지 확인하기 위한 계면준위의 에너지 분포도를 식 (3)를 통해 계산할 수 있다.<sup>23)</sup>



**Fig. 5.** SiO<sub>2</sub>/Si interface state density distributions in the <TiN/SiO<sub>2</sub>/p-Si(100)> MOS structure without and with PMA treatment. (a) is interface state density ( $D_{it}$ ) versus NAOS time; 0, 1, and 5 h. (b) is interface state density distribution in the silicon band gap.

$$E_t - E_v = kT \ln \left( \frac{v_{th} \sigma N}{2\pi f} \right) \quad (3)$$

여기서  $k$ 는 볼츠만 상수,  $v_{th}$ 는 전자의 열속도,  $\sigma$ 는 the capture cross-section 상수, 그리고  $N$ 은 상태밀도 함수를 나타낸다. 계면준위는 재료특정상 밴드갭 내 U자 모양으로 분포하여 valence band와 conduction band 부근에 많이 존재한다고 알려져있으며, 에너지 분포 계산 결과  $E_t - E_v$  값은 0.11 eV로 valence band와 매우 근접하여 밴드 갭 내에서 가장 높은 농도영역의 값을 Fig. 5(b)에서 확인할 수 있다.

#### 4. 결 론

본 연구에서는 PECVD로 제조된 5 nm의 SiO<sub>2</sub> 층을 질산산화를 통해 두께의 큰 변화 없이 치밀화를 진행하여, -1 V에서 측정된 누설전류 밀도를 질산산화 및 PMA 처리 후 약 three orders of magnitude 이상 크게 줄일 수 있었다. 산화막의 두께 차이가 없음에도 뛰어난 전기적 특성을 달성할 수 있는 원인을 확인하고자 SiO<sub>2</sub>/Si 계면 특성을 자세히 살펴본 결과, 불완전한 산소결합인 서브옥사이드 밀도가 질산산화 5 시간 후 충분히 산화가 되어 약 1/3로 줄어들었으며, 계면에 존재하는 결함준위 밀도( $D_{it}$ )가 질산산화 및 PMA 처리 후 약 two orders of magnitude 이상 감소하여 누설전류의 급격한 감소가 SiO<sub>2</sub>/Si 계면 특성과 밀접한 연관이 있음을 확인하였다. 또한, 계면준위 에너지 분포 계산 결과, 계산된 계면준위 밀도는 valence band 위 0.11 eV에 존재하므로 높은 농도 영역대의 값을 확인하였다. 위 결과를 토대로 디바이스의 전기적 특성은 SiO<sub>2</sub>/Si 계면특성

에 의존하며, 질산산화 및 PMA 처리를 통한 SiO<sub>2</sub> 층의 치밀화는 서브옥사이드 뿐만 아니라 계면준위 밀도를 크게 감소시킬 수 있음을 확인하였고, 이로 인해 누설전류 밀도를 급격하게 감소시킬 수 있었다.

#### References

1. S. E. Thompson and S. Parthasarathy, Mater. Today, **9**, 20 (2006).
2. B. E. Deal and A. S. Grove, J. Appl. Phys., **36**, 3770 (1965).
3. J. E. Crowell, L. L. Tedder, H. C. Cho, F. M. Cascarano and M. A. Logan, J. Electron. Spectrosc. Relat. Phenom., **54**, 1097 (1990).
4. K. H. A. Bogart, N. F. Dalleska, G. R. Bogart and E. R. Fisher, J. Vac. Sci. Technol. A, **13**, 476 (1995).
5. S. V. Hattangady, R. G. Alley, G. G. Fountain, R. J. Markunas, G. Lucovsky and D. Temple, J. Appl. Phys., **73**, 7635 (1993).
6. D. L. Smith and A. S. Alimonda, J. Electrochem. Soc., **140**, 1496 (1993).
7. S. W. Hsieh, C. Y. Chang and S. C. Hus, J. Appl. Phys. **74**, 2636 (1993).
8. H. Kobayashi, Asuha, O. Maida, M. Takahashi and H. Iwasa, J. Appl. Phys., **94**, 7328 (2003).
9. Asuha, M. Takahashi and H. Kobayashi, Appl. Phys. Lett., **85**, 3783 (2004).
10. S. S. Im, M. Tanaka, S. Imai, M. Takahashi and H. Kobayashi, Surf. Sci., **600**, 2523 (2006).
11. Asuha, T. Kobayashi, O. Maida, M. Inoue, M. Takahashi, Y. Todokoro and H. Kobayashi, Appl. Phys. Lett., **81**, 3410 (2002).
12. T. Kobayashi, M. Takahashi, H. Iwasa and H. Kobayashi,

- Surf. Sci., **547**, 275 (2003).
13. J. Choi, S. Joo, T. J. Park and W. B. Kim, Appl. Surf. Sci., **413**, 92 (2017).
  14. M. T. Duffy and W. Kern, RCA Rev., **31**, 742 (1970).
  15. M. F. Hochella and A. H. Carim, Surf. Sci., **197**, L260 (1988).
  16. S. M. Sze and K. K. Ng, Physics of Semiconductor Devices, 2nd ed., p. 380, John Wiley & Sons, USA (1981).
  17. P. J. Grunthaner, M. H. Hecht, F. J. Grunthaner and N. M. Johnson, J. Appl. Phys., **61**, 629 (1987).
  18. F. Rochet, C. Poncey, G. Dufour, H. Roulet, C. Guillot and F. Sirotti, J. Non-Cryst. Solids, **216**, 148 (1997).
  19. F. J. Grunthaner and P. J. Grunthaner, Mat. Sci. Rep., **1**, 65 (1986).
  20. E. H. Nicollian and A. Goetzberger, Bell Sys. Tech. J., **46**, 1055 (1967).
  21. K. Fukuda, S. Suzuki, T. Tanaka and K. Arai, Appl. Phys. Lett., **76**, 1585 (2000).
  22. L. M. Terman, Solid-State Elec., **5**, 285 (1962).
  23. F. Werner, B. Veith, D. Zielke, L. Kühnemund, C. Tegenkamp and J. Schmidt, J. Appl. Phys., **109**, 113701 (2011).